

2014 IDEC MPW 설계공모전

Multi Project Wafer 설계공모전

국내 대학(원)생의 SoC 설계 아이디어를
국내의 Foundry를 통해 구현해 볼 수 있는
기회를 드립니다

참여대상
IDEC Working Group(WG)대학의
학부생 및 대학원생

■ 2014년 MPW 공정 지원 내역

- * 10개 공정 26회 진행
- * 아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정(μm)	공정내역	size	모집 횟수	모집수/(1회)	Package
삼성	65nm	CMOSRF 1-poly 8-metal(RF)	4mmx4mm	3	48chips	208pin QFP
매그나칩/ SK하이닉스	0.35μm	CMOS 2-poly 4-metal (Optional layer [DNW,HRI,BJT,CPOLY] 추가)	5mmx4mm	2	20chips	Design-144pin, Package 지원 - 208pin QFP
	0.18μm	CMOS 1-poly 6-metal (6metal을 Thick metal (TKM)로만 사용가능) (Optional layer [DNW,HRI,BJT,MIM] 추가)	4.5mmx4mm	4	20chips	Design-200pin, Package 제작 -208pin QFP
동부하이텍	0.11μm	CMOS 1-poly 6-metal (Top : UTM)	5mmx5mm	2	12chips	208pin QFP
	0.18μm BCDMOS	CMOS 1-poly 4-metal TM	5mmx5mm	4	2chips	지원하지 않음.
	0.35μm BCDMOS	CMOS 2-poly 4-metal TM	5mmx5mm	4	3chips	지원하지 않음.
TowerJazz	0.18μm CIS	CMOS 1-poly 4-metal	5mmx5mm	2	1chips	지원하지 않음.
	0.18μm CA18HA	RFCMOS 1-poly 6-metal	5mmx5mm	2	1chips	
	0.18μm BCDMOS	CMOS 1-poly 3-metal(MT)	5mmx5mm	6	3chips	
	0.18μm SiGe	SiGeBiCMOS 1-poly 6-metal	5mmx5mm	1	1chips	

* TowerJazz 0.18μm CA18HA는 (구)RFCMOS 공정과 특성이 동일한 공정임.

■ 2014년 MPW 진행 일정

- * 회차 표기 방법 변경 : “공정코드-년도모집순서” (예시)삼성65nm 2014년 1회차:S65-1401)
- * 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

공정사	회차구분 (공정_년도순서)	우선모집 신청마감	정규모집 신청마감	후기 접수시작 (선착순마감)	제작 칩 수	DB 마감 (Tape-out)	DB 전달 (Fab-in)Die-out	Die-out
삼성 65nm	S65-1401	-	2013.12.09	-	48	2014.02.17	2014.03.15	2014.08.15
	S65-1402	2013.12.09	2014.02.03	2014.05.05	48	2014.08.25	2014.09.29	2015.02.27
	S65-1403	2014.03.03	2014.06.02	2014.09.01	48	2014.12.15	2015.01.12	2015.06.12
매그나칩/ SK하이닉스 0.18μm	MS18-1401	-	2013.12.09	-	20	2014.02.24	2014.03.10	2014.07.28
	MS18-1402	-	2014.01.06	2014.02.03	20	2014.05.19	2014.06.02	2014.10.20
	MS18-1403	2013.12.09	2014.02.03	2014.04.07	20	2014.08.11	2014.08.25	2015.01.12
매그나칩/ SK하이닉스 0.35μm	MS35-1401	-	2014.01.06	2014.03.03	20	2014.06.16	2014.06.30	2014.10.06
	MS35-1402	2014.03.03	2014.06.02	2014.09.01	20	2014.12.01	2014.12.15	2015.03.23
	D11-1401	-	2013.12.09	-	12	2014.04.02	2014.04.23	2014.08.06
동부 0.11μm	D11-1402	2014.02.03	2014.04.07	2014.07.07	12	2014.10.01	2014.10.22	2015.02.04
	D18-1401	-	2013.12.09	-	2	2014.02.05	2014.02.19	2014.05.14
	D18-1402	-	2013.12.09	-	2	2014.04.30	2014.05.14	2014.08.06
동부 0.18μm BCD	D18-1403	2013.12.09	2014.02.03	2014.05.05	2	2014.08.13	2014.08.27	2014.11.19
	D18-1404	2014.02.03	2014.05.05	2014.08.04	2	2014.11.05	2014.11.19	2015.02.11
	D35-1401	-	2013.12.09	-	3	2014.02.19	2014.03.05	2014.05.28
동부 0.35μm BCD	D35-1402	-	2014.01.06	2014.03.03	3	2014.05.28	2014.06.11	2014.09.03
	D35-1403	2013.12.09	2014.03.03	2014.06.02	3	2014.09.10	2014.09.24	2014.12.17
	D35-1404	2014.03.03	2014.05.05	2014.08.04	3	2014.11.19	2014.12.03	2015.02.25
TowerJazz 0.18μm BCD	TJB18-1401	-	2014.01.06	2014.02.03	3	2014.05.12	2014.05.19	2014.09.08
	TJB18-1402	2014.02.03	2014.04.07	2014.07.07	3	2014.10.20	2014.10.27	2015.02.16
TowerJazz 0.18μm CIS	TJC18-1401	-	2014.01.06	2014.02.03	1	2014.05.05	2014.05.12	2014.09.01
TowerJazz 0.18μm CA18HA	TJR18-1401	-	2014.01.06	2014.02.03	1	2014.05.12	2014.05.19	2014.09.08
TowerJazz 0.18μm SiGe	TJS18-1401	-	2013.12.09	-	1	2014.03.11	2014.03.18	2014.07.08

- * Package 제작은 Die out 이후 1개월 소요됨.
- * 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집함.
- * 선정 결과는 모집마감후 15일내 개별 통보됨.
- * 문의처 : ysllee@idec.or.kr [홈페이지] <http://www.idec.or.kr>