

---

# IDEC MPW 설계자 참여 가이드

---

2017.12

◦ IDEC MPW 프로그램을 통해 칩제작 지원되는 것은 IDEC 참여 대학의 순수한 연구 및 교육 목적으로 설계 활용되어야 합니다.



**반도체설계교육센터**  
IC DESIGN EDUCATION CENTER

**목차**

- I. IDEC MPW 참가 대상 및 설계 참여시 이행 사항..... 2
  - 개요(개최 내용 및 수행 목적 등 개괄적 내용 기재)..... 2
  - 참가 대상..... 2
  - MPW 참가시 의무 이행 사항..... 2
- II. 2017년 MPW 지원 내역 및 일정..... 4
  - 2017년 MPW 지원 내역..... 4
  - 2017년 MPW 진행 일정..... 4
- III. MPW 참여 방법..... 6
  - 참여 대상 및 준비사항..... 6
  - 진행 절차(Flow)..... 6
  - 모집 방법..... 11
  - 설계팀 선정..... 13
    - 가. 채택확인..... 13
    - 나. 설계팀 선정..... 13
  - NDA(Non-disclosure agreement) 접수 및 설계데이터(PDK) 배포..... 15
  - 설계설명회 개최..... 20
  - 참가비 수납..... 21
  - DB 접수..... 25
  - DB 검토(사전 검증)..... 26
  - 칩 배포..... 27
  - 결과보고서 제출..... 29
- IV. MPW 업무 담당 및 관계자 내역..... 30
  - MPW 관련 담당 업무..... 30
- V. MPW 관련 물품 판매 소켓/보드 등 판매..... 31

## I. IDEC MPW 참가 대상 및 설계 참여시 이행 사항

### ■ 개요(개최 내용 및 수행 목적 등 개괄적 내용 기재)

- MPW(Multi-Project Wafer)는 대학의 칩제작 지원 프로그램으로 국내 전문설계인력 양성을 위해 공정사의 공정 지원으로 운영하고 있다.
- 창의적인 아이디어를 실제 칩으로 구현할 수 있는 기술 지원을 제공하여 실질적인 교육 및 연구 지원
- Layout 과정까지 수행되던 교육 및 연구를 실제 chip의 제작, 시험, 응용까지 연계시킴으로써 설계능력을 갖춘 고급 인력 양성 가능
- 1996년부터 시행하였으며, 매년 300여개의 칩제작 지원을 하고 있다.

### ■ 참가 대상

- IDEC 참여교수로 협약서 체결이 완료된 대학교의 연구실
- 참여교수는 매년 10월에 선정함. 추가는 3월 접수 가능(관련 : 참여교수 담당자)
- 반드시 교육 및 연구 목적으로만 제작 참여해야 한다.
- 이외 목적으로 참여시는 참여교수 참여 박탈한다.

### ■ MPW 참가시 의무 이행 사항

- Design Rule file 관리 의무
  - 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실의 담당자만 사용 가능
  - 해당 설계 외 사용 및 외부 유출이 되지 않도록 철저한 보안유지
  - 관리 소홀로 외부 유출이 될 경우 법적 책임이 주어지며, IDEC 참여교수 활동 제약함.
  - 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실의 담당자만 사용 가능
- MPW 참여시 제출 및 미 작성된 내역을 해당 기간에 미 제출한 경우 이후 진행되는 MPW 신청이 불가함. 반드시 해당 내역을 모두 수행되어야 함.
- 결과보고서 제출(칩제작 완료 후 2개월 이내 제출)
  - 영문 6쪽으로 작성하여 제출(2015년 설계자부터 적용, 공정지원사에 제출)
  - 결과보고서 내용은 선별하여 JICAS에 게재될 수 있음. 게재팀으로 선정 시 설계자와 최종 내용에 대해 상의함.
- 결과 발표 : IDEC Chip Design Contest 논문 제출 및 데모(패널) 전시

- 불참 시 패널티 적용(MPW 참여 제한 및 참가)
- 횟수만큼 MPW 참가 신청비의 1.5 배를 적용하며 2 회 이상 미 참여 시 해당 연구실은 MPW 참여가 제한됨.
- CDC 개최 학회 : KCS(2 월 개최), IDEC Congress(6 월 개최), ISOCC(11 월 개최)

## II. 2018년 MPW 지원 내역 및 일정

### ■ 2018년 MPW 지원 내역

- MPW 지원 공정 내역
  - 3개 공정 285개 제작 지원

회사	공정	공정내역	size	칩수 /1 회	모집 횟수	Package 사용 가능 pin 수(Design)	Package 실제작 type
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mm x4mm	40	3	208pin	LQFP/BGA 208pin
매그나칩/ SK하이닉스	350nm CMOS	CMOS 2-poly 4-metal (Optional layer(DNW, HRI, BJT, CPOLY) 추가)	5mm x4mm	20	2	144pin	MQFP/BGA 208pin
	180nm CMOS	CMOS 1-poly 6-metal (6 metal 을 Thick metal (TKM)로만 사용 가능) (Optional layer (DNW, HRI,BJT,MIM) 추가)	3.8m m x3.8m m	25	5	200pin	

- Package 지원 : QFP 와 BGA type 으로 제작 지원 함.(제작핀수 : 208pin, 설계시 실 사용 가능 pin 수는 공정마다 차이가 있음(위 표 참고))
- [BGA Package지원\(정보 바로가기\)](#) (모든 공정 지원. 요청 수가 많을 경우 평가를 통해 선 별. 제작비는 기존과 제공 type과 동일(30만원))

### • 지원 공정 세부 내역 확인 방법(그림 참조)

**MPW 참여안내**

“한국 반도체산업의 경쟁력” IDEC에서 설계인력양성의 발판을 마련하겠습니다.

**MPW(Multi-Project Wafer)**

- 국내 대학(원)에서 시스템반도체 실무설계 능력을 가진 인력 양성을 위해 합설계에서 제작까지 경험할 수 있도록 기회 제공
- 삼성전자, 매그나칩반도체, SK하이닉스, 동부하이텍, TowerJazz의 합계각 지원
- Semtech, Amkor 패키징 사업 지원
- 매년 10개 내외의 공정으로 공모전 진행, 300여개의 Chip 제작
- 참여 대상 : IDEC Working Group(WG)에 참여하는 대학생

**MPW Flow**

**공정 지원내역 확인**  
IDEC 홈페이지 - MPW 참여안내 - 2016년 MPW 진행 일정 - 해당하는 공정 '모집구분' 클릭

**2016년 MPW 진행 일정**

- 모집구분을 클릭하시면 MPW신청 상세 내용으로 이동합니다.
- 는(은) 모집중 또는 모집예정인 공정일.

공정	회사	제작 칩수 (full size 기준)	모집구분	신청기간	신청발표	DB 마감 (Tape-out)	Die-out	비고
MS180-1601	MS180-1601	25	정규모집	2015-12-25 ~ 2016-01-18	2016-01-26	2016-03-07	2016-08-08	모집중
			정규모집	2016-01-18 ~	2016-02-16	2016-05-16	2016-10-17	

### ■ 2018년 MPW 진행 일정

- 진행 일정
  - 회차 표기 방법 변경 : “공정코드-년도모집순서”(예시) **삼성65nm 2018년 1회차** : **S65-1801**)

✓ 아래 일정은 공정사의 사정에 따라 변경될 수 있음

(※삼성 65nm 공정은 임시 일정이므로 사정에 따라 조정될 수 있음.)

회차구분 (공정_년도순서)	정규모집 (신청마감일)	설계 설명회	제작 접수	DB 마감 (Tape-out)	Die-out	PKG-out
MS180-1801	2018.01.16	2018.02.08	25	2018.03.19	2018.08.20	2018.09.20
MS180-1802	2018.01.16	2018.02.08	25	2018.05.21	2018.10.22	2018.11.22
MS180-1803	2018.02.09	2018.03.15	25	2018.07.23	2018.12.24	2019.01.24
MS180-1804	2018.04.13	2018.05.03	25	2018.09.17	2019.02.18	2019.03.18
MS180-1805	2018.06.08	2018.07.10	25	2018.12.03	2019.05.06	2019.06.06
MS350-1801	2018.02.09	2018.03.15	20	2018.06.11	2018.10.08	2018.11.08
MS350-1802	2018.07.06	2017.08.07	20	2019.01.14	2019.05.13	2019.06.18
S65-1801	2018.01.16	2018.02(중)	40	2018.05.14	2018.11.19	2018.12.19
S65-1802	2018.03.09	2018.04(중)	40	2018.09.17	2019.03.25	2019.04.25
S65-1803	2018.07.06	2018.08(중)	40	2019.01.14	2019.07.22	2019.08.22

- 모집 : 우선과 정규모집으로 구분. 정규모집까지 마감되지 않는 공정에 대해서는 추가 모집 진행(\*\* 신청접수 기간: 모집 마감일로부터 2주전부터 접수)
- 선정 결과 : 모집 마감 후 15일내 개별 통보
- Package 제작 : Die out 이후 1개월 소요됨.
- 분할 모집 공정 : 매그나칩/SK하이닉스 180nm/350nm의 참여팀이 제작 가능 수를 초과할 경우 Half 면적으로 나눠 제작 지원함.

### III. MPW 참여 방법

#### ■ 참여 대상 및 준비사항

- 참가 신청을 위해 준비될 사항
  - 참여 가능 대상자 : IDEC 참여 대학 협약서 체결이 완료된 대학교의 연구실(IDEC 참여교수)
  - 설계회로설명서(설계계획서로 사전 작성하여 신청 시 첨부해야 함.)
    - 공정사 제출 및 평가 자료로 활용(실 설계 내용과 동일해야 함.)
    - 국문 또는 영문으로 4쪽 이상으로 작성. (2016년부터 양식 변경함.)
    - [설계회로설명서 양식 및 작성요령\(바로가기\)](#)
  - 삼성 공정 설계 참여팀은 별도 서버 구축이 되어야 함.
    - 삼성 공정 참여시는 별도의 서버를 준비해야 하며, NDA 계약 체결자와 시스템 관리자 외 접근이 불가능함. 가상사설망을 이용한 네트워크 분리 및 방화벽 설치 등에 대한 상세한 준비사항은 아래 안내문을 참고해 주십시오.
    - [환경 구축 안내문\(바로가기\)](#)

#### ■ 진행 절차(Flow)

설계자 모집

- 참여 대상 : 참여교수
- 모집 : 정규모집 / 추가모집으로 진행
- 제출서류 : 설계회로설명서(국영문 : 4~5쪽)

**[모집별 운영 방법]**

모집구분	정규모집	추가모집
모집팀수	제작 가능 칩 수의 100% 이내 모집 (우선모집 진행시는 해당수 포함)	모집 미달시 진행
선정방법	모집팀수 > 제작 가능 수 =>의 경우 평가로 선정	선착순 마감
설계설명회	회차별 정규모집 후에만 개최됨. (선정 마감 후 3주내 개최)	
NDA 제출	선정 안내 후 제출	선정 안내 후 제출
Design Kit(DK)배포	NDA 제출 이후 배포(수령 방법은 채택 통보 시 안내) · M/S 공정: ftp 를 통해 데이터 수령 · 삼성공정 예외(별도 진행)	

모집구분	정규모집	추가모집
참가비 납부	선정 안내 후 1개월 이내 납부 완료	

선정 평가

- 진행 : 모집마감 후 15일내 선정 완료
- 대상 : 우선/정규 모집 중 경쟁률이 높은 회차 참여팀
- 절차 : **1)1개1연구실 우선 선정 2)실설계 면적 재조사 3) 평가 진행**

[선정 절차]

접수 마감	- 정규모집 미달 시에만 추가 접수 진행
회로설명서 확인	- 제시한 양식에 맞춰 작성 여부를 확인함. - 수정기간 : 마감후 4 일 이내
선정 평가 진행	- <b>1)1연구실 1개칩을 기준으로 우선 적용하여 순위에 따라 선정</b> - 2)설계 면적 재조사를 통해 전체 면적 조정 - 3)①~② 적용으로 조정이 이뤄지지 않을 경우 평가 진행하여 순위에 따라 선정
선정 결과 발표	- 마감 후 15 일 이내 결과 공지(NDA 제출 및 참가비 납부등)

NDA접수 &PDK배포

- 대상 : 선정된 설계팀
- NDA 접수 : 선정 후 10일 이내 접수(공정별 차이가 있음.)
- 데이터 배포 : NDA 접수 후 Ftp(또는 실사)를 통해 배포 진행함.

[공정별 NDA 체결 방법]

구분	매그나칩/SK하이닉스 공정	삼성 공정
제출방법	web에서 출력하여 서명 후 업로드	삼성에서 제공한 양식으로 접수
계약체결 대상	설계지도교수-KAIST IDEC *매그나칩 공정은 설계데이터 제공에	설계참여대학 - 삼성전자 (IDEC은 각 학교의 대리인 역할 수행)

	대해서는 IDEC에 위임함.	
<b>제출시기</b>	선정 완료 후 5일 내	선정 완료 후 10일 내
<b>PDK 제공 방법</b>	FTP를 통해 다운가능	실사를 통해 서버에 직접 제공 (해당 공정은 별도 서버 구축되어야 함.)
<b>PDK 제공 시기</b>	NDA 마감일 이후부터 가능	서버환경이 구축된 이후 가능
<b>비고</b>	각회별로 계약됨.	NDA는 각 학교별 계약 체결. 총장(또는 산학협력단장)의 직인 날인- 자세한 내용은 참여 설계자에게 별도 안내

**설계설명회  
개최**



- 대상 : 선정된 설계팀 중 NDA 제출팀 참여 가능
- 개최 : 선정 후 2주이내 개최
- 관련 자료 설명회에서 배포. 단, 삼성 공정은 하드카피 자료 미제공
- 참여의무 : 1개팀 1인 이상 참여(단, 해다년도 1회 이상 참석자는 제외)

**참가비 수납**



- 수납 : 선정 발표 후 4주 이내
- 절차 : Web 납부 신청 -> 해당 서류 발급 -> 수납 확인
- 방법 : 신용카드 및 계산서(영수증) 발행, 원내계정대체

**[납부 방법]**

처리방법	1)전자계산서 발행	2)카드결제	3)KAIST 원내 대체
처리 요청 확인	Web )관리자페이지-MPW-결제관리		
처리절차	채권생성->계산서발행 (요청 후 3~4일내 발행)	결제 확인->관련서류 발 급 ->승인처리	발행 서류 요청 ->발급-> 계정대체 서류 접수
발급 서류 (web에서 발급)	전자계산서 거래명세서 및 견적서 등	카드처리 영수증 거래명세서	칩제작 확인서 거래명세서 요청

DB 접수

- DB 제출 안내 : 제출일 4주전 공지
- DB 접수  
: 1)Web-DB제출 검증 2)Web-DB 제출서 작성 3)Ftp DB 업로드
- MPW 설계 과정 노트 작성 내역 제출



- 팀별 Device Logo 및 Login account No. 지정
- DB 제출시 : IP개요 및 Layer 사진도 업로드 해야 제출 가능함.

DB 검토

- DB 검토 : 접수 후 2주~4주 내 검토하여 공정사 전달
- 수행 : 담당 연구원



- 매그나칩 공정 : web에서 사전 검증 후 DB 제출
- 삼성 공정 : 1~2주전부터 검토 작업. 이후 삼성 방문하여 머지 진행

칩 배포

- 칩제작 기간 : DB 전달 후 14주~22주 소요(공정별 차이)
- 수령 : 직접 수령을 원칙으로 함.
- 배포 : 제작 완료 후 3주 이내 수령하게 함.
- 칩사진 : web에 업로드 후 안내

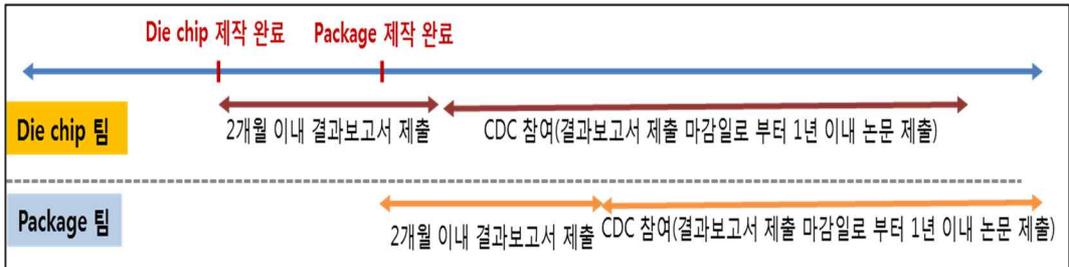


결과보고서  
/NDA폐기확  
인서 제출

- 제출 : 칩 제작완료 일로부터 2개월내
- 방법 : Web에서 제출
- 결과보고서: 영문 6쪽 이상으로 작성, NDA
- 폐기확인서: 모든 설계팀 서명 필수(결과보고서 제출시 함께 제출)



[제출시기]



CDC 참여

- 3회 개최 : 한국반도체학술대회(2월), ISC(6월), ISOCC(11월)
- 참여 방법 : 논문 제출, 전시 참여(데모 또는 패널)

## ■ 모집 방법

### 가. 모집 구분

- 모집 시기와 모집 현황에 따라 정규/추가로 나눠 모집(2018년부터 적용)
- 모집 방법 : 정규 모집을 진행하고 미달인 경우 추가 모집을 진행한다. 추가모집은 정규모집 종료 1개월 후에 진행한다.
- 모집별 운영 방법

모집구분	정규모집	추가모집
모집팀수	제작 가능 칩 수의 100% 이내 모집 (우선모집 진행시는 해당수 포함)	모집 미달시 진행 (정규모집 1개월 후 모집 진행)
선정방법	$\frac{\text{모집팀수}}{\text{제작 가능 수}}$ =>의 경우 평가로 선정	선착순 마감
NDA 제출	선정 안내 후 제출 (참여신청 시 NDA 제출 공지 ->선정과 동시에 제출이 완료되도록 함.)	
설계설명회 개최	PDK 배포로부터 1개월 이후 개최	별도의 설명회 개최는 없으며, 정규모집 일정에 맞춰 참여해야 함.
Design Kit(DK)배포	NDA 제출 이후 배포(수령 방법은 채택 통보시 안내) · M/S 공정: ftp 를 통해 데이터 수령 · 삼성공정 예외(별도 진행)	
참가비 납부	선정 안내 후 1개월 이내 납부 완료 단, 6개월까지 지연될 경우 참가신청 제한을 받음.	

### 나. 설계 참여팀 사전 준비 사항

- 설계회로설명서(설계계획서로 사전 작성하여 신청 시 첨부)
  - 설계 내용 확인 및 평가시 자료로 활용(실 설계 내용과 동일해야 함.)
  - 내용 구성  
: 설계회로설명, 기존회로와의 비교, 회로설계방법, Simulation, 설계정보, 칩 검증 방법에 대해 내용에 포함
  - **국문(또는 영문) 4~5쪽으로 작성**(2016년 MPW부터 적용)
  - **[설계회로설명서 양식 및 작성요령\(바로가기\)](#)**
- 삼성 공정 설계 참여팀은 별도 서버 구축이 되어야 함.
  - 삼성 공정 참여시는 별도의 서버를 준비해야 하며, NDA 계약 체결자와 시스템 관리자 외 접근이 불가능함.
  - 가상사설망을 이용한 네트워크 분리 및 방화벽 설치 등에 대한 상세한 준비사

항은 아래 안내문 참고

- [환경 구축 안내문\(바로가기\)](#)

**다. 신청 확인**

- 지도교수 ID - 마이 페이지에서 확인
- 접수 기간 내에만 수정/취소 가능
- 신청 기간 외는 수정/취소 요청해야 함.(취소기간에 따라 패널티 적용 범위가 다름.(참가비 항목 참조))

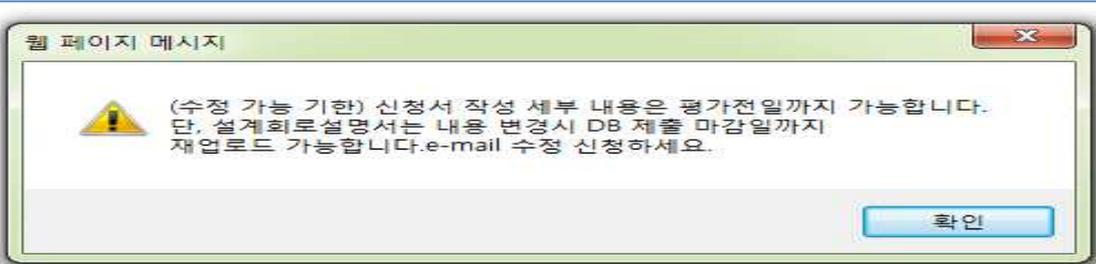
**라. 신청서 수정 방법**

- 모집 기간 내 수정
  - 마이페이지에서 내역을 수정할 수 있음.
  - 예외)경쟁률이 높아 평가 진행되는 회차는 평가 준비 기간 내도 수정 가능함.
- 모집 기간 후 수정
  - 마이페이지 - 수정 - 메일로 전달 - 이후 수정 처리됨. (아래 그림 참조)

**이메일 수정신청**

회사	MS180-1502(정규모집)	공정명	매그나칩반도체/SK하이닉스 0.18 $\mu$ m
이름	박창근	학교명	송실대학교
회로제목	CMOS 기반의 선형 고주파 전력 증폭기		

**수정내용(자세하게 기재해주세요)**



## ■ 설계팀 선정

### 가. 채택확인

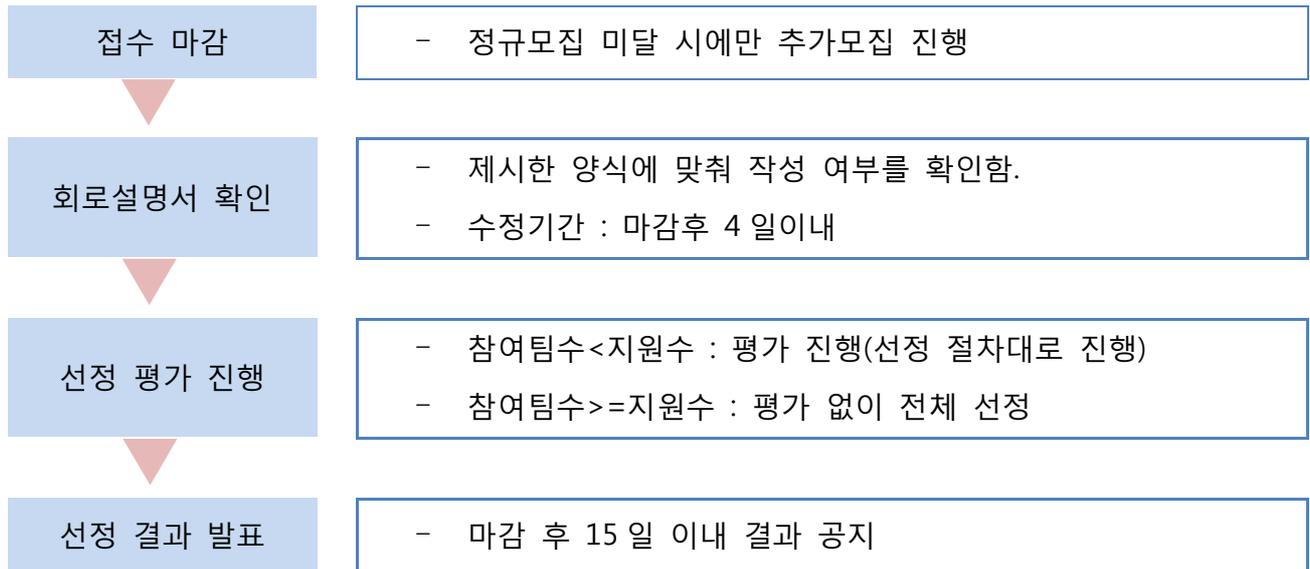
- 채택 확인  
: 지도교수 ID - 마이 페이지에서 확인
- 선정 안내  
: 마감 후 15일내 선정 안내함. (평가 진행 시 다소 선정이 지연될 수 있음.)
- 선정 방법  
: 경쟁률이 높은 경우 아래의 기준으로 평가 진행하여 선정함.

The screenshot shows the IDEC portal interface. On the left is a navigation menu with '마이페이지' (My Page) selected. The main content area is titled 'IDEC 참여내역' (IDEC Participation History) and includes a sub-section for 'MPW신청내역' (MPW Application History). A table displays application details for 'MS180-1505회' (MS180-1505 Round).

회사	공정	모집구분	신청일자	채택여부	공정상태
MS180-1505회	매그나칩반도체/SK하이닉스 0.18 $\mu$ m	우선모집	2015-02-23	채택	실제작 대기(2015.12.21)
	NDA제출 제출	DB제출 제출	결과보고제출	CDC참여	

- 많은 설계팀이 참여가 가능하도록 효율적 설계 면적 활용에 배점을 추가하여 평가 진행.

### 나. 설계팀 선정



- 선정 평가 진행
  - 평가 : 모집수에 따라 평가 진행 여부 결정
    - ✓ 참여팀수 >= 지원수 : 평가없이 전체 선정

- ✓ 참여팀수<지원수 : 평가를 통해 선정
- 선정 절차
  - ① 1연구실 1개칩을 기준으로 우선 적용하여 순위에 따라 선정
  - ② 설계 면적 재조사를 통해 전체 면적 조정
  - ③ ①~② 적용으로 조정이 이뤄지지 않을 경우 평가 진행하여 순위에 따라 선정
- 평가 진행 기준

★ **평가 자료** : 설계회로설명서(평가 시는 소속, 대학, 설계자명, 회로제목 삭제하여 수정)

★ **평가위원** : 공정 참여 지도 교수로 위촉

평가위원 참여 연구실에는 평가 가산점 부여

★ **평가 항목 및 배점 내역(100점)**(배점 조정 : 2015.2월 모집부터 적용)

- 1) 디자인의 우수성 30점            2) 회로설계방법 (단계별로 사용한 CAD Tool 기재 등) 15점
- 3) Chip수령 후 검증방법 15점    4) Design size(공간 활용도) 25점        5) 활용계획 5점
- 6) 평가위원들의 주관적 점수 10점

★ **선정 원칙**

경쟁률이 높을 경우 '1연구실 1개칩'을 기준으로 우선 적용하여 순위에 따라 선정

우선 선정 후 남은 면적에 대해서는 평가 결과에 따라 제작 기회 제공

\*추가 가산점 : 면적을 1/2 또는 1/4로 조정할 경우

## ■ NDA(Non-disclosure agreement) 접수 및 설계데이터(PDK) 배포

- NDA(Non-disclosure agreement)

: 설계시 필요한 PDK(Process Design Kit) 제공을 위해 설계자-공정사(대리: IDEC)간 보안유지협약서

- NDA 체결 대상 : MPW 선정 팀

### 가. 공정별 NDA 접수 및 PDK 전달 방법(2018년부터 적용)

구분	매그나칩/SK하이닉스 공정	삼성 공정
제출방법	신청시 NDA 내용에 동의함으로 제출 마감	신청시 해당 양식 제공하여 선정 완료까지 설계팀이 제출해야 함.
계약체결 대상	<b>설계지도교수-KAIST IDEC</b> *매그나칩 공정은 설계데이터 제공에 대해서는 IDEC에 위임함.	<b>설계참여대학 - 삼성전자</b> (IDEC은 각 학교의 대리인 역할 수행)
제출시기	NDA는 신청시 동의함으로 대신	선정 완료시까지 제출되어야 선정됨.
PDK 제공 방법	FTP를 통해 다운가능	실사를 통해 서버에 직접 제공 (해당 공정은 별도 서버 구축되어야 함.)
PDK 제공 시기	선정과 동시에 배포시작	서버환경이 구축된 이후 가능
비고	각회별로 계약됨.	NDA는 각 학교별 체결되어야 하며, 2016년~2020년까지는 1회 체결로 유효함. 총장(또는 산학협력단장)의 직인 날인- 자세한 내용은 참여 설계자에게 별도 안내

- MPW 설계 참여자는 반드시 제출해야 하며, 삼성공정의 경우 설계자의 추가 시는 별도의 NDA의 별첨(비밀유지서약서)를 제출해야 함.

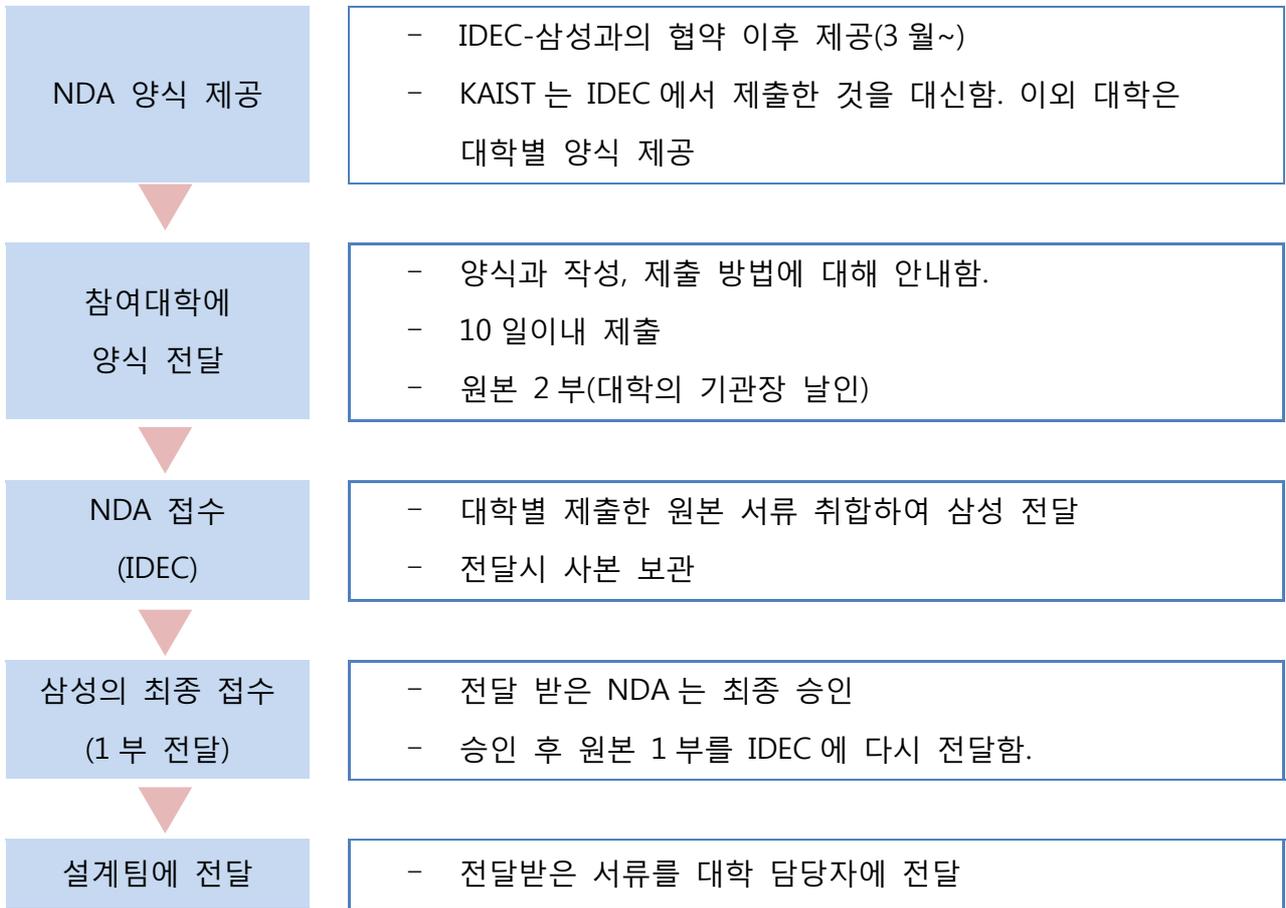
### 나. 공정별 NDA 접수 방법

#### 1) 매그나칩/SK하이닉스 공정

- 신청시 "NDA 제출에 동의함" 으로 대신함.
- NDA 제출 동의 내용
  - PDK 사용에 대한 보안과 관리 소홀 시 책임에 대한 내용을 포함한다.
  - 사용 목적은 IDEC에서 제공하는 MPW 설계에만 활용한다.
- 작성시 참고사항
  - Design 선택 : Digital 설계-Cell based, Analog설계- Full custom, Mixed설계-Mixed

#### 2) 삼성 공정

- 날인된 원본 우편 접수 - 실사를 통해 PDK 제공



- NDA 체결
  - MPW 참여 대학 - 삼성과 체결(IDEC은 대리인 역할)
  - 각 대학의 대표는 기관장으로 한다.(총장 또는 산학협력단장)
  - 체결은 대학에서 설계 참여시 진행되며, 2016년~2020년까지는 1회 체결로 유효
- 체결 방법
  - ① 대학에서 날인한 원본 2부를 IDEC에서 접수
  - ② 접수한 서류를 삼성에 전달
  - ③ 삼성에서 최종 직인 날인하여 대학별 1부를 IDEC에 발송해 줌
  - ④ 발송된 내역은 각 대학 담당자에게 발송해 준다.
  - ⑤ 참고) IDEC에서는 해당 서류의 사본을 보관한다.
- 특이 사항
  - 대학별 1년에 1회 체결로 동 대학의 모든 설계팀은 참여 가능. 단, 이외 설계팀은 약식의 NDA 제출을 해야 함.
  - 계약자는 '참여학교- 삼성전자'이며, 학교별 NDA 승인은 총장(또는 산학협력단장)이 해야 함. (NDA 양식은 학교별 제공함.)

**다. 설계데이터(PDK) 배포 방법 및 시기**

- 체결 대상 : PDK는 설계에 필요한 데이터로 NDA 체결한 설계팀에게만 전달됨.
- 공정별 배포 방법과 시기에 차이가 있음.
- 해당 데이터는 IDEC에서 보유하며, 설계팀의 보안도 IDEC에서 관리 감독한다.

**1) 매그나칩/SK하이닉스 공정**

- Web에서 접수 - Ftp로 PDK 제공
- Ftp 접속 방법 및 배포
  - NDA 접수 마감일 이후 마이페이지-NDA제출(web)에서 접속 Host 및 ID/PW를 확인할 수 있도록 설정됨.
  - ID/PW는 매일 변경되며, 데이터 수령시 마이페이지에서 재 확인 필요
- 배포 기간 : NDA 접수 마감일 후 ~ DB 제출 전까지
- PDK 폐기 : 칩 테스트 완료 후 폐기. 또는, 설계 중 제작 포기시(폐기시 반드시 NDA 폐기확인서 제출되어야 함.)



(그림 1)매그나칩/SK하이닉스 공정 PDK 수령 방법(web)

**2) 삼성 공정**

- 날인된 원본 우편 접수 - 실사를 통해 PDK 제공
- PDK 배포전 확인 사항
  - 배포 전 준비 사항 : 서버환경 구축이 완료되어야 함.
  - 구축된 서버는 체결자와 시스템관리자 외 접근이 불가능함.
  - 가상사설망을 이용한 네트워크 분리 및 방화벽 설치 등에 대한 상세한 준비사항은 아래 안내문 참고 ([환경 구축 안내문\(바로가기\)](#))

- PDK 배포
  - 배포 시기
    - : NDA 접수 최종 확인과 서버 구축 확인 후 진행됨. 구축 상황 등을 고려하여 학교별 실사를 진행(배포 일정 - IDEC 담당 연구원과 협의하여 결정)
  - 실사자 : IDEC 담당 연구원
  - PDK 배포: 실사를 통해 서버에 직접 업로드 함.(설계설명회 자료 포함)

**[※ 참고 : 삼성공정 진행 Flow]**

< 1) NDA 제출 -> 삼성 최종 확인 -> 2) 실사(설계데이터 배포) -> 설계진행 >



**3) 삼성공정 서버 보안 관리 서류 관리**

- 서버 보안 관리에 필요한 서류를 접수한다.
- 접수는 양식에 따라 시기가 다르다.
- 보안 서류 및 제출 시기

제출시기	제출서류
선정 완료(또는 실사 완료) 후 7일 이내 제출 서류	(보안결과보고서) 1) 보안점검 결과서 2) MPW 보안진단 체크리스트 3) 사용자 승인 관리대장 및 인증 신청서
실사 시 제출 (IDEC 담당 연구원 접수)	4) 보안테이프 관리대장(*서버를 처음 구축한 팀만 제출)
분기별 제출 서류	5) 보안교육결과 관리대장(1 개월에 최소 1 회 진행 후 결과대장 작성) (IDEC 에서 요청 시 제출해 주셔야 합니다.)
필요에 따라 제출할 서류	6) FTP 사용 인증 신청서
PDK 폐기시 (참여취소 및 test 완료 후)	NDA 폐기확인서 (web 에서 작성. 폐기시 IDEC 실사 관계자에게 제출 )

- 양식과 작성 방법에 대해 세부 내역을 안내한다.

- 서버 관리에 대한 유의사항 안내문

**[삼성 65nm 서버(설계데이터) 관리 시 유의사항]**

- PDF 문서를 비롯하여 PDK 안에 포함된 어떠한 파일도 삼성서버 이외의 공간에 저장해서는 안됨. (화면 캡처 및 사진촬영, text 복사 포함)
- 삼성서버에 PDK 와 관련 없는 파일을 송·수신할 경우 반드시 IDEC FTP 서버를 통해 진행해야 함.(FTP 사용 인증 신청서 제출)
- 삼성 서버에 임의로 파일을 전송하는 것은 보안 설정을 해제한 것으로 간주함.
- 방화벽 설정을 임의로 변경할 수 없음.(Log 기록 점검)
- 먼지 및 부주의로 인해 봉인지가 떨어졌을 경우, 즉시 IDEC 에 조치를 요청할 것.
- PDK 폐기 또는 임의의 실사 진행 시 기존 정보와 상이할 경우, 물리적인 접근을 통해 데이터 전송을 한 것으로 간주함.

**4) 공통) 설계자 추가 시**

- 이후 설계자의 추가 참여자가 있을 경우 NDA를 추가 제출해야 함.
- 먼저, 수정 신청하여 설계자를 web에 등록해 함.

**5) NDA Design Kit 보안 유지 관련 공지**

- 주기적인 공지를 통해 보안에 대해 인식을 강화시킨다.

IDEC 의 MPW 참가를 통해 전달받은 Design Kit 일체는 NDA 를 통해서 법적인 구속력을 가지며, 관리 소홀로 데이터 유출 시 개인은 물론 소속된 참여교수에도 자격 박탈 등 강력한 규제가 가해질 수 있습니다. 뿐만 아니라 해당 공정사의 이의 제기 시 민,형사상 책임을 물을 수 있습니다.

MPW 참여자 분들은 Design Kit 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다.

NDA 체결 후 수령한 Design Kit 일체는 NDA 상에 기재된 폐기 날짜 안에 반드시 폐기하여 주시고 폐기확인서를 제출하여 제 3 자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

## ■ 설계설명회 개최

- 개최 시기 : 회차별 정규모집 선정 완료 후 1개월 이후 개최
- 참여 대상
  - MPW 선정팀으로 NDA 제출한 팀 설계자(해당 회차의 설명회 참석해야 함.)
  - NDA 제출시 서명한 설계자만 참여 가능함.
  - 해당 설계 참여자 1인 이상 반드시 참석해야 함. 단, 같은해 동일공정에 대해 여러 회차 참여시 해당 공정 첫 회만 참석해도 됨.
- 내용
  - 공정 설명 및 설계시 유의사항 등
- 자료 배포
  - 설계자로 NDA 제출팀에게만 제공
  - 매그나칩/SK하이닉스 공정: 교재 제작하여 제공
  - 삼성공정: 보안관계상 교재 제작을 하지 않음. 해당 자료는 실사시 서버에 제공해 줌.

## ■ 참가비 수납

### 가. 납부 금액

- 선정 안내 시 공지되며, 마이 페이지에서도 확인 가능함.
- (사전 확인) login시 'MPW 참여 안내-공정 내역'에서 확인 가능.

### 나. 참가비 납부 기준

- 참가비 납부 기간 : 선정 완료 후 1개월 이내 납부

### 다. 참가비 납부 방법

- 납부 방법 : 각 처리방법은 아래 내용 참고
  - 1)계산서 발행을 통한 이체
  - 2)카드 결제
  - 3)계정대체 : KAIST는 무조건 해당 방법으로 납부해야 함.
- 납부 신청 :
  - 마이페이지->MPW신청내역->결제하기/내역확인
  - 반드시 위의 절차에 따라 납부 처리해야 향후 납부 내역을 마이 페이지에 확인 가능함.
  - 관련서류 발급경로 : 결제하기/내역확인 -> 요청서류
- 참고 사항 :
  - 분할 납부가 가능함. 단 2회로 제한함.
  - IDEC에서 발행되는 계산서에는 세금이 부과되지 않음. (비과세 기관)

### 라. 결제 요청 작성 방법

본 공모전은 IDEC에서 수행하는 '차세대반도체인력양성 성과활용사업'의 일환으로 진행되고 있습니다. MPW에 설계 참여할 경우 아래의 사항에 대해 준수함을 동의합니다.  동의

- 1. 설계를 위해 배포되는 설계 데이터에 대한 철저한 보안 관리. 위반시 법적 책임이 가해짐.
- 2. IDEC에서 제공한 설계기준에 맞춰 설계 진행함. 설계팀은 설계설명회에 반드시 참석해야 함.
- 3. DB 제출 마감일 준수. 마감일 위반시 칩 제작 및 칩 제작비 환불(이월)이 되지 않음.
- 4. 설계된 칩은 IDEC IP로 등록되며, 칩제작 완료 후 2개월 이내 결과보고서 및 설계데이터 폐기확인서가 제출해야 함.
- 5. Chip Design Contest 논문제출, 전시(패널 or 데모)를 통한 결과 발표 의무가 있음.
- 6. 칩제작 지연일 경우 환불규정에 따라 금액을 해당 연구실 앞으로 적립됨. 위의 사항의 불이행시 추후 MPW 참여에 제한을 받을 수 있습니다.

수정 NDA제출 **결제하기/내역확인** DB제출 결과보고서제출 목록으로

**MPW 결제**

MPW 결제금액

565-1501회 삼성전자 65nm		
공정가격	비고	최종 결제금액
4mmx4mm : 765만원 (Die chip 기준) - 옵션 선택 : Package +30만원 Library사용 무료	2개이상 참여시 할인적용50%(Die chip 기준 할인)	2,800,000원

현재까지 결제내역

- 신용카드 결제일 경우 결제종류 (신용카드)를 클릭하시면 영수증을 확인할 수 있습니다.

결제금액	적립금사용	결제종류	등록일	결제상태	결제일	요청서류
2,800,000원	0원	이체/입금	2015-11-18	입금대기		

결제완료 금액 : 0원

거래명세서 등 필요 요청 서류 다운

결제 하기

- 분할하여 결제하실 경우 결제금액을 수정하여 결제하시기 바랍니다.

총 결제금액	납은 결제 금액	현재 적립금액	적립금 사용금액	결제금액
2,800,000원	2,800,000원	1,880,000 원	0원	2800000원

카드결제 **계좌이체/입금** KAIST영내 뒤로가기

결제 방법을 선택하여 내역 기재

(MPW 참가비 납부 신청 방법)

**계좌이체/입금 계산서/영수증 발행시**

565-1501회 삼성전자 65nm			
총 결제 금액	남은 결제 금액	적립금 사용	결제금액
2,800,000 원	2,800,000 원	0 원	2,800,000 원

영수증/계산서 발급여부  
계산서 영수증 필요없음

기관명, 대표자 명, 사업자 번호, 사업자등록증사본, 발행요청일, 청구/영수, 필요서류요청, 비고

계좌신청번호, 취소

**KAIST원내 결제 KAIST내 처리 방법시**

565-1501회 삼성전자 65nm			
총 결제 금액	남은 결제 금액	적립금 사용	결제금액
2,800,000 원	2,800,000 원	0 원	2,800,000 원

필요서류요청, 비고

결제 안내  
 \* KAIST의 경우 ERP시스템을 통해 계정대체 처리하여 함  
 \* IDEC인 KAIST소속기관으로 KAIST 발인영으로 계산서를 발행할 수 있음  
 \* 계정대체한 서류는 담당자에게 e-mail로 발송해야 입금확을 확인할 수 있음  
 \* 처리를 위해 추가로 필요한 내역이 있는 경우 '비고'란에 기재해 주시면 발송해 드립니다

KAIST내부인 참가비 납부방법  
 \* KAIST ERP 시스템 KAIST 내 처리 방법 가이드

계좌신청번호, 취소하기

**MPW 신용카드결제 신용카드 결제시**

결제요청취급 가이드 - 클릭

565-1501회 삼성전자 65nm			
총 결제 금액	남은 결제 금액	적립금 사용	결제금액
2,800,000 원	2,800,000 원	0 원	2,800,000 원

필요서류요청, 수신자 성명, 이메일, 전화번호

카드결제하기, 뒤로가기

위의 결제시 **적립금 사용**을 희망할 경우  
**'적립금'** 란에 해당 금액을 기재해 주시고  
 나머지 금액은 **'결제금액'**란에 기재

(MPW 참가비 납부 신청 방법(신청 방법별 선택))

마. 적립금 관리 및 사용 방법

- 설계팀 적립금 확인 방법 : 마이페이지 - 적립금내역(Web)

마이페이지

회원수경  
비밀번호변경  
IDEC 참여내역

교육신청내역  
VOD신청내역  
WG참여내역  
MPW신청내역  
EDATool신청내역  
CDC/공모전신청내역

■ 적립금내역

MPW평가  
CDC/공모전평가  
주문/배송 내역확인

**IDEC 참여내역**

홈 | 마이페이지 | IDEC 참여내역 | 적립금내역

“한국 반도체산업의 경쟁력”  
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

**적립금 내역**

총 적립금액 : 0 원

번호	적립 및 차감 내용
적립금 내역이 없습니다.	

(설계팀이 적립금 확인 창)

바. 설계 취소시 참가비 환급 조건

1) 설계 포기시 패널티 적용

- 취소 기간별에 따라 납부 금액을 차등으로 환급
  - 선정 후 ~1개월 : 80% 환불
  - 선정 1개월 후 ~ DB 마감일 1개월 전 : 50% 환불
  - DB 마감 1개월 미만시 : 환불 없음.
  - 단, Package 제작비는 100% 환급해 드림.

2) 환급금(적립금) 사용 방법

- IDEC 본센터에서 유료 서비스 프로그램에 비용처리 가능(MPW, EDA tool, 교육)

사. MPW 참가비 환불 조건

1) 참가비 환불 조건(2011년부터 적용)

- 칩제작 일정이 지연될 경우 아래와 같이 적용하여 환불
- 납부한 전체 금액에 대해 적용함.

2) 지연 기간별 환불 비율

제작지연기간 (month : M/week:w)	1M 이하	1M+2w	2M	2M+2w	3M	3M 이상
환불(납부금액의%)	적용되지 않음.	5%	10%	15%	20%	25%

아. 참가비 할인

- 논문할인  
: 아래 할인 조건에 해당하는 학회(또는 저널) 게재 논문이 있는 경우
- 신청 미달 공정에 대한 할인 혜택  
: 1개 연구실에서 2개이상 참여시 2개 이후 참여에 50% 할인
- iPDK 활용 설계에 대한 할인  
: IDEC에서 개발한 iPDK활용에 대한 금액 할인(할인 신청 방법)

1) 논문 할인

- 할인 대상
  - MPW 설계 내용이 포함된 논문(저널)으로 'IDEC에서 MPW(또는 칩설계) 지원 받음'이라는 사사 문구가 반드시 있어야 함.
- 적용 학회 : 2016년 MPW부터 적용 기준 변경
  - 할인 대상 학회(저널)는 주요 학회를 단일 등급으로 하여 15% 할인 적용

할인율	학회	저널
<b>15%</b> (Die chip 가격에만 적용)	- ISSCC - Symposium&VLSI circuit and Technology(SOVC) - CICC - DAC - ICCAD	IEEE 저널

	- ASSCC - IEEE RFIC Symposium - ESSCIRC	(IEEE Transactions on Consumer Electronics 는 제외)
--	--------------------------------------------	--------------------------------------------------

• 논문할인 적용(2018년 적용)

- 참여교수 평가시 해당 논문 제출 실적을 확인하여 할인 쿠폰 발급(15%할인)
- 할인 쿠폰은 설계팀이 참가비 납부시 선택하여 자동 할인되도록 함.
- 단, 2018년까지는 기존의 방법과 함께 진행할 예정임.
- [논문 할인혜택 신청서 양식\(바로가기!!\)](#)
- 제출 방법 : 신청서 양식에 제출 항목이 있음.
- 할인은 Die chip에 해당되는 금액만 적용됨.

**2) 중복 참여시 할인 적용**

• 할인 대상

- 참여율이 미달일 경우 1개 연구실에서 2개 이상 참여시 2개 이후의 설계에 할인MPW 설계 적용(정규모집 마감 후 확인 가능함.)
- 대상 확인 : 선정 안내 후 마이페이지에서 확인(금액은 할인 금액으로 자동 적용)

• 할인 범위

- 2개 이후 설계 참가비 50% 할인. 단, 논문 할인과 중복 할인되지 않음.
- 할인은 Die chip에 해당되는 금액만 적용됨.

**3) iPDK 활용 설계에 대한 할인**

• 할인 대상

- IDEC에서 개발한 iPDK활용에 대한 금액 할인(할인 신청 방법 ???)
- 대상 확인 : 선정 안내 후 마이페이지에서 확인(금액은 할인 금액으로 자동 적용)

• 할인 범위

- 설계 참가비 50% 할인. 단, 논문 할인과 중복 할인되지 않음.
- 할인은 Die chip에 해당되는 금액만 적용됨.

## ■ DB 접수

### 가. DB 제출 절차

- DB 제출서 작성(web) -> DB 제출 ftp ID/PW 확인 가능 => DB 제출 : ftp 업로드

### 나. DB 제출서 작성

- 작성 절차
  - 마이페이지 -> IDEC 참여내역 -> 해당 공정 -> 하단 "DB 제출" 클릭하고 작성
- 설계회로설명서와 설계 내용이 상이한 경우
  - 최종 설계 내용에 맞게 작성해서 재 제출 요청
  - 재제출 방법 :  
: 수정 신청(내용 : 설계회로설명서 변경요청) -> 메일로 전송 ->내용 수정 처리
- IP 개요 : 반드시 50~100자 이내로 기재
- 해당 제출서 작성 후 DB 제출 ftp ID/PW 확인 가능

### 다. DB 제출 방법

- 접수 기간
  - 마감일로부터 20일전부터 접수(공정별 별도 안내함.)
- 제출 Ftp IP
  - 143.248.230.161
- ID/PW
  - web에서 DB 제출서 및 IP 등록신청서 작성시 확인
- DB 제출 사전 검증
  - 매그나칩/SK하이닉스 공정의 경우 web에서 사전 검증 후 DB 제출해야 함.
- DB 제출시 확인 사항
  - PW는 telnet 접속 후 변경
  - PW 변경한 경우 DB 제출 후 재 접속하여 정상적인 제출 확인 필요
  - DB 미제출 경우 납부한 칩제작비 환불 불가함.
  - DRC 재 검토 시 비용 추가 : DB 검토 오류가 있을 경우 2회부터는 ₩50,000(/회)
  - [DB 재검토 의뢰서\(바로가기!!!\)](#) => 오류가 많아 검토가 지속되면 칩제작 일정이 지연될 수 있어 적용된 패널티 임.

## ■ DB 검토(사전 검증)

- 공정별 담당 연구원이 검토는 진행

### 가. DB 검토 기간

- 2~4주(공정과 접수 사정에 따라 기한이 조정될 수 있다.)

### 나. 공정별 담당 연구원

삼성 65nm	매그나칩/SK 하이닉스 350nm 삼성65nm(Analog)	매그나칩/SK 하이닉스 180nm
선혜승 선임	조인신 선임	김연태 전임

### 다. 참고)사전 검증 방법

- DB 를 FTP 에 업로드 => IDEC 홈페이지를 통해 DB 점검 진행 후 => 최종
- 참고사항 : TOP CELL 은 반드시 팀 번호\_LOGO 로 지정하여 점검해야 함.
- 점검 결과가 상이한 경우 조치 방법  
: 연구실에서의 결과와 메일로 받은 점검 결과가 상이할 경우 공정 담당 연구원에 연락할 것
- 적용 공정 : 매그나칩/SK하이닉스 공정에 한함.
- IDEC DB점검 페이지

#### DB 파일 제출

**DB 제출 안내**

- GDS 파일명과 TOP CELL NAME 을 안내된 형식으로 진행하지 않을 경우 DB 점검이 진행되지 않습니다. 다시 한번 확인하십시오
- GDS 파일명 : 팀번호\_로그.gds (ex: 02\_CNKYT.gds)
- TOP CELL NAME : 팀번호\_로그 (ex: 02\_CNKYT)
- DB 파일이 크거나 정검 팀이 많을 경우 완료 시 까지 시간이 걸릴 수 있습니다.

파일선택	<div style="border: 1px solid blue; padding: 2px;">                 28_IDKYT.gds                  09_KPBMH.gds             </div>
Top Cell Name	28_IDKYT
디지털 PDK 사용여부	<input checked="" type="radio"/> 미사용 <input type="radio"/> 사용
이메일 (결과수신용)	ytkim@idec.or.kr(DO XUAN DIEN)

**PIPO 파일**

- GDS Strem in report 로 텍스트 편집기를 통해 여러 내용이 있는지 설계자가 직접 확인하여야 합니다. 예외가 발생한 경우는 아래 항목에 문제가 없는 지 점검하십시오.
  - gds 파일이 "팀번호\_로그.gds" 형식이 아닌 경우
  - topcell name 이 "팀번호\_로그" 가 아닌 경우
  - gds 파일이 손상되어 업로드 된 경우 (Binary mode로 변경 후 재 업로드)

**DRC report, Result, Summary**

- report 는 Calibre DRC 로그 파일입니다. 텍스트 편집기를 통해 예외가 없는지 점검하십시오.
- result 와 summary 는 Calibre DRC 결과 파일입니다. summary 는 텍스트 편집기로, result 는 calibre 에서 load 하여 확인하십시오.
- result 와 summary 는 설계자가 진행한 내역과 일치해야 합니다. 상이할 경우 정검을 하셔야 합니다.
- 설계자 서버에서 진행된 내역과 상이할 경우 사용하고 계신 툴의 버전, PDK 버전이 IDEC 에서 권고한 버전과 일치하는지 점검하십시오.
- 예외 개수는 일부 다를 수 있습니다. 하이퍼 유선 및 max error count 에 따라 다를 수 있으나 문제는 없으므로 그대로 진행하셔도 무방합니다. (예외 종류의 개수는 일치해야 합니다.)
- ERROR: Rule file precision 1000 is not consistent with database precision 200 예외가 발생하는 경우 gds export 시 scale 을 default 값인 0.001 로 변경 후 다시 진행하십시오.

**DRC SUMMARY**

- 디자인에서 발생한 예외내용은 아래와 같습니다. 세부 내용은 results 파일을 참고하십시오.
- 1 PAD.W.1 = 1
- 2 PDF.D.1 = 1
- 3 PDF.D.3 = 1
- 4 PDF.D.4 = 1
- 5 PDF.D.6 = 1
- 6 PDF.D.6.5 = 1
- 7 PDF.D.6.6 = 1
- 8 PDF.D.6.7 = 1
- 9 PDF.D.8.8 = 1
- 10 PDL.A.1 = 2
- 11 PDL.D.1 = 1
- 12 PDL.D.7.8 = 1
- 13 TMD.1 = 1

점검 결과 이메일 수신 내용

(DB 사전 검토 창)

## ■ 칩 배포

### 가. 칩제작 기간

- 공정별 12~22주 소요함.
- 제작 기한에 2~3주 전부터 완료일 확인(공정사)
- 제작이 지연될 경우 설계팀에 사유와 제작 예정 일정 공지

### 나. 칩 배포 절차

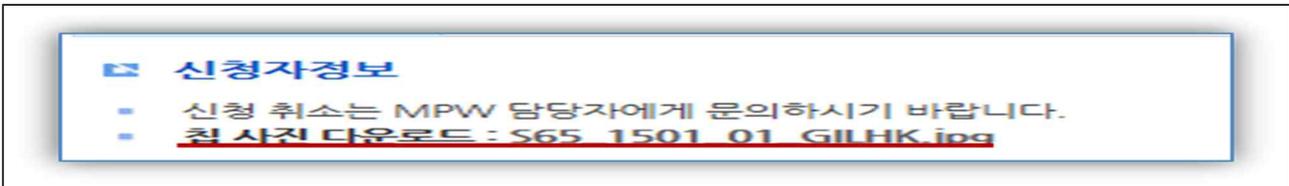
- IDEC 칩도착 ->설계팀에 안내 ->수령 신청서(web, 설계팀) ->방문하여 수령

### 다. 칩배포 기간

- 제작 완료일 ~ 3주이내

### 라. 칩사진 제공

- 각팀별 칩사진(공정 담당 연구원 제공) ->web에서 받을 수 있도록 설계팀별 업로드
- Web에서 다운 가능(마이페이지 - 신청자 정보(아래 그림 참조))



### 마. 칩 배포 배포

- 칩 수령은 직접 수령을 원칙으로 함.(분실 및 파손 우려)
- 칩 수령 전 반드시 수령 신청서를 web에서 작성하고 방문해야 하며, 수령 당사자에 게만 배포한다.

**마이페이지**

- 회원수정
- 비밀번호변경
- IDEC 참여내역
- 교육신청내역
- VOD신청내역
- WG참여내역
- MPW신청내역**
- EDATool신청내역
- CDC신청내역
- JICAS논문투고내역
- 적립금내역
- WG평가
- MPW평가
- CDC평가

**“한국 반도체산업의 경쟁력”**  
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

**MPW신청내역**

회차	공정	모집구분	신청일자	채택여부	공정상태
S65-1601회	삼성전자 65nm	정규모집	2016-02-01	채택	DB마감일 변경 (06.27->08.01), Die chip 완료일 (2017.01.09->02.13)
	NDA제출	DB제출	칩 수령	결과보고제출	
S65-1503회	삼성전자 65nm	우선모집	2015-04-20	채택	제작중
	NDA제출	DB제출	칩 수령	결과보고제출	
S65-1501회	삼성전자 65nm	정규모집	2015-03-25	채택	제작완료
	NDA제출	DB제출	칩 수령	결과보고제출	

(설계팀의 칩수령 신청서 작성 페이지)

○ CDC 참여 일정 등록 및 칩 수령 일정 등록

▪ 먼저 MPW 참여 회차를 선택해주세요

MPW 참여 회차 선택	S65-1501 정규모집(회로제목: <input type="text"/> )		
참여예정 CDC선택 1지망	<input type="radio"/> 2016 IDEC SoC Congress(ISC)(논문제출:2016-04-11 ~) <input checked="" type="radio"/> ISOCC 2016 Chip Design Contest(CDC) (논문제출:2016-06-27 ~) <input type="radio"/> 제24회 한국반도체학술대회 Chip Design Contest(CDC)(논문제출:2016-10-17 ~)		
참여예정 CDC선택 2지망	<input checked="" type="radio"/> 2016 IDEC SoC Congress(ISC)(논문제출:2016-04-11 ~) <input type="radio"/> ISOCC 2016 Chip Design Contest(CDC) (논문제출:2016-06-27 ~) <input type="radio"/> 제24회 한국반도체학술대회 Chip Design Contest(CDC)(논문제출:2016-10-17 ~)		
칩 수령 희망일	<input type="text"/>	칩 수령인	<input type="text"/>
설계자와의 관계	<input type="text"/>	디바이스 로고	<input type="text"/>
연락처	<input type="text"/>	이메일	<input type="text"/>

(설계팀 CDC 참여 확인 내역 기재 창)

## ■ 결과보고서 제출

- MPW 설계팀은 칩제작 완료 후 2개월이내 제출 의무를 가진다. (2015년 MPW 설계팀 부터 적용)

### 가. 접수

- 칩제작 완료 후 2개월이내 제출
- 결과보고서 미제출 시 해당 연구실은 MPW 신청이 불가함.

### 나. 내용

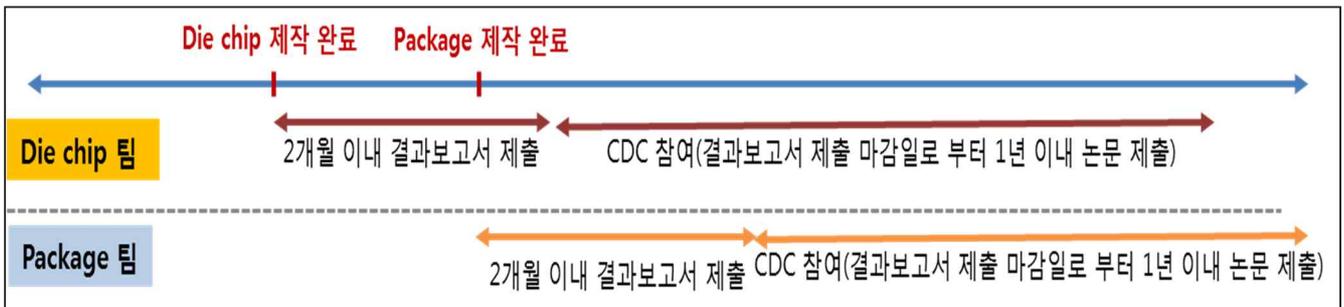
- 설계회로설명서의 내용을 바탕으로 설계 결과를 포함하여 작성

### 다. 활용

- MPW 지원 공정사에 보고서로 제출
- 우수 내용을 선별하여 JICAS 에 게재할 예정입니다. 단, 게재팀으로 선정시 설계자와 최종 내용에 대해 상의한 후 게재한다.

### 라. 결과보고서 제출 기한 및 작성 방법

- 제출 기한
  - 칩제작이 완료된 후 2개월 이내 제출해야 함.
  - 해당 기간 내 미제출한 경우 이후 MPW 참가 신청이 되지 않음.
  - ※참고 : 결과보고서 및 CDC 참여 기한



- 작성 방법
  - 영문 6쪽 이상으로 작성하여 제출(2015년 설계자부터 적용, 공정지원사에 제출)
  - 결과보고서 내용은 선별하여 JICAS에 게재될 수 있음. 게재팀으로 선정시 설계자와 최종 내용에 대해 상의함.(JICAS 페이지 바로가기)
  - 참가 신청시 제출한 '설계회로설명서' 내용을 바탕으로 기재해야 함.

### • 작성 양식 : 바로가기!

## IV.MPW 업무 담당 및 관계자 내역

### ■ MPW 관련 담당 업무

- MPW 진행 : 이의숙 책임(yslee@idec.or.kr, 042-350-4428)
- MPW 설계에 필요한 기술 문의 (DB 제출 관련)  
: 문의 내용은 공정별 담당자에게 e-mail 로 보내주시면 회신드립니다.

공정	삼성 65nm	매그나칩/SK 하이닉스 350nm 삼성65nm(Analog)	매그나칩/SK 하이닉스 180nm
연구원	선혜승 선임	조인신 책임	김연태 전임
연락처	<a href="mailto:smkcow@idec.or.kr">smkcow@idec.or.kr</a> 042-350-4046	<a href="mailto:ischo@idec.or.kr">ischo@idec.or.kr</a> 042-350-4423	<a href="mailto:ytkim@idec.or.kr">ytkim@idec.or.kr</a> 042-350-4426

- **CDC 개최 관련**  
: 김하늘 주임(kimsky@idec.or.kr, 042-350-8535)
- **참여대학(교수) 가입 및 수정 관련**  
: 김영지 주임(yjkim@idec.or.kr 042-350-8536)

## V. MPW 관련 물품 판매 소켓/보드 등 판매

### ■ 소켓 및 보드 등 MPW 관련 판매

- MPW 설계공모전을 통해 제작된 칩의 test를 위해 공정별 IC socket&Board 판매  
IDEC MPW를 통해 칩 제작하는 설계팀에게만 판매한다.
- 판매 절차 :구매 신청서 접수 ->입금 -> 우편 발송
- 물품 내역

품목	사용 가능 환경 (IDEC MPW 를 통해 제작된 칩 적용)	가격(원)
<b>Soket 208pin(MQFP)</b> (FPQ-208-0.5-09)	1) 매그나칩/하이닉스 180nm 공정 : 2016 년부터 제작된 Package 부터 2) 매그나칩/하이닉스 350nm 공정 : 2016 년부터 제작된 Package 부터	110,000
<b>Soket 208pin(LQFP)</b> (FPQ-208-0.5-10)	1) 매그나칩/하이닉스 180nm : 2015 년까지 제작된 Package 2) 매그나칩/하이닉스 350nm : 2015 년까지 제작된 Package 3) 삼성 65nm	110,000
<b>Board 208pin</b> (LQFP/LQFP 208pin)	1) 매그나칩/하이닉스 180 $\mu$ m (3.8mm x 3.8mm) 2) 매그나칩/하이닉스 350 $\mu$ m(5mm x 4mm) 3) 삼성 65nm(4mm x 4mm)	22,000
<b>Chip Test Board (2 차)</b>	IDEC 에서 MPW 칩을 테스트 하기 위한 환경 부족 개선을 위하여 칩 테스트를 위한 FPGA 모듈과 전용 보드를 제작하여 판매합니다. FPGA 와 MPW 칩을 직접 연결하여 칩 동작을 검증할 수 있다는 점이 기존 보드와 다른 점으로서, 칩 검증의 목적 이외에도 간단한 I/O 장치들을 사용하여 FPGA 검증 및 개발도 할 수 있도록 만들었습니다.	1,150,000
<b>Gel-Pak</b>	IDEC MPW 설계팀 중 Bare chip 수령을 위한 케이스임.	12,000