

JICAS

(Journal of Integrated Circuits And Systems)

논문 제출자 매뉴얼

1) 논문 제출 방법

Volume 3, Number 3, JICAS 논문	상시접수중
○ 제 호 : JICAS (IDEC Journal of Integrated Circuits and Systems) ○ 대 상 : 참여대학 소속 교수, 학생 및 기타 칩 설계팀 ○ 분 야 및 주 제 : IDEC MPW 지원을 통해 나온 연구 결과물 및 기타 ○ 분 량 및 형 식 : A4로 6장 내외 영문 논문으로 JICAS 논문 집필 요령에 따라야 함. ○ 제 출 시 기 (JICAS 7호) : 상시 ○ 검 토 : 논문 한 편당 약 3명의 Reviewer 검토 예정 ○ 신청 및 논문 제출 방법 : 1. JICAS 홈페이지 (http://jicas.idec.or.kr) 접속 2. IDEC 계정으로 로그인 3. PAPER SUBMISSION 클릭 > 해당 제호 클릭 > 논문 투고 클릭 ○ 바로가기 : 논문 제출 바로가기 ○ 저널 제출자 혜택 (저널지가 발행된 시점 기준) 1. 해당 연구실에 100만원 (/편) 적립 2. MPW 칩제작 경쟁 과열시 심사 없이 선정 우선권 1회 (/편) 제공 ○ JICAS 문의처 : 김하늘(042-350-8535, kimsky1230@idec.or.kr)	
논문투고	목록으로

- JICAS 홈페이지 로그인 - 마이페이지 - Paper submission - 논문투고 클릭

Volume 3, Number 3, JICAS 논문		상시접수중
MPW Process(공정)	Selection ▼	
Title(논문명)		
Abstract(초록)		
Design Category	☐ Analog ☐ Digital ☐ RF	
Author(주저자)	Affiliation	송실대학교 Adviser 문웅
	Name	
	Tel	
	email	HP
Paper attached	파일 선택 선택된 파일 없음	
제출 취소		

- 해당 내용에 맞는 정보 기재
 - MPW Process (공정) : 제출 논문 관련 MPW 참여 공정 회차 및 내용 선택
 - Title (논문명) : 논문명 입력
 - Abstract (초록) : 논문 초록 입력
 - Design Category : 논문의 디자인 카테고리 선택
 - Author (주저자) : 논문을 작성한 주저자 정보 입력
 - Paper attached : 논문 파일 업로드

2) 논문 수정 방법

HOME LOGOUT MY PAGE IDEC HOMEPAGE

반도체설계교육센터
IC DESIGN EDUCATION CENTER

JICAS GUIDELINES PAPER SUBMISSION NOTICE

JICAS ISSN : 2384-2113 (Online)

◆ MY PAGE(Paper Submission History)

Paper Submission History		Review			
Issue	논문번호	주저자	등록일	상태	
2	Volume 3, Number 2, JICAS 논문	201702008	장준범	2017-03-20	마감
1	Volume 2, Number 2, JICAS 논문	201603004	김진호	2016-05-20	마감

1

- JICAS 홈페이지 로그인 - 마이페이지 - Paper submission history에서
연계된 제출 논문 또는 MPW 결과보고서 확인 가능

Paper Submission History		Review		
Volume 3, Number 2, JICAS 논문		마감		
MPW Process(공정)	S65-1501회 (신청일자 : 2014-12-29) 높은 출력을 가지는 60GHz VCO의 설계			
Title(논문명)	High-efficiency analog front-end design of passive NFC tag based on 65nm			
Abstract(초록)	The high-efficiency NFC AFE (Analog Front-End) was proposed and implemented in 65nm CMOS process. We proposed the novelty architecture of Envelope Detector which is the most important block in passive mode tag because those generate their own power. The Envelope Detector generating negative voltage and it can generate the negative voltage of -0.68V that is used for body bias and can detect the small voltage swing of 0.5V. The area of the high-			
Design Category	☒ Analog ☐ Digital ☐ RF			
Author(주저자)	Affiliation	송실대학교	Adviser	문용
	Name	장준범	Tel	02-825-8108
	email	tonisbb@ssu.ac.kr	HP	010-2230-0822
Paper attached	파일 선택 선택된 파일 없음 JICAS_송실대학교_장준범.docx			
		수정 취소		

- 논문 정보 확인 가능

· MPW Process (공정) : 해당 MPW 참여 공정 회차와 내용이 자동으로 선택

- Title (논문명) : 제출한 논문명이 입력되어 있음
- Abstract (초록) : 제출한 논문의 초록이 입력되어 있음
- Design Category : 제출한 논문의 디자인 카테고리가 선택되어 있음
- Author (주저자) : 관련 정보가 입력되어 있음
- Paper attached : 수정 기한 내에 자유롭게 논문 업로드 가능

3) 적립금 확인 및 사용 방법



The screenshot shows the IDEC MyPage interface. On the left, there is a sidebar with links: MPW신청내역, EDATool신청내역, CDC신청내역, and **적립금내역** (highlighted with a red box). The main content area is titled '마이페이지' and includes a banner for '한국 반도체산업의 경쟁력' and a section for '적립금 내역'. Below this, a table lists transactions with columns for '번호' (Number), '적립 및 차감 내용' (Accumulation and Deduction Content), '금액(원)' (Amount), and '날짜' (Date). The table shows a total of 6,975,000 원. Transaction 5 is highlighted with a red box.

번호	적립 및 차감 내용	금액(원)	날짜
5	JICAS (Vol 3, No 2, April 2017) 논문 투고	1,000,000	2017.04.06
4	2016.10.11) 2016년 EDA Tool 사용료 무상에 따른 납부액 적립	1,840,000	2016.10.11
3	Vol 3, No 1 JICAS 논문 투고 (July, 2016)	1,000,000	2016.09.08
2	2015.08.21)MPW 가격인하에 따른 차액 환급_565-1501	2,385,000	2015.08.23
1	126회 삼성 65nm 공정 칩 제작 지원	750,000	2014.09.17

- 적립금 확인 방법 : IDEC 홈페이지에서 교수님 계정으로 접속 - 마이페이지 - 적립금 내역에서 확인
- 적립금 사용 방법 : 각 담당자에게 문의

반도체 설계 교육 센터 - Chrome

www.idec.or.kr/admin.php?c=jicas_app&div=app_view&no=95&page=&jicas_no=16&sort_key=&sort_val=&search_key=&search_val=

신청자 정보

신청자 ID	jungdong	혜택사용여부	사용 ▼
Process	Selection ▼		
Title(논문명)	1-13 GHz Wideband LNA utilizing a Transformer as a Compact Inter-stage Network in 65 nm CMO		
Abstract(초록)	A low power wide-band low noise amplifier (LNA) is presented in 65-nm CMOS. A compact inter-stage network utilizing one transformer and a resistor is proposed to obtain ultra-wide bandwidth. The designed LNA achieves 1 – 13 GHz bandwidth with > 10 dB of power gain. The simulated noise figure ranges from 9.6 to 10.5 dB over 1-13 GHz with power consumption of 11mW at 1.2 V of power supply.		

- MPW 선정 시 혜택 사용하기

· IDEC 홈페이지 - JICAS 관리 - 해당 호수 클릭 - 제출자 탭 -

해당 논문 클릭하면 뜨는 팝업창에서 혜택 사용여부에 “혜택” 표시

· MPW 담당자 : 이의숙 책임 (042-350-4428, yslee@idec.or.kr)