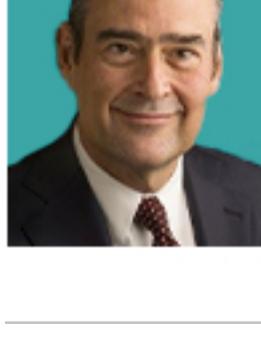
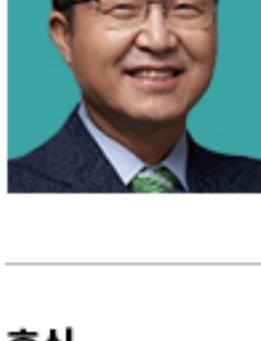


Agenda

Time	Session															
13:00 ~ 13:10	환영사 <p style="text-align: right;">김준환 사장 Siemens EDA Korea</p>															
13:10 ~ 13:40	기조연설 <p>반도체 업계, 디지털화로 인해 다시 대규모 성장가도 들어서</p> <p>Siemens EDA의 IC 부문 부사장(EVP)인 조셉 사위키(Joseph Sawicki) 씨가 오늘날의 반도체 시장에 작용하고 있는 모든 역학 관계와, 이러한 성장가속 추세를 가져오고 있는 디지털화가 EDA 업계에는 어떠한 기회와 해결과제를 안겨주고 있는지 살펴볼 것입니다.</p> <p> Joe Sawicki Executive VP, EDA IC /Siemens EDA</p>															
13:40 ~ 14:10	초청강의 <p>CMOS Backplane Technology for MicroLED Metaverse Displays</p> <p>MicroLED(micro-light-emitting diode)는 새로이 떠오르고 있는 디스플레이 기술로서, 이름이 말해주듯이 마이크로미터 크기의 LED를 픽셀로 사용합니다. 다른 모든 현행 디스플레이 기술과 마찬가지로 적색, 녹색, 청색의 서브픽셀을 결합해 하나의 색상을 만들어내며, 이 기술은 주요 디스플레이 시장에 침투해 광범위한 응용 분야에서 기존의 LCD 및 OLED 기술을 대체할 수 있는 커다란 가능성을 갖고 있습니다. 그 응용분야는 HDTV로부터 스마트폰, 스마트워치 같은 웨어러블, 그리고 HUD(head-up display)와 가상현실(VR) 및 증강현실(AR) 헤드셋에 이르기까지 매우 폭이 넓고, 특히 메타버스(Metaverse) 디스플레이는 CMOS 백플레인 IC가 있어야 이처럼 작은 픽셀로 고해상도 디스플레이를 구동할 수 있습니다. 하지만 microLED의 잠재력이 완전히 실현되려면 아직 많은 개발상의 해결과제가 남아 있습니다.</p> <p> 이명희 사피엔반도체(Sapien Semiconductor)사의 CEO이자 설립자</p>															
14:10 ~ 14:20	휴식															
14:20 ~ 14:50	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr style="background-color: #009640; color: white;"> <th>Track1</th> <th>Track2</th> <th>Track3</th> <th>Track4</th> <th>Track5</th> </tr> </thead> <tbody> <tr> <td>A shift-left methodology for an early and accurate power closure using Early Design Checks and Analysis - Mohammed Fahad</td> <td>HPC Designs with Aprisa - 최정국 부장</td> <td>Networking and Communications SoC Verification Challenges - 오주현 차장</td> <td>SONR (State Of Nature Reduction) – Machine Learning Based Process Aware Layout Analytics For Proactive Pattern Failure Prevention - 박준형 이사</td> <td>Rule 기반 PCB 설계 검증 - 장성혁 상무</td> </tr> <tr> <td>High-Level Synthesis - Are you still missing out? - 김우식 부장</td> <td>Low Power Designs with Aprisa - 이재준 이사</td> <td>Veloce proFPGA: The Perfect Complement for Your System Verification Flow - 김태형 차장</td> <td>Accelerate DRC clean for easy and robust physical sign-off by Calibre RealTime/DesignEnhancer - 이훈구 차장</td> <td>단일 플랫폼 시스템 설계 환경에서의 PCB 및 Cable 설계 협업 - 김병근 이사</td> </tr> </tbody> </table>	Track1	Track2	Track3	Track4	Track5	A shift-left methodology for an early and accurate power closure using Early Design Checks and Analysis - Mohammed Fahad	HPC Designs with Aprisa - 최정국 부장	Networking and Communications SoC Verification Challenges - 오주현 차장	SONR (State Of Nature Reduction) – Machine Learning Based Process Aware Layout Analytics For Proactive Pattern Failure Prevention - 박준형 이사	Rule 기반 PCB 설계 검증 - 장성혁 상무	High-Level Synthesis - Are you still missing out? - 김우식 부장	Low Power Designs with Aprisa - 이재준 이사	Veloce proFPGA: The Perfect Complement for Your System Verification Flow - 김태형 차장	Accelerate DRC clean for easy and robust physical sign-off by Calibre RealTime/DesignEnhancer - 이훈구 차장	단일 플랫폼 시스템 설계 환경에서의 PCB 및 Cable 설계 협업 - 김병근 이사
Track1	Track2	Track3	Track4	Track5												
A shift-left methodology for an early and accurate power closure using Early Design Checks and Analysis - Mohammed Fahad	HPC Designs with Aprisa - 최정국 부장	Networking and Communications SoC Verification Challenges - 오주현 차장	SONR (State Of Nature Reduction) – Machine Learning Based Process Aware Layout Analytics For Proactive Pattern Failure Prevention - 박준형 이사	Rule 기반 PCB 설계 검증 - 장성혁 상무												
High-Level Synthesis - Are you still missing out? - 김우식 부장	Low Power Designs with Aprisa - 이재준 이사	Veloce proFPGA: The Perfect Complement for Your System Verification Flow - 김태형 차장	Accelerate DRC clean for easy and robust physical sign-off by Calibre RealTime/DesignEnhancer - 이훈구 차장	단일 플랫폼 시스템 설계 환경에서의 PCB 및 Cable 설계 협업 - 김병근 이사												
14:50 ~ 15:20	<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>Increase Analog and Mixed-Signal Verification efficiency in advanced process nodes using AFS and Symphony - Pradeep Thiagarajan</td> <td>Effective solutions for current Automotive needs - 정상환 과장</td> <td>AI/ML in Digital Verification – Increasing performance and efficiency - 윤의상 부장</td> <td>Using the Calibre for authentic 3D-IC verification - 채동규 사원</td> <td>웹 인터페이스를 통한 PCB 및 관련 data 협업 관리 - 홍중배 상무</td> </tr> </tbody> </table>	Increase Analog and Mixed-Signal Verification efficiency in advanced process nodes using AFS and Symphony - Pradeep Thiagarajan	Effective solutions for current Automotive needs - 정상환 과장	AI/ML in Digital Verification – Increasing performance and efficiency - 윤의상 부장	Using the Calibre for authentic 3D-IC verification - 채동규 사원	웹 인터페이스를 통한 PCB 및 관련 data 협업 관리 - 홍중배 상무										
Increase Analog and Mixed-Signal Verification efficiency in advanced process nodes using AFS and Symphony - Pradeep Thiagarajan	Effective solutions for current Automotive needs - 정상환 과장	AI/ML in Digital Verification – Increasing performance and efficiency - 윤의상 부장	Using the Calibre for authentic 3D-IC verification - 채동규 사원	웹 인터페이스를 통한 PCB 및 관련 data 협업 관리 - 홍중배 상무												
15:20 ~ 15:50	<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>Getting the Right Answer with Machine Learning - Utilizing Solido's ML advantage for accurate SPICE verification and characterization - 곽아영 차장</td> <td>Efficient Test Solution for 3D IC - 임요섭 수석</td> <td>Equivalence Checking for FPGA - 방실이 차장</td> <td>mPower – Fast, Scalable power solution for analog and digital EM/IR - 오광호 부장</td> <td>Samsung Foundry's 3.5D MDI with Siemens EDA Solutions - 김안국 이사 - 김경록 차장</td> </tr> </tbody> </table>	Getting the Right Answer with Machine Learning - Utilizing Solido's ML advantage for accurate SPICE verification and characterization - 곽아영 차장	Efficient Test Solution for 3D IC - 임요섭 수석	Equivalence Checking for FPGA - 방실이 차장	mPower – Fast, Scalable power solution for analog and digital EM/IR - 오광호 부장	Samsung Foundry's 3.5D MDI with Siemens EDA Solutions - 김안국 이사 - 김경록 차장										
Getting the Right Answer with Machine Learning - Utilizing Solido's ML advantage for accurate SPICE verification and characterization - 곽아영 차장	Efficient Test Solution for 3D IC - 임요섭 수석	Equivalence Checking for FPGA - 방실이 차장	mPower – Fast, Scalable power solution for analog and digital EM/IR - 오광호 부장	Samsung Foundry's 3.5D MDI with Siemens EDA Solutions - 김안국 이사 - 김경록 차장												
15:50 ~ 16:00	Break															
16:00 ~ 16:30	<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>Trust but verify your IP with Solido Crosscheck - Wei-Lii Tan</td> <td>HW-based cybersecurity threat detection and mitigation using Tesent Embedded Analytics - Richard Oxland - Pete Shields</td> <td>Questa Multiverse: The future of Simulation - 박성진 과장</td> <td>Improve the design reliability and productivity with Calibre PERC - 변선수 부장</td> <td>Rigid-Flex Design: Can it be done without respins - Kevin Webb - Bill Hargin</td> </tr> </tbody> </table>	Trust but verify your IP with Solido Crosscheck - Wei-Lii Tan	HW-based cybersecurity threat detection and mitigation using Tesent Embedded Analytics - Richard Oxland - Pete Shields	Questa Multiverse: The future of Simulation - 박성진 과장	Improve the design reliability and productivity with Calibre PERC - 변선수 부장	Rigid-Flex Design: Can it be done without respins - Kevin Webb - Bill Hargin										
Trust but verify your IP with Solido Crosscheck - Wei-Lii Tan	HW-based cybersecurity threat detection and mitigation using Tesent Embedded Analytics - Richard Oxland - Pete Shields	Questa Multiverse: The future of Simulation - 박성진 과장	Improve the design reliability and productivity with Calibre PERC - 변선수 부장	Rigid-Flex Design: Can it be done without respins - Kevin Webb - Bill Hargin												
16:30 ~ 17:00																

* 영어 세션의 경우 자막이 제공됩니다.

* 주최측의 사정에 의하여 시간표는 변동될 수 있습니다.