



아빠!
이 로봇으로 지구를
지켜낼게야

www.skhyun.com

꿈은 누구나 꿀 수 있지만
그 꿈이 현실이 되기 위해선
기술이 필요합니다

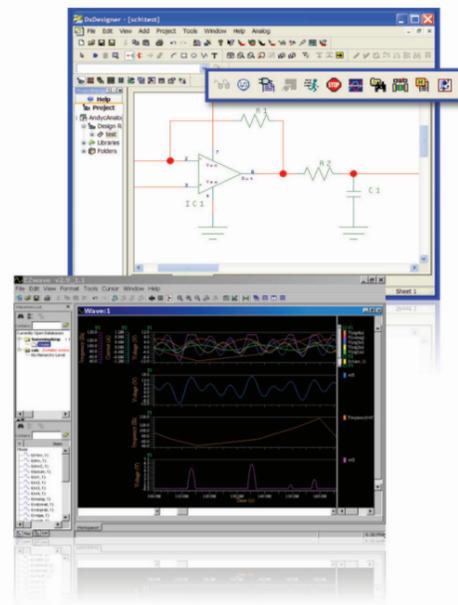
세상 모든 꿈을 가능하게 하는 기술 -
SK하이닉스가 만듭니다



압계를 선도하는 기술 경쟁력으로 세계 최고의 메모리 반도체를 생산하는 SK하이닉스! 세상을 움직이는 진짜 기술을 만듭니다

HyperLynx Analog

- 아날로그 해석
 - DC, Transient, Frequency
- 쉬운 시뮬레이션과 결과 검토 환경
- 하나의 개발 환경
 - DxDDesigner와 통합 환경
 - PCB와 simulation에 단일 라이브러리 사용
- PSPICE 모델 변환기 제공
- 시뮬레이션 방법의 확장성
 - HLA (Proprietary), Eldo, ADMS 엔진
- 계산기능이 포함된 Ezwave Viewer



© 2010 Mentor Graphics Corp. Company Confidential
www.mentor.com



IDEC Newsletter

IDEC Newsletter | 통권 제196호 | 발행일 2013년 11월 30일 | 발행인 박인희 | 편집인 남병규 | 제작 유윤디 | 디자인 최정민 | 전화 042-350-8535 | 팩스 042-330-0000 | 홈페이지 http://idec.or.kr | e-mail jhg0929@idec.or.kr | 발행처 반도체설계교육센터(IDEC)

Vol.198

2013
December

LFBC(Lossless Frame Buffer Compression) 기술 동향 | 04
초음파 의료 영상 시스템용 고전압 아날로그 CMOS 집적 회로 연구 개발 | 08
전력반도체 기술 현황과 전망 | 14 Pyxis 커스텀 IC 설계 | 18

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 엠코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

LFBC(Lossless Frame Buffer Compression) 기술 동향

해상도가 급격히 늘어나면서 frame buffer에 저장된 이미지들을 참조하기 위한 버스 대역폭 양도 비례적으로 급격히 증가하고 있다. 이러한 버스 대역폭 문제를 해결하기 위하여 다양한 방법들이 시도되고 있는데, 근래 들어 고성능 이미지 압축 기술이 큰 주목을 받고 있다. 최근 고해상도를 지원하는 스마트폰 AP에 대한 경쟁이 치열해지면서 버스 대역폭 및 전력 소모를 줄이는 방안으로써 고성능의 LFBC (lossless frame buffer compression) 기술이 부각되고 있다. 본 고에서는 본 연구실의 고성능 LFBC 기술을 소개하고, 향후 전망에 대하여 논하고자 한다. (관련기사 P04~07 참조)

초음파 의료 영상 시스템용 고전압 아날로그 CMOS 집적 회로 연구 개발

저가의 CMOS 반도체 공정 기술과 호환이 가능하고 주파수 특성이 우수한 정전용량형 초음파 변환기 capacitive micromachined ultrasound transducer (CMUT)방식이 1990년대 중반에 제안되면서 초음파 영상 시스템의 연구 개발은 더욱 활성화되고 있는 추세이다. 최근에는 3차원 초음파 영상 생성을 위한 다중 어레이 (multi-array) CMUT 기반의 초음파 시스템이 개발되면서 타 영상 방식에 비해 해상도 등의 성능까지 크게 개선되는 연구 결과들이 계속해서 발표되고 있으며, 본 고에서는 이러한 CMUT 기반의 초음파 의료 영상 시스템의 소개 및 기술 동향과 트랜스듀서 인터페이스용 CMOS 아날로그 집적회로의 연구 개발 사례를 소개하고자 한다. (관련기사 P08~13 참조)

전력반도체 기술 현황과 전망

최근 고부가 가치를 맞이하여 에너지 위기, 환경문제에 대한 심각성이 여러 대중매체에 연일 보도되고 있다. 또한, 세계 여러 나라에서는 에너지 절감과 환경친화적 소재나 부품들을 일상생활에서 사용하도록 적극적으로 독려하고 있다. 글로벌 사회에서 에너지 절감에 대한 문제는 국내 산업에도 예외가 아니며, 현 정부도 "녹색성장은 선택의 문제가 아니라 미래의 생존을 위해 반드시 해야 하는 것이다"라고 발표하였듯이 신재생 에너지 및 환경보호 분야에 IT 기술을 접목/활용하는 그린 IT 패러다임을 부각시키고 있다. 본 고에서는 에너지 절감 및 전력시스템의 고효율 달성에 직접적인 영향을 미치는 전력반도체의 기술 현황과 전망을 살펴보고자 한다. (관련기사 P14~16 참조)

Pyxis 커스텀 IC 설계

Pyxis는 사용하기 쉬운 디자인 입력 환경과 고급 기능을 갖추고 있어, 설계자의 생산성 향상에 기여하고 다각형 편집을 효율적으로 수행할 수 있는 다양한 편집 기능도 갖고 있다. 이는 계층 구조와 고급 윈도우 관리 기능에 의해 하나의 셀을 여러 화면으로 볼 수 있어, 어느 화면에서도 편집이 가능하다. 본 고에서는(주)한국멘토그래픽스의 Pyxis를 소개하고자 한다. (관련기사 P18~19 참조)

IDEC December | 2013 news

MPW (Multi-Project Wafer)

2013년 MPW 진행 현황

공정	MPW 회차	제작가능면적 (면적mm ² ×칩수) /회별	채택 팀수	실계면적 ((면적)×칩수)	DB마감	Die -out	비고	공정	MPW 회차	제작가능면적 (면적mm ² ×칩수) /회별	채택 팀수	실계면적 ((면적)×칩수)	DB마감	Die -out	비고
	119		20	(4x4)×20	13.03.15	13.08.15	★제작완료		118		6	(5x2.5)×6	13.02.27	13.06.12	★제작완료
삼성 65nm (년3회)	121	(4x4mm ²) x 48	29	(4x4)×29	13.07.05	13.12.06	제작중	동부 0.35um BCD (년4회)	120	(5x2.5mm ²) x 6	10	(5x2.5)×2 (2.5x2.5)×8	13.05.01	13.08.14	★제작완료
	126		36	(4x4)×36	13.11.08	14.04.11	DB 접수중		123		6	(5x2.5)×6	13.08.14	13.11.27	제작중
	118		23	(4.5x4)×17 (4.5x2)×6	13.02.18	13.07.22	★제작완료		125		7	(5x2.5)×5 (2.5x2.5)×2	13.10.23	14.02.05	제작중
MH 0.18um (년4회)	120	(4.5x4mm ²) x 20	20	(4.5x4)×20	13.05.06	13.10.04	★제작완료	TJ SiGe (년1회)	119	(2.5x2.5mm ²) x 4	4	(2.5x2.5)×4	13.03.12	13.07.01	★제작완료
	122		20	(4.5x4)×20	13.07.29	13.12.24	제작중	TJ CIS (년2회)	120	(2.5x2.5mm ²) x 4	4	(2.5x2.5)×4	13.05.06	13.09.16	★제작완료
	125		20	(4.5x4)×20	13.10.21	14.03.25	제작중		125		4	(2.5x2.5)×4	13.10.14	14.02.17	제작중
MH 0.35um (년2회)	121	(5x4mm ²) x 20	18	(5x2.5)×20 (2.5x2.5)×7	13.03.20	13.07.31	★제작완료	TJ BCD (년2회)	120	(5x2.5mm ²) x 4	2	(5x5)×1 (5x2.5)×1	13.05.20	13.09.16	★제작완료
	127		18	(5x2.5)×20 (2.5x2.5)×6	13.9.11	14.01.22	DB 접수중		125		2	(5x5)×2	13.10.21	14.02.17	제작중
동부 0.11um (년2회)	119	(5x2.5mm ²) x 24	27	(5x2.5)×20 (2.5x2.5)×7	13.03.20	13.07.31	★제작완료	TJ RF (년2회)	120	(2.5x2.5mm ²) x 4	4	(2.5x2.5)×4	13.05.20	13.09.16	★제작완료
	124		26	(5x2.5)×20 (2.5x2.5)×6	13.09.11	14.01.22	DB 검토중		125		3	(5x2.5)×1 (2.5x2.5)×1	13.10.21	14.02.17	제작중
	120		4	(5x2.5)×4	13.05.15	13.08.28	★제작완료								
동부 0.18um BCD (년4회)	121	(5x2.5mm ²) x 4	4	(5x2.5)×4	13.06.26	13.10.09	★제작완료								
	123		4	(5x2.5)×2 (2.5x2.5)×2	13.08.21	13.12.04	제작중								
	126		5	(5x2.5)×3 (2.5x2.5)×2	13.11.13	14.02.06	제작중								

* 일정은 사정에 따라 다소 변경될 수 있습니다.
* 기준 : 2013. 11. 26
* 담당 : 이의숙 (042-350-4428, yslee@idec.or.kr)

Chip Design Contest (CDC)

■ 제21회 한국반도체학술대회(KCS) Chip Design Contest 개최

1. 일정 및 장소
가. 일정 : 2014년 2월 25일(화) 나. 장소 : 한양대학교, 서울

2. 논문 채택 통보 : 2013년 12월 20일

3. 시상 내역

Award 명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2개팀 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원
Best Poster Award	5개팀 내외	각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음
* CDC 참여와 관련한 자세한 사항은 홈페이지(http://www.idec.or.kr)를 참조
* 담당 : 구재희(042-350-8536, kjh9@idec.or.kr)

2013년 12월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

강좌 일정

센터명	강의일자	강의제목	분류
본센터	12월 26일~27일	고성능 PLL 주파수 합성기 설계	설계강좌
	12월 16일	u-Healthcare를 위한 생체 신호 처리 시스템 설계	설계강좌
경북대 IDEC	12월 17일~18일	시뮬레이션의 이해와 활용: Cadence OrCAD PSpice 활용	Tool강좌
	12월 19일~20일	Linux Administration 과정 및 Linux 보안과정	Tool강좌
충북대	12월 13일~14일	LCD System and OP_AMP circuit desig for LCDs	설계강좌
	12월 17일	LVDS 인터페이스 회로	설계강좌

기간을 단축시키고 신뢰성을 높이기 위한 노력의 일환으로 Simulation Tool을 이용하여 실제 제작단계 이전에 회로특성을 해석해보는 과정이 중요시되었다.

- [수강대상]
· 전자,전기,정보통신공학전공 관련 대학생 및 관련 분야 산업체 연구원
- [강의수준] [강의형태]
· 초급/중급 · 이론+실습

- 강좌일 : 12월 19일-20일
- 강좌 제목 : Linux Administration 과정 및 Linux 보안과정
- 강사 : 송상우 대표 (크리시스)

▷KAIST 개설 강좌 안내

- 강좌일 : 12월 26일-27일
- 강좌 제목 : 고성능 PLL 주파수 합성기 설계
- 강사 : 조성환 교수 (KAIST)

[강좌개요]
PLL의 기초와 원리를 이해하고 이를 집적회로로 응용한 고성능 주파수 합성기, 클럭 발진기 등에 대하여 알아본다.

- [수강대상]
· 산업체 인력 및 대학원생
- [강의수준]
· 중급(대학원 수준, 전자과 학부를 졸업한 인력 대상)

- [강의형태]
· 이론
- [사전지식, 선수과목]
· 회로이론, 전자회로, 신호 및 시스템, 제어시스템, 랜덤 프로세스

[강좌개요]
지금 현재 많이 사용하고 있는 Linux 관련 장비의 설치 및 관리를 원활하게 사용할 수 있고, 직접 Linux(CentOs) Install, 백업 및 시스템을 관리, 시스템의 전반적인 Log 분석, 보안설정을 할 수 있다. Linux 관련 장비에 대한 많은 관심을 가질 수 있다.

- [수강대상]
· 전자,전기,정보통신공학전공 관련 대학생 및 관련 분야 산업체 연구원
- [강의수준]
· 초급/중급
- [강의형태]
· 이론+실습

* 문의 : 경북대학교 IDEC 주현아 (053-950-6857, idec@ee.knu.ac.kr)

* 문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

- 강좌일 : 12월 16일
- 강좌 제목 : u-Healthcare를 위한 생체 신호 처리 시스템 설계
- 강사 : 심재훈 교수 (경북대학교), 김명남 교수 (경북대학교)

[강좌개요]
생체 신호의 발생 원리와 특성을 설명하고 이를 처리하기 위해 필요한 아날로그 및 디지털 시스템의 설계 방법을 강의한다.

- [수강대상]
· u-Healthcare에 관심있는 대학원생
- [강의수준] [강의형태]
· 중급 · 이론

- 강좌일 : 12월 13일-14일
- 강좌 제목 : LCD System and OP_AMP circuit desig for LCDs
- 강사 : 박수양 수석연구원 ((주)실리콘마이터스)

[강좌개요]
LCD system에 대한 전반적인 이해 및 LCD system에서 OP-AMP가 주요하게 응용되었는 회로부에 대한 소개 및 주요 기능설명 Gamma/VCOM OP-AMP Design Spec. 이해 및 설계 실습

- [수강대상]
· 대학/대학원 학생 및 산업체 임직원
- [강의수준] [강의형태]
· 초급/중급 · 이론+실습

* 문의 : 경북대학교 IDEC 변보련 (053-950-6858, ipc-mobile@ee.knu.ac.kr)

- 강좌일 : 12월 17일-18일
- 강좌 제목 : 시뮬레이션의 이해와 활용: Cadence OrCAD PSpice 활용
- 강사 : 장대용 과장 (나인플러스EDA(주))

[강좌개요]
반도체 및 컴퓨터기술의 급격한 발달과 더불어 기술이 혁신적으로 발전하고 전기전자 관련 제품의 설계 및 제조 공정이 자동화되어 생산성 증대와 제품의 품질향상 등이 산업체의 경쟁력 제고를 위해 요구되고 있으며, 특히 제품개발

- 강좌일 : 12월 17일
- 강좌 제목 : LVDS 인터페이스 회로
- 강사 : 조경록 교수 (충북대학교)

[강좌개요]
최근의 고속 I/O 로 주목을 받고 있는 기법으로 저전압 차동신호 전송을 하는 LVDS가 있으며, LVDS 기술은 저전력 과 저전압 특성을 실현 할수 있고, 수백 Mbps급에서 수 Gbps급 데이터 전송 I/O로 많이 사용되고 있다. 본 강좌에서는 LVDS의 기본회로와 동작을 설명하고, 저전력구조인 이중차동 신호LVDS 전송신호에 대하여 기술한다

- [수강대상]
· 대학/대학원생 및 관련직종 종사자
- [강의수준] [강의형태]
· 중급 · 이론

* 문의 : IDEC충북대지역센터 라해미(043-261-3572, idec_haemi@naver.com)



LFBC(Lossless Frame Buffer Compression)

기술 동향



세종대학교 컴퓨터공학과
 박우찬 교수
 연구분야: GPU 하드웨어 구조, 실시간 그래픽스, 컴퓨터 구조
 E-mail: pwchan@sejong.ac.kr
 http://rayman.sejong.ac.kr



원천기술

서론

최근 PC와 TV뿐만 아니라 모바일 기기에서도 고해상도가 기본적으로 요구되고 있다. PC와 TV는 Full HD를 넘어서 UHD의 해상도가 지원되는 제품이 속속 등장하고 있다. 셋톱박스, 감시카메라, 차량용 블랙박스에서도 이러한 현상이 지속할 것으로 예상하고 있다. 특히, 모바일 기기 중 tablet은 이미 UHD급 해상도를 갖는 제품이 출시되었으며, UHD 급 해상도를 지원하는 스마트폰 AP(application processor)[1]가 출시됨에 따라 UHD 급 해상도가 지원되는 스마트폰이 조만간 출시될 것으로 예상된다.



그림 1. 최근 TV 해상도의 변화

이렇게 해상도가 급격히 늘어나면서 frame buffer에 저장된 이미지들을 참조하기 위한 버스 대역폭 양도 비례적으로 급격히 증가하고 있다. 특히, TV인 경우 고화질을 유지하기 위하여 높은 frame rate를 요구하며, 또한 해상도가 현재 주력인 Full HD(1920x1080)에서 4K UHD(3840x2160)로 변화하고 있으며, 향후 8K UHD(7680x4320)으로 올라갈 것으로 내다보고 있다.([그림 1] 참조) 따라서, 외부 메모리 참조로 인한 버스 대역폭 문제를 해결하기 위한 기술의 중요성이 매우 높아지고 있다.

이러한 버스 대역폭 문제를 해결하기 위하여 다양한 방법들이 시도되고 있는데, 근래 들어 고성능 이미지 압축 기술이 큰 주목을 받고 있다. 이미지 압축은 크게 lossy 방식과 lossless 방식으로 나누어진다. 일반적으로 lossy 방식은 고정길이를 가지며 이로 인하여 인코딩에 비하여 디코딩이 훨씬 단순한 반면에, lossless 방식은 가변 길이 가지며 이 때문에 인코딩보다 디코딩이 좀 더

복잡하다. Lossy 방식은 높은 압축률을 달성할 수 있지만, 화질 저하가 발생할 수 있는 단점을 갖고 있다. 한편, lossless 방식은 높은 압축률을 달성하기는 매우 어렵지만, 화질 저하가 전혀 없다는 장점을 가지고 있다.

최근 고해상도를 지원하는 스마트폰 AP에 대한 경쟁이 치열해지면서 버스 대역폭 및 전력 소모를 줄이는 방안으로써 고성능의 LFBC(lossless frame buffer compression) 기술이 부각되고 있다. 본 글에서는 본 연구실의 고성능 LFBC 기술을 소개하고, 향후 전망에 대하여 논하고자 한다.

본론 기술 동향

고성능 이미지 압축에 대한 개발은 모바일 GPU(graphics processing unit) 회사들이 매우 적극적이다. 그 이유는 고화질 컴퓨터 그래픽을 제공하기 위하여 다수개의 texture 이미지들을 필요로 하며 이로 인한 버스 대역폭 문제가 전체 스마트폰 AP의 성능에 큰 영향을 미치기 때문이다. 3D 그래픽에서 사용되는 표준 API인 OpenGL이나 DirectX인 경우 lossy 방식의 texture 압축이 표준으로 지원되고 있다. 예를 들어, ETC1, ETC2, DXT 1~6 등이 이에 해당하며, 대표적인 모바일 GPU IP 회사인 IMG나 ARM에서도 lossy 기반의 자체적인 texture 압축 기술을 보유하고 있다.

최근에는 모바일 GPU IP 회사들에서 버스 대역폭 문제 해결 및 전력 소모를 줄이기 위하여 고성능의 LFBC(lossless frame buffer compression) 기술이 제품화되어 속속 발표되고 있다. IMG사에서는 최신 PowerVR GPU인 Rogue에 LFBC를 탑재한다고 발표했으며 [2], ARM사는 최신의 Mali GPU에 LFBC를 내장했다고 발표하였다 [3]. 최근에 GPU 관련 한국 기업인 Siliconarts사는 RayCodec® LFBC를 출시하였다 [4]. 이 회사들이 발표한 내용을 보면 압축으로 인한 bus 대역폭 절감이 대략 50%라고 알려졌다.

고성능의 LFBC의 필요성이 높아지고 있으나, 상용화 단계까지 이르기에는 challenge한 문제점들이 존재한다. 일반적으로 압축률

이 높은 lossless 알고리즘들은 대부분 순차적으로 압축과 복원이 된다. 이러한 알고리즘들은 고성능의 LFBC에 채택되기에는 성능적인 측면에서 매우 어렵다. 고성능 LFBC는 latency가 짧을수록 좋고, throughput은 높을수록 좋고, 압축률은 일정수준 이상이 되어야 하며, gate count는 작을수록 좋다. 이를 달성하기 위해서, 압축률이 일정수준 이상이 되는 pixel parallel 알고리즘을 개발해야 한다. 또한, gate count 문제를 해결하기 위해서 알고리즘이 가능하면 단순해야 한다.

기존의 알고리즘 중 LFBC 분야에서 가장 많이 언급하는 것은 JPEG-LS에 사용되는 LOCO-I [5]이다. 이는 이름에서도 나타내듯이 low complexity를 갖는 알고리즘이다. 이는 기존 알고리즘 대비 수준급의 압축률을 보이면서 알고리즘이 상대적으로 단순하다. 하지만 여전히 순차적으로 압축과 복원이 되기 때문에 고성능 처리에 약점이 있다. 이러한 문제를 해결할 수 있는 알고리즘이 근래 들어 발표되었다 [6, 7]. 이 두 알고리즘은 높은 throughput과 낮은 latency를 달성하였으며, 압축률과 gate count에서도 수준급의 결과를 보여주고 있다. 이 결과 이외에 최근에 다수의 연구 결과가 속속 발표되고 있다.

고성능 LFBC 전체 구조

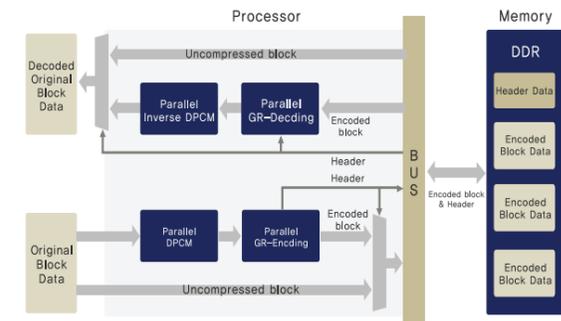


그림 2. 고성능 LFBC의 전체 구조도

[그림 2]는 본 연구실에서 개발한 고성능 LFBC의 구조도이다. 이는 본 연구실의 이전 결과인 [7]을 기반으로 알고리즘을 상당히

개선하였으며, Siliconarts사가 RayCodec® LFBC라는 이름으로 IP 형태로 제공되고 있다. [그림 2]는 크게 압축부와 복원부로 되어 있다.

압축부는 원본 block data에 대하여 병렬 DPCM(Differential Pulse-code Modulation)과 병렬 GR(Golomb-Rice)-encoding을 거쳐서 압축을 수행한 후 만약 압축 size가 원본에 비하여 작으면 압축된 결과를 bus로 보내고 그렇지 않으면 원본을 bus로 보낸다. 압축 size에 대한 정보는 header에 담겨서 별도로 memory에 저장된다. 복원부는 참조할 block의 header 정보를 읽고 필요한 size만큼만 참조할 block의 data를 메모로부터 읽는다. 만약 압축이 안 되었다면 복원과정을 거치지 않고 바로 data를 출력하고, 압축되었다면 병렬 GR-decoding과 병렬 inverse DPCM을 거친 후 복원된 block data를 출력한다.

고성능 LFBC의 주요 사양

Item	Description	Remark
YUV Throughput*	32G bytes/sec	Latency: 4 cycles
Pixel Throughput*	10.7G pixels/sec	Latency: 6 cycles
Compression Ratio*	2.4	YUV 4:2:0 format, 1bit align, without header
Area	About 300K gate counts	Foundry A 28n @500MHz
Block Size Support	8x8, 16x4, 64x1, and etc	
Color Format Support	YUV, RGB	

표 1. 고성능 LFBC

위 table은 현재의 고성능 LFBC의 주요 사양이다. 이는 YUV 4:2:0 format을 기준으로 하였으며, 한 프레임에 대한 Y와 U와 V component들은 각각 별도의 구분된 영역에 저장되어 있다고 가정하였다. 하나의 block은 64개의 component로 구성되어 있으며, block의 형태는 다양하게 지원된다. 실험 영상들의 해상도는 Full HD이다.

본 LFBC의 성능을 살펴보면 64개의 component가 병렬로 처리되며 500MHz로 동작하기 때문에, 이의 throughput은 32G bytes/sec이다. 이는 고성능 시스템에서도 충분히 사용될 수 있을 정도의 성능을 보여주고 있다. 그리고 본 LFBC는 4 stage pipeline으로 구성되기 때문에, 하나의 block을 처리할 때 소요



되는 latency는 4가 된다. Pixel은 3개의 component로 구성된다고 가정하였으며, 이 때문에 pixel에 대한 처리 성능은 YUV의 성능대비 1/3로 감소하며, 소요되는 latency는 6이 된다.



그림 4. Test benchmark의 예

[그림 4]에서 제시된 이미지 이외에 다양한 benchmark에 대해서 실험을 수행한 결과 Full HD인 경우 순수 압축률은 2점대 중반을 달성하였으며, 별도의 header 정보와 alignment로 인한 영향으로 인하여 실제 압축률은 2점대 초반 정도일 것으로 예상된다. 위 table에는 제시되어있지 않지만, UHD 이미지에서는 더 높은 압축률을 보였다.

병렬 GR-encoding 소개

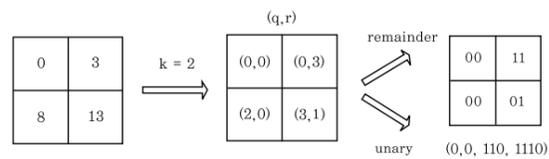


그림 5. GR-encoding의 예

본 LFBC 알고리즘은 크게 DPCM과 GR로 구성되어 있다. DPCM은 멀티미디어 데이터 압축에 대하여 다양하게 사용됐으며, 또한 알고리즘 적으로 병렬화가 충분히 가능하다. 한편, GR 알고리즘은 lossless 이미지 압축에 상당히 많이 사용되고 있으나, 압축된 data가 기본적으로 가변길이기 때문에 알고리즘 적으로는

순차적인 성향을 가지고 있다. 여기서는 병렬 GR-encoding에 대해서 살펴보기로 하겠다.

기본적으로 GR에서는 먼저 변수 값 m 을 2^k 로 나누어서 몫인 q 와 나머지인 r 을 구한다. 이 과정은 별도의 나눗셈 과정이 없이 m 값을 하위 k bit를 r 값으로 정하고 나머지 상위 비트들은 q 로 정한다는 것과 동일하다. 그 후에 q 값에 대하여 가변길이를 갖는 unary coding을 수행하고, r 값은 고정길이를 갖는 binary coding을 수행한다. [그림 5]는 $k=2$ 인 경우 GR-encoding의 예를 보여준다.

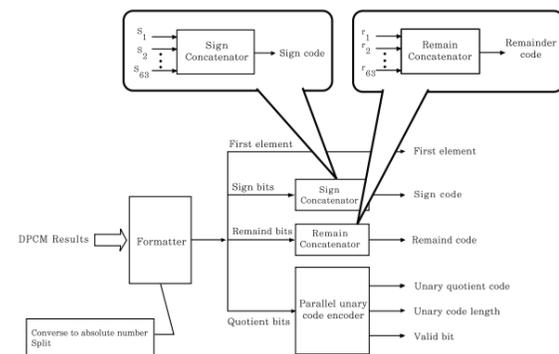


그림 6. 병렬 GR-encoder의 전체 처리 구조도

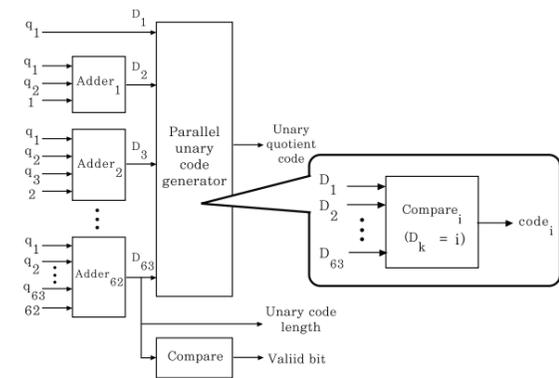


그림 7. 병렬 unary encoder의 전체 처리 구조도

[그림 6]은 병렬 GR-encoder의 전체 처리 구조도를 보여준다. 먼저 DPCM이 수행된 64개의 element가 입력된다. 여기서 첫 번째 element는 원본 값으로써 이 값 그대로 저장된다. 나머지 63개의 element에 대해서 각 sign bit들은 묶어서 저장되고, remainder들 역시 묶어서 저장된다. 한편, quotient들은 unary

code화되어 가변길이 형태로 저장된다. 또한, unary code의 전체 길이를 나타내는 length 값과 해당 block의 압축된 size가 원본 block의 size보다 크지를 나타내는 valid bit가 출력된다.

본 GR-encoder의 핵심은 [그림 7]에서 제시한 병렬 unary code encoder이다. 이는 63개의 quotient를 받아서 이를 병렬로 unary code 하는 것이다. 이를 위하여 전체 unary code에 대하여 63개의 quotient 각각의 시작과 끝 위치를 덧셈을 통해서 계산한 후, 이 값을 토대로 unary code를 생성한다. 이에 대한 자세한 설명은 [7]을 참조하기 바란다. GR-decoder의 핵심인 병렬 unary decoder는 encoder보다 좀 더 복잡하며, 이에 대한 자세한 설명 역시 [7]을 참조하기 바란다.

향후 전망 및 결론

최근 TV 및 스마트 기기들의 해상도가 날로 증가하면서 이 때문에 요구되는 bus 대역폭이 크게 증가하고 있다. 특히, 최신의 GPU는 이러한 문제가 더욱 심각하다. 이에 대한 해결책 중 하나로서 고성능의 LFBC가 주목을 받고 있다.

Lossless 이미지 압축 알고리즘 자체는 오랜 기간 동안 연구되어 왔지만, 고성능 LFBC는 최근에 이슈가 되고 있기 때문에 초기 단계라고 보여진다. 최근 들어 다양한 방식의 고성능 LFBC에 대한 연구 결과가 발표되고 있으며, 고성능 LFBC의 중요성이 커지는 상황에서 이러한 경향이 더욱 가속될 것으로 예상된다.

현재 시스템 반도체의 핵심 IP는 해외 유명 회사로부터 대부분 도입하고 있고, 이 때문에 비싼 로열티를 매년 해외로 지불하고 있다. 고성능 LFBC는 CPU, GPU, video Codec에 비하여 상당히 작은 IP이지만 고해상도의 스마트 기기의 핵심 기술에 속하기 때문에, 이 기술에 대한 국내 경쟁력을 갖추는 것은 매우 중요하다고 생각된다.

현재 본 LFBC에 대하여 압축률과 gate count에 강점이 있도록 알고리즘을 개선하고 있으며, 이에 대한 결과는 추후에 발표될 예정이다.

Reference

- [1] Qualcomm, "Snapdragon 800 product brief," <http://www.qualcomm.com/media/documents/qualcomm-snapdragon-800-product-brief>.
- [2] Imagination Technology, "PowerVR Graphics," <http://www.imgtec.com/powervr/powervr-graphics-technology.asp>.
- [3] ARM, "ARM Frame Buffer Compression," <http://www.arm.com/products/multimedia/mali-technologies/arm-frame-buffer-compression.php>.
- [4] Siliconarts, "RayCodec LFBC," <http://www.siliconarts.co.kr/raycodec>.
- [5] M. J. Weinberger, G. Seroussi, and G. Sapiro, "The LOCO-I Lossless Image Compression Algorithm: Principles and Standardization into JPEG-LS," IEEE Transactions on Image Processing, Vol. 9, No. 8, pp. 1309-1324, Aug. 2000.
- [6] Jaemoon Kim and Chong-Min Kyung, "A Lossless Embedded Compression Using Significant Bit Truncation for HD Video Coding," IEEE Transactions on Circuits and Systems for Video Technology, Vol. 20, No. 16, pp. 1581-1587, June 2011.
- [7] Hong-Sik Kim, Joohong Lee, Hyunjin Kim, Sungho Kang, and Woo Chan Park, "A Lossless Color Image Compression Architecture Using a Parallel Golomb-Rice Hardware Codec," IEEE Transactions on Circuits and Systems for Video Technology, Vol. 21, No. 11, pp. 1581-1587, Nov. 2011.



초음파 의료 영상 시스템용 고전압 아날로그 CMOS 집적 회로 연구 개발

서울과학기술대학교 전기정보공학과
 차혁규 교수
 연구분야 : 바이오메디컬 집적 회로 및 시스템 설계
 E-mail : hkcha@seoultech.ac.kr



서론

현재 병원에서 사용되고 있는 다양한 의료 영상 시스템 중에는 magnetic resonance imaging (MRI), computed tomography (CT), 초음파 (ultrasound), 그리고 X-ray 등의 방식이 존재한다. 이 중 몇 년 전부터 더욱더 큰 비중으로 사용되고 있는 방식은 초음파 영상 시스템으로써 타 방식들보다 인체에 무해하고, 실시간 영상을 통한 진단을 할 수 있으며, 상대적으로 제작 및 사용 비용이 적게 든다는 큰 장점과 작은 부피로 제작이 용이하다는 특징을 갖고 있다.

또한, 의료용 초음파 영상 시스템에서 인체 표면과 직접 닿는 프로브 (probe)의 경우, 프로브를 구성하고 있는 트랜스듀서 (transducer)의 구현을 과거에는 압전 물질 (piezoelectric)을 이용한 방식이 많이 사용되어 왔으나, 이와는 달리 저가의 CMOS 반도체 공정 기술과 호환이 가능하고 주파수 특성이 우수한 정전용량형 초음파 변환기 capacitive micromachined ultrasound transducer (CMUT)[1] 방식이 1990년대 중반에 제안되면서 초음파 영상 시스템의 연구 개발은 더욱더 활성화되고 있는 추세이다.

최근에는 3차원 초음파 영상 생성을 위한 다중 어레이 (multi-array) CMUT 기반의 초음파 시스템이[2] 개발되면서 타 영상 방식에 비해 해상도 등의 성능까지 크게 개선되는 연구 결과들이 계속해서 발표되고 있으며, 종합 병원 혹은 개인 병원과 같은 의료 기관에서 흔히 사용되는 tray 방식의 부피가 큰 시스템이 아닌 의료진이 옷 주머니에 직접 소지하고 다닐 수 있는 휴대용 초음파 영상 시스템 기기들이 개발되고 있는 것을 <그림 1>을 통해 볼 수 있다. 또한, 초음파 영상 기술을 이용하여 다양한 의료 응용 분야에 사용되고 있는 것을 <그림 2>를 통해 확인할 수 있다.



그림 1. 다양한 초음파 의료 영상 기기들



그림 2. 다양한 의료 응용 분야를 위한 초음파 영상 기술

본 논문에서는 이러한 CMUT 기반의 초음파 의료 영상 시스템의 소개 및 기술 동향과 트랜스듀서 인터페이스용 CMOS 아날로그 집적회로의 연구 개발 사례를 소개하고자 한다. 제2절에서는 초음파 영상 시스템의 기본적인 구조와 동작 원리에 대해서 다루고, 3절에서는 최근에 발표된 주요 연구 그룹들의 의료용 초음파 영상 시스템과 관련된 반도체 집적 회로 연구 동향에 대해 요약하고자 한다. 제4절에서는 인터페이스 CMOS 아날로그 집적회로 개발 사례와 연구 결과에 대해 소개한 후 5절에서 결론을 맺고자 한다.

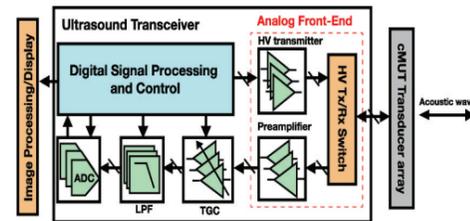


그림 3. 초음파 의료 영상 시스템의 전체 블록도

본론

초음파 영상 시스템의 구조 및 기본 동작 원리

<그림 3>에서는 기본적인 초음파 의료 영상 시스템의 구조를 나타내고 있다[3]. 초음파 영상 시스템에서 인체와 접하게 되는 프로브

부분에서는 음압 (acoustic pressure)을 전기 신호로 변환해 주고, 그 반대로 전기 신호를 음압 신호로 변환해주는 트랜스듀서 부분과 이를 접하고 있는 인터페이스 아날로그 front-end 집적 회로 부분으로 이루어져 있으며, 어레이 (array) 신호처리를 위해 시간차가 (beamforming) 나는 여러 송신 신호 펄스를 생성하거나 수신 된 신호를 처리하여 영상 신호로 변환해주는 신호처리 부분, 그리고 영상을 생성해주는 디스플레이 부분으로 이루어져 있다.

따라서 기본적인 동작 원리를 보면 신체 내부의 특정 부위의 영상을 얻기 위해서 송신 쪽 신호 처리부에서 일반 전압 펄스 트리거 (trigger) 신호를 채널 간의 시간차를 주면서 생성하여 인터페이스 아날로그 front-end 부분의 고전압 송신기로 전달이 되면, 이 신호를 고전압으로 증폭시켜주면서 트랜스듀서에 가하게 된다. CMUT와 같은 정전용량형 트랜스듀서에서 이러한 고전압 펄스 신호가 커패시터 플레이트 (capacitor plate)에 가해질 때 정전력 (electrostatic force)의 작용으로 플레이트 간의 기계적인 떨림을 초래하면서 전기 신호가 음압 신호로 변환을 하게 되며, 이 음압은 인체 내부를 통과하면서 인체의 여러 조직 층 (layer) 간의 임피던스 (acoustic impedance) 차이에 의해서 일부분의 신호는 다양한 세기의 에코 (echo) 신호로 시간차를 갖고 반사되어 돌아오게 된다.

이렇게 반사되어 돌아온 음압이 트랜스듀서에 가해지면서 트랜스듀서의 정전용량에 변화를 주고, 이는 전기 신호로 (전류) 다시 변환이 되어 회로 수신단에 전달이 된다.

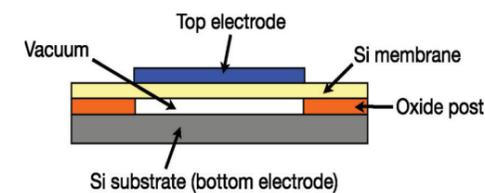


그림 4. CMUT의 기본 구조

이때의 미약한 전기 신호를 아날로그 수신단의 저잡음 증폭기와 에코 신호의 시간차에 따라 이득 변화가 가능한 이득 변환 증폭기

(time-to-gain compensation amplifier, TGC) 를 통해 증폭한 후 analog-to-digital converter (ADC)를 거쳐서 디지털 신호처리 부분으로 전달된다. 그 후 전달된 신호의 지연 정보와 크기 정보 등을 이용하여 이에 대응되는 영상 신호로 변환하여 모니터를 통해 영상을 보여주게 된다. 이러한 전체 초음파 시스템의 성능을 크게 결정짓는 부분이 CMUT 소자의 특성과 인터페이스 아날로그 front-end 회로부분이다.

CMUT는 기본적으로 실리콘 웨이퍼 위에 MEMS 기술을 사용하여 미세 가공된 박막의 진동을 이용하여 초음파와 전기신호 간의 변환을 가능하게 하며, 기본적인 구조는 <그림 4>와 같다. 실리콘 웨이퍼 위에서 하부 전극 (bottom electrode)와 상부 전극 (top electrode)이 증착 된 질화 규소 (silicon nitride) 막 (membrane)이 커패시터를 형성하게 된다. 이때 직류 바이어스 전압을 전극 간에 가하게 되면 막의 변위가 유발되어 하부 전극 쪽으로 당겨지게 되며, 막의 내부응력 (internal stress)에 의한 항력과 평행한 위치에서 변위가 정지하게 된다.

이 상태에서 교류 전압을 인가하면 막이 진동하게 되어 초음파가 송신되게 된다. 반대로 수신하는 과정을 보면 이 상태에서 외부에서 가해지는 초음파의 음압에 따라 진동 막의 변위가 바뀌게 되면 정전용량이 변하게 되는데, 이러한 정전용량 변화를 검출함으로써 초음파를 수신할 수 있게 된다.

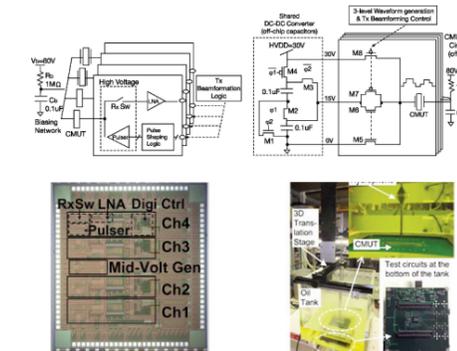


그림 5. 미국 MIT대학에서 발표한 4-채널 초음파 아날로그 front-end IC[3]

용량 변화를 검출함으로써 초음파를 수신할 수 있게 된다. 해당 의료 영상 응용 분야에 따라 필요한 규격이 달라지기 때문에, 그에 따라서 개별 CMUT 소자의 크기와 동작 주파수, 막의 두께, DC 바이어스 전압 등이 결정된다.

인터페이스 집적회로의 경우 송신단과 수신단 front-end를 나누어서 설명하면, 송신단 회로의 경우 어레이를 이루고 있는 채널마다 정확한 지연 (delay)을 갖는 펄스를 생성할 수 있어야 하며, 이를 고전압으로 증폭하여 각 트랜스듀서에 가해져야 인체 내에서 목표로 설정된 거리까지 전달이 가능한 큰 음압 신호를 만들 수가 있다. 인터페이스 수신단 회로의 경우 전체 시스템의 민감도 (sensitivity)와 수신 신호의 질을 결정짓는 신호대잡음비 (SNR)에 큰 영향을 준다.

의료용 초음파 영상 시스템의 연구 개발 동향

세계적으로 최근에 주요 연구 그룹 등에서 연구 개발된 초음파 영상 시스템을 정리해 보면 다음과 같다.

〈그림 5〉를 보면 미국의 MIT대학에서 초음파 영상 시스템을 위한 4-채널 송수신기를 발표하였다[3]. Multi-level의 신호를 발생시키는 30-V 고전압 송신기를 제안하여 전기신호에서 음압이 CMUT 출력에서 발생하기까지의 효율을 50% 이상 높였다. 또한, 고전압 차단 스위치와 저잡음 증폭기를 집적하여 전체 아날로그 front-end 부분을 30-V 고전압 CMOS 공정을 이용하여 구현하였다.

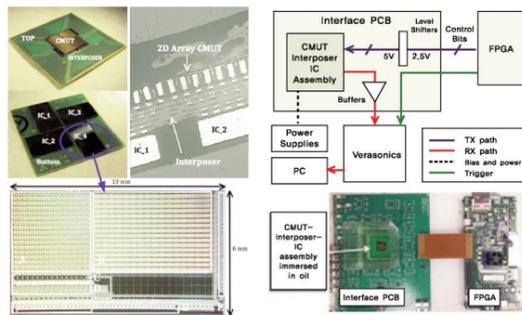


그림 6. 미국 스탠퍼드 대학에서 발표한 초음파 송수신기

〈그림 6〉에서는 미국의 스탠퍼드 대학에서 초음파 영상 시스템을 위한 송수신기 front-end IC를 발표하였다[4]. 이 구조는 CMUT 방식의 트랜스듀서와의 인터페이스를 위해 개발이 되었으며, 전체 32x32 어레이를 이루고 있다. 25-V 고전압 CMOS/DMOS (double diffused MOS) 공정을 사용하여 인터페이스 송수신기를 구현하였고, CMUT과의 연결과정에서 기생 성분의 최소화를 위해서 플립-칩 본딩 (flip-chip bonding) 기술을 이용하였다.

이 밖에도 미국의 조지아 공과대학 등 여러 연구 그룹에서 다양한 CMUT와 집적회로와 관련하여 초음파 영상 시스템 연구 개발이 진행되고 있다[5].

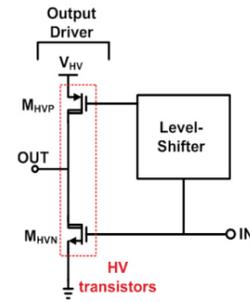


그림 7. 고전압 트랜지스터를 이용한 기존의 송신기의 회로도[8]

여기에 덧붙여서 산업체에서 개발된 초음파 관련 주요 칩 제품의 경우에는 Texas Instruments사의 다중 채널 초음파 영상 시스템용 수신기 칩[6], Maxim사의 고전압 펄스 칩과 이득 변환 증폭기[7] 등이 있다.

인터페이스 CMOS 고전압 아날로그 집적회로의 개발

〈그림 7〉에 나와 있는 송신기의 [8] 경우 흔히 사용되는 구조이며, 응용분야에 따라 보통 10V 이상에서 100V까지 동작하는 경우가 많아서 게이트 산화물 (gate oxide) 혹은 접합 파괴 (junction breakdown)의 위험성 때문에 표준 CMOS 공정에서 제공하는 일반적인 트랜지스터만을 이용해서는 구현이 어려우며, 대부분 추가 공정을 이용하거나 고전압에서 동작이 가능한 DMOS와 같은 특수 트랜지스터를 이용하여 고전압 회로들을 구현을 한다[8].

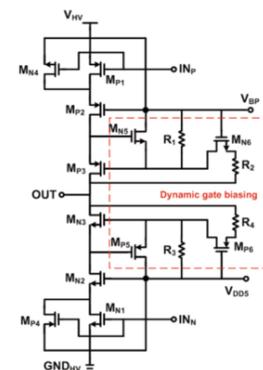


그림 8. 표준 CMOS 트랜지스터를 이용한 고전압 출력 드라이버의 회로도 [9]

하지만 이런 특수 트랜지스터의 가장 큰 문제점은 칩 내에서 차지하는 면적이 일반 CMOS 트랜지스터보다 크며, 기생 정전용량과

on-저항의 값이 증가한다는 점이다. 또한, 특수 또는 추가 공정을 사용할 경우 제작 가격이 비싸지면서 생산 단가가 높아진다는 단점도 있다. 특히 최근에는 의료 영상 분야에서 더 큰 크기의 트랜스듀서 어레이를 사용하여 영상의 해상도와 범위를 높이는 시스템 개발이 활발한데, 프로브 안에 더 큰 어레이와 인접하는 집적 회로를 구현하기 위해서는 주어진 면적에서 회로의 고집적이 이루어져야 만이 구현할 수 있어진다. 이뿐만 아니라 휴대용 초음파 영상 시스템의 경우에는 한정된 면적에 더 많은 어레이와 인터페이스 회로를 포함하기 위해서는 front-end 회로의 고집적과 저전력 특성이 더욱 중요해지게 되는 것을 알 수 있다.

따라서 위와 같은 조건을 만족하기 위해서 표준 CMOS 트랜지스터만을 사용한 고전압 송신기 출력 드라이버 회로 구조를 제안하였다[9].

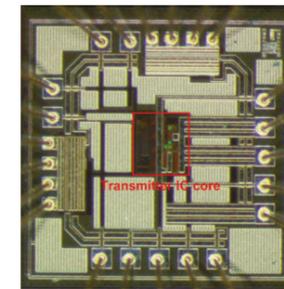


그림 9. 송신기 IC 칩 사진 [9]

〈그림 8〉에는 5-V PMOS/NMOS 트랜지스터를 쌓는 방식 (stacking)을 이용하여 출력단을 설계하였고, 트랜지스터의 on-off transition에서의 원활한 동작을 위해서 간단한 dynamic 바이어싱 회로를[10] 사용하였다.

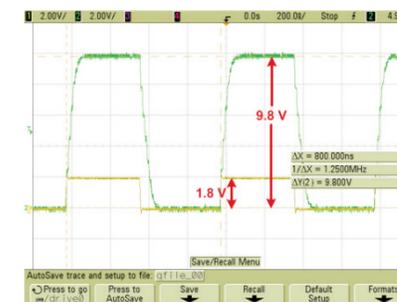


그림 10. 측정된 송신기의 입력 및 출력 전압 [9]

Dynamic 바이어싱을 통해 on 모드에서 NMOS 혹은 PMOS 트랜지스터가 모두 on이 되도록 바이어스 전압을 게이트에 가하고,

반대로 off 모드에서는 트랜지스터 단자 간의 길리는 전압이 표준 전압 이내가 되도록 동작을 한다. 본 구조의 경우 10Vp-p 이상의 출력 전압을 안정적으로 생성할 수 있으며, 고집적을 필요로 하는 다중 어레이 의료 초음파 주사기 응용 분야를 위한 용도로 설계가 되었다. 또한, 시스템에서 주어진 조건에 따라 추가적인 stacking을 사용할 경우 그만큼 더 높은 출력 전압을 생성할 수 있게 된다. 전체 송신기 구조는 두 단계의 레벨 시프터와 고전압 출력단으로 구현되었고, 주요 부분의 칩 면적은 0.022mm²이다. 칩 사진은 〈그림 9〉에 나와 있다.

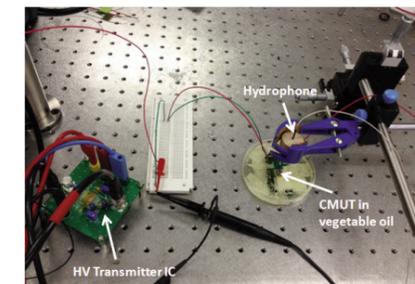


그림 11. IC-CMUT 실험을 위한 측정 환경 [9]

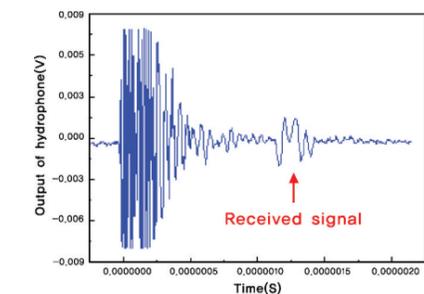


그림 12. Hydrophone 측정 결과 [9]

〈그림 10〉은 외부에서 파형 생성기를 통해 칩에 가해진 1.25 MHz 주파수에서의 1.8Vp-p 입력 전압과 10Vp-p 칩 출력 전압을 측정된 캡처 사진을 보여주고 있다. 이때 출력에 연결되어 있는 부하 정전용량은 15pF이고, 측정된 입-출력 간의 지연은 22.5ns이다. 다음으로는 CMUT와의 acoustic 환경에서의 실험을 위해 〈그림 11〉에서와 같이 식물성 기름에 CMUT 샘플을 넣은 후, 이를 구현된 송신기 IC를 이용하여 고전압 펄스로 드라이브하였다.

여기서 사용된 CMUT 샘플은 수중에서의 중심 주파수가 수 MHz로 제작되었고, 셀 (cell) 크기는 30-90μm, 틈 (gap) 크기는 100nm, 그리고 막의 두께는 3μm이다. 10-V의 DC 바이어스 전압이 걸려있는 CMUT에 AC 고전압 신호가 가해지면서 생성된 음압을 수 mm 거리에 위치하고 있는 하이드로폰 (hydrophone)을



이용하여 받은 후, 이를 스코프를 이용하여 관찰한 결과가 <그림 12>에 나와 있다. 약간의 지연 이후에 수신된 신호가 성공적으로 나오는 것을 관찰할 수 있다.

향후 연구 및 결론

초음파 의료 영상 시스템의 활용도는 앞으로 더 확대될 것으로 보인다. 앞서 <그림 2>에서는 초음파 의료 영상이 이용되는 임신부 태아 진찰, 안과 질환 진찰을 위한 초음파 바이오 현미경, 인체에 삽입되는 바늘의 위치 추적 등 여러 응용 분야들을 보여주고 있다.

또한, 초음파 기술이 의료 영상 응용 분야뿐만 아니라 무선 데이터 송수신 혹은 전력 전달 등의 다양한 바이오 메디컬 분야에 사용이 가능한 것을 알 수 있다[11].

향후 바이오메디컬 영역에서의 초음파 기술은 계속해서 중요해질 것으로 판단되며, 전체 초음파 시스템의 성능에 큰 비중을 갖는 인터페이스 집적 회로 부분의 연구 개발이 그만큼 활발해질 것으로 보인다. 그러나 고해상도의 영상을 얻기 위해서는 더 큰 크기의 어레이와 높은 동작 주파수가 요구되는 동시에 휴대성을 향상시키기 위해서 집적도가 높아져야만 하는 추가적인 기술적인 어려움이 발생을 한다[12]. 따라서 이런 요구 조건을 모두 만족하기 위해서는 기존 솔루션들과는 달리 새로운 설계 기법을 고안하여 접근해야 하며, 전체적인 아날로그 front-end 구조에서부터, 각각의 송신단과 수신단에서의 새로운 개별 회로의 연구 개발을 통해 해법을 제시할 필요가 있다. 또한, 회로 부분뿐만 아니라 MEMS 트랜스듀서와의 집적과 의료 응용 사항까지 확인하면서 접근을 해야 하며, 연구진과 의료진의 융합 연구가 진행되어야 할 것이다. 고집적의 고전압, 저전력, 저잡음 특성을 갖는 아날로그 front-end 집적 회로를 연구 개발할 경우 다양한 바이오 메디컬 영상 및 그 외의 의료 혹은 비 의료 분야에 응용할 수 있는 기회가 많이 발생할 것으로 기대된다.

Reference

[1] B.T. Khuri-Yakub 외, Capacitive micromachined ultrasonic transducers for medical imaging and therapy, J. of Micromechanics and Microengineering, 21, 2011.

[2] I.O. Wygant 외, An integrated circuit with transmit beamforming flip-chip bonded to a 2-D CMUT array for 3-D ultrasound imaging, IEEE Trans. Ultrason. Ferroelectr. Freq. Control, vol. 56, no.10, pp. 2145-2155, Oct. 2009.

[3] K. Chen 외, Ultrasonic imaging transceiver design for CMUT: A three-level 30-Vpp pulse-shaping pulser with improved efficiency and a noise-optimized receiver, IEEE J. of Solid-State Circuits, vol.48, no.11, Nov. 2013.

[4] A. Bhuyan 외, 3D volumetric ultrasound imaging with a 32x32 CMUT array integrated with front-end ICs using flip-chip bonding technology, IEEE Intl. Solid-State Circuits Conf. 2013, pp.396-397, Feb. 2013.

[5] G. Gurun 외, Front-end CMOS electronics for monolithic integration with CMUT arrays: circuit design and initial experimental results, IEEE Intl. Ultrasonics Symp. 2008, pp.390-393, 2008.

[6] <http://www.ti.com>

[7] <http://www.maximintegrated.com>

[8] R. Chebli 외, Fully integrated high-voltage front-end interface for ultrasonic sensing applications, IEEE Trans. Circuits and Systems I, vol. 54, no. 1, pp. 179-190, Jan. 2007.

[9] H.-K. Cha 외, A CMOS high-voltage transmitter IC for ultrasound medical imaging applications, IEEE Trans. Circuits and Systems II, vol.60, no. 6, Jun 2013.

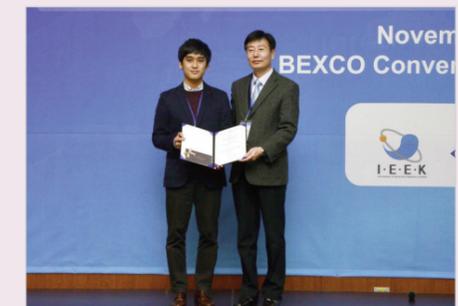
[10] B. Serneels 외, A high-voltage output driver in a 2.5-V 0.25- μ m CMOS technology, IEEE J. of Solid-State Circuits, vol. 40, no.3, pp.576-583, Mar. 2005.

[11] K. Yadav 외, A 4.4 μ W wake-up receiver using ultrasound data, IEEE J. of Solid-State Circuits, vol. 48, no.3, pp.649-660, Mar. 2013.

[12] B. T. Khuri-Yakub 외, Next-gen ultrasound, IEEE spectrum, pp.44-54, May. 2009.

IDEC ISSOCC 2013 Chip Design Contest 개최
- 김영주 학생(KAIST)에게 Best Design Award의 영광이 -

지난 11월 18일(월), 부산 벡스코에서 개최한 ISSOCC 2013 Chip Design Contest에는 전국 대학에서 참여한 191편의 페이퍼가 발표되었으며, 데모 20, 패널 171 참가팀이 그동안의 노력과 실력을 힘껏 발휘했다.



Best Design Award 시상 모습
(좌)KAIST 김영주군과 (우)IDEC 박인철 소장

Chip Design Contest에 제출한 191편의 논문 중 평가를 통해 가장 우수한 논문을 수상하는 Best Design Award는 KAIST 김영주(논문명 : A 12 Gb/s 0.92mW/Gb/s Forwarded Clock Receiver with Low Jitter tracking Bandwidth Variation in 65nm CMOS)가 받는 영예를 안았다.

또한, 당일 데모 심사를 통해 수상하는 SSSC 서울챗터상에는 이영주외 2인(KAIST)이, Best Demo Award는 조문규(광운대), 윤진성(연세대), 송충환(동국대)가 수상하는 영예를 안았다.

패널부분인 Best Poster Award에는 최현석(KAIST), 정준원(고려대), 문영진(한양대), 한장훈(광운대), 박정환(서울대), 안태지(서강대), 박영준(성균관대), 이창현(숭실대)이 선정되었다.

ISSOCC 2013 Chip Design Contest 수상자 명단

■ Best Design Award (상장 및 상금 100만원)

논문명	소속	저자
A 12 Gb/s 0.92mW/Gb/s Forwarded Clock Receiver with Low Jitter tracking Bandwidth Variation in 65nm CMOS	KAIST	김영주

■ SSSC 서울챗터상 (상장 및 상금 50만원)

논문명	소속	저자
Energy-efficient High-throughput Iterative Concatenated-BCH Decoder for MLC Flash Memory	KAIST	이영주, 유호영, 조지혁, 정재원

■ Best Demo Award (상장 및 상금 50만원)

논문명	소속	저자
A C-band Bi-directional T/R Chipset in 0.18 μ m CMOS Technology	광운대	조문규, 한장훈, 김진혁
An 8.7-mW 7-Gb/s CMOS OEIC Receiver	연세대	윤진성, 이병재, 김왕수, 박강엽
A 5.6Gb/s CMOS CDR IC with a static phase offset compensated linear phase detector	동국대	송충환

■ Best Poster Award (상장 및 상금 20만 원)

논문명	소속	저자
A Digitally Modulated CMOS Power Amplifier With a 102-dB Power Dynamic Range for a RF Polar Transmitter	KAIST	최현석
A 950-MHz CMOS Rectifier with VTH Canceling Technique for Low Power UHF RFIDs	고려대	정준원
A Light-Load Efficiency Improved Buck DC-DC Converter with Switching Frequency Selection	한양대	문영진
A True Time Delay Using Active Switch in 0.18 μ m SiGe BiCMOS	광운대	한장훈
Design of an Electrical Module for a Bio-Inspired Auditory Sensor	서울대	박정환
A High-Efficiency PWM DC-DC Buck Converter Based on Multi-Phase Switching for Mobile Applications	서강대	안태지
A Design of Dual Feedback LLC Resonant Converter Controller IC for LED BLU in 0.35 μ m CMOS	성균관대	박영준
Merged Coil Structure for the Wireless Chip-to-Chip Communications	숭실대	이창현

IDEC 뉴스레터 개편 안내

매월 발행으로 반도체분야의 정보 및 국내외 현황과 관련 기술동향 게재를 통해 지식과 정보 전달의 역할로서 사랑을 받고 있는 저희 IDEC 뉴스레터가 개편을 맞이합니다.

지금까지 운영 중이던 책자 발행을 중단하고 **메일링 서비스를 통한 E-Book과 애플리케이션으로 제공할 예정**이오니, 구독 중이신 독자분들께서는 IDEC 홈페이지를 통해 메일 주소 등록을 부탁드립니다.

01
IDEC 홈페이지
(www.idec.or.kr)

02
뉴스레터

03
뉴스레터 주소변경

04
이메일 등록

◆ 메일링 서비스 2014년 1월호부터
◆ 애플리케이션 : 추후 공지 예정

SPECIAL Column I

전력반도체 기술현황과 전망

최근 고유가 시대를 맞이하여 에너지 위기, 환경문제에 대한 심각성이 여러 대중매체에 연일 보도되고 있다. 또한, 세계 여러 나라에서는 에너지 절감과 환경친화적 소재나 부품들을 일상생활에서 사용하도록 적극적으로 독려하고 있다.

글로벌 사회에서 에너지 절감에 대한 문제는 국내 산업에도 예외가 아니며, 현 정부도 "녹색성장은 선택의 문제가 아니라 미래의 생존을 위해 반드시 해야 하는 것이다"라고 발표하였듯이 신재생 에너지 및 환경보호 분야에 IT 기술을 접목/활용하는 그린 IT 패러다임을 부각시키고 있다. 이러한 친환경 녹색 IT 패러다임 속에서 에너지 절감 및 전력시스템의 고효율 달성에 직접적인 영향을 미치는 전력반도체는 이제 선택이 아닌 필수라고 할 수 있다.

전력반도체의 정의 및 필요성

전력반도체(Power Semiconductor)란 전력의 변환이나 송·배전, 전력안정, 전력효율의 최적화, 전력제어의 역할을 수행하며 제품의 시스템과 상황에 맞게 전력을 제공하는 소자로서 모든 전자기기에 필요한 핵심 기술이라고 할 수 있다.

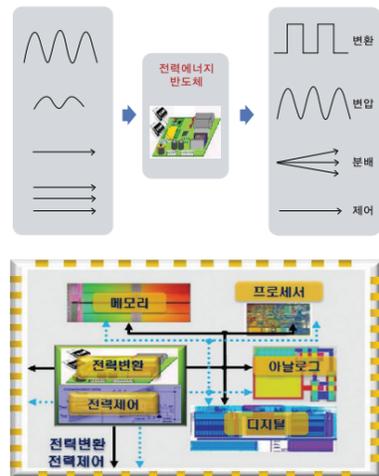


그림 1. 전력반도체의 정의

전력반도체의 필요성은 첫째, 에너지 절감 및 친환경화이다. 앞서 언급했듯이, 최근 에너지 위기와 환경규제 강화, 녹색성장 등이 이슈가 되면서 그린 IT 패러다임이 부각되고 있다.

그린 IT의 핵심기술 중 하나인 전력반도체는 온-오프를 반복하는 스위칭 작동으로 전력을 조절하고 전달하는 역할에서 에너지 효율 제고 및 시스템 안정성과 신뢰성을 좌우하는 친환경과 에너지 절감이라는 전 지구적 이슈를 해결할 수 있다.

즉, 고속 스위칭, 전력손실 최소화, 작은 칩 사이즈, 발열처리 등에 관한 연구 개발로 가전기기, 휴대기기, 신재생 에너지, 자동차 등에 사용되어 절전화 및 친환경화에 기여한다.

둘째, 전력반도체의 수입 대체 및 무역적자 해소가 필요하다. 현재 전력반도체의 대부분은 미국(TI, Maxim), 유럽(Infineon, STMicro), 일본(Mitsubishi, Fujitsu) 등 해외 기업이 주도 하고 있는 상황이다. 국내의 경우 일부 전력반도체 기술을 보유하고 있으나, 전력반도체 생산 및 기술 개발 부족 등의 이유로 대다수 해외 수입에 의존하여 비메모리 반도체의 대일 및 대미 무역 적자의 원인을 제공하고 있다. 특히 대일의 의존도는 40% 이상을 차지하고 있다.

셋째, 전력반도체 분야의 국내 산업기반 확충이 필요하다. 전력반도체의 세계 시장 규모는 급성장하고 있으나, 아직까지 국내 산업 기반은 취약한 실정이다. 향후 전기자동차, 신재생에너지 발전, 절전형 가전 등 다양한 분야에 친환경 기술로 적용됨으로써 전력반도체 시장의 급성장이 예상된다. isuppli 2011년 자료에 의하면 2015년 전력반도체 시장은 438억불로 DRAM(356억불)의 123%, NAND(282억불)의 155%에 이를 것이라고 보고 되었다. 전력반도체 산업은 미국, EU, 일본 등 선진국이 세계시장의 90% 이상을 점유하고 있는 선진국형 산업이다.

그러나 국내 기술수준 및 시장 대응 체계가 매우 미흡하여 국가 차원의 진흥책이 필요하다. 따라서 세계 최고 수준의 공정기술을 바탕으로 미래 시장 선점을 위한 포스트디바이스로 친환경 절전형 전력반도체를 개발함으로써 국내 비메모리 반도체산업의 국가 경쟁력을 제고할 수 있다.

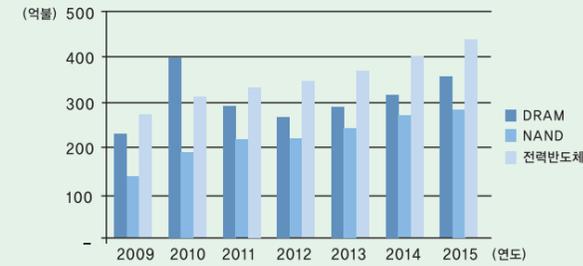


그림 2. 메모리반도체와 전력반도체의 시장 전망

전력반도체의 구성

전력반도체는 전력반도체 소자, 공정, 회로로 크게 3가지로 구성이 되어 있다. 전력반도체 소자는 일반적인 반도체 소자에 비해 고내압과 대전류, 고내열화 특징을 갖는다. 또한, 소자의 스위치 OFF시 항복전압이 높아야 하는 특성과 ON시 허용전류가 크고 온-저항이 작으며 스위치 구동 전력이 적고 스위칭 시간이 짧아야 하는 특징이 있다.

전력반도체 소자는 MOSFET과 IGBT 등 실리콘 소자와 SiC, GaN 등 화합물 반도체 소자로 나뉜다. 전력반도체 공정은 다이오드, 파워소자 등 디스크리트 파워소자 공정 및 파워소자와 CMOS 로직을 집적화한 BCD 공정으로 분류된다. 전력반도체 회로는 전력반도체 소자 및 제어 IC를 제어하는 역할을 수행한다. 개별 소자 또는 제어 IC를 이용하여 통합 파워 매니지먼트 IC 형태로 개발이 되고 있는 상황이며 갈수록 복잡해지는 어플리케이션의 증가와 추가되는 기능들에 대응하기 위해서 점차적으로 고기능 고성능화로 발전하고 있다.

전력반도체의 산업 현황 및 전망

전력반도체 시장은 2008년 경제위기에 추축하였으나 2010년 이후 급속한 성장 및 확대가 지속되고 있는 상황이다. 전력반도체는 컴퓨터, 통신, 가전, 산업기기, 자동차 등과 같은 중추적인 전자 어플리케이션에 적용되고 있으며 최근에는 스마트폰, 태블릿 등과 같은 모바일 기기가 증가하고 있고 전기자동차와 같은 어플리케이션이 확대됨에 따라 시장이 확대되고 있다. 2010년 310억불, 2012년 344억불, 2015년 438억불로 연평균 성장률 7.2%의 성장하고 있다. isuppli, 2011년 보고에 의하면 MOSFET, IGBT와 같은 개별 소자/모듈 부문 전력반도체 시장은 2010년 146억불, 2013년 179억불, 2015년 214억불로 연평균 성장률 약 7.9%의 성장이 예상되고 있다.



그림 3. 전력반도체 세계 시장 예측 (isuppli, 2011)

또한, PMIC, Power Controller와 같은 IC 부문 전력반도체시장은 2010년 164억불, 2013년 189억불, 2015년 224억불로 연평균 성장률 약 6.4%의 성장이 예상된다. 파워 IC의 경우 TI, Infineon, Linear Technology, National Semiconductor 등 상위 몇 개 업체의 시장 점유율이 약 50%이며, 이를 제외한 상위 업체 시장점유율은 약 10% 미만 에 머무르고 있다. 국내 파워 IC 시장은 스마트 모바일 기기에 사용되는 파워 매니지먼트 IC는 일부 상용화 중이나, 배터리 매니지먼트 IC는 전량 수입에 의존하고 있는 실정이다.



그림 4. 전력반도체 소자/모듈/IC 세계 시장

전력반도체 기업 동향을 살펴보면 최근 기업간 합종 연횡이 활발하게 진행되고 있다. 2009년 2월 TI는 고주파수, 고효율 전력관리 반도체 기업 씨클론 세미컨덕터 디바이스 코퍼레이션 (CICLON Semiconductor Corporation)을 인수한다고 발표하여 고전류 전력 MOSFET 사업에 참여하였다. 2010년 7월에는 미국의 On Semiconductor사가 일본의 Sanyo 전기의 자회사인 산요 반도체를 인수한다고 발표했고, '11년말 인수를 완료 하였으며 이로써 On사는 전력반도체 기술력이 세계 7위 수준으로 상승하였다.

기업간 합종 연횡 뿐만 아니라 기업간 투자 및 공동 R&D 도 확대되고 있다. 일본의 Toshiba는 기존 메모리 반도체 시설을 전력 반도체 시설로 전환하며 가장 높은 신장세를 보이고 있으며, 2009년 3월 Infineon은 보쉬와 전력반도체 협력을 체결하면서 자동차 분야에서 전자부품의 에너지 효율을 지속적으로 강화하고 있다. 2010년 6월에는 TowerJazz와 Vishay가 전력 MOSFET과 SuperJunction MOSFET의 공동 개발과 생산에 대해 협력 관계를 발표하기도 하였다.

업체명	주요현황	국적
Freescale	자동차용 반도체 분야에서는 1위 파워트레인 시스템분야에 집중	미국
Maxim	전력변환 효율이 높은 저전력 시스템 개발에 주력 아날로그 집적도를 향상시킬수 있는 BiCDMOS 공정 보유 최근 출시한 듀얼 스위치 모두 전원 공급 컨트롤러는 90%대의 효율을 나타냄	미국
STMicro-electronics	전력반도체 분야의 선도기업으로 효율성 및 전력밀도의 향상에 부응하는 탄력솔루션 제공 개발소자 부문에서는 2010년 세계 2위 고수	스위스
Fairchild	초기 개발소자 단종으로 시장을 선도하였으나 IT산업 핵심 분야의 전력관리, 배전, 정류, 소비전력 최소화 등의 솔루션을 제공 2010년 전세계 시장의 5.8%로 6위이며 아시아 지역에서는 2위임	미국
Rohm	LCD TV 백라이트 인버터, 모터 드라이버, 스위칭 전원 등의 브리지 회로에 사용하는 고성능, 고내압 전력반도체 'F' 시리즈를 개발	일본

표 1. 주요업체별 동향

전력반도체의 분야별 경쟁구조

전체시장에서 Infineon이 소자/모듈 분야와 Power IC 분야에서 꾸준히 Share를 증가시키며 총 점유율 18%를 상회하고 있고, TI, Linear Technology, Maxim, Toshiba, Fairchild, Mitsubishi, Vishay, STMicro 등이 상위권을 형성하고 있다.

〈2009년 시장점유율〉			〈2010년 시장점유율〉		
Ranking (2009)	Company	M/S	Ranking (2010)	Company	M/S
1	Infineon	9.1%	1	Infineon	9.4%
2	ST Micro	6.3%	2	ST Micro	6.4%
3	TI	5.1%	3	Rensas	5.6%
4	Rensas	4.8%	4	TI	5.0%
5	Toshiba	3.7%	5	Toshiba	3.6%
6	Fairchild	3.3%	6	Mitsubishi	3.5%
7	Maxim	3.2%	7	Maxim	3.3%
8	Mitsubishi	3.2%	8	Linear	3.3%
9	National	3.1%	9	National	3.3%
10	Linear	3.0%	10	Fairchild	3.1%

그림 5. 2010년 전력반도체 세계 Top 10 업체

소자기업에서 10위권내에 일본 기업이 6개나 있으며, Power IC 분야는 10권내에 미국 기업이 5개나 있는 반면 국내 기업은 전무한 실정이다. Power Module 분야는 Mitsubishi, Infineon, Semikron의 3개 업체가 전체 시장의 60% 이상을 차지하고 있으며 Fuji electric이 12.8%를 차지하여 4위를 유지하고 있다.

분야별 전력반도체의 산업 현황

산업기기 분야는 최근 환경규제, 에너지 절약 정책 등의 영향으로 클린 에너지 분야에 대한 투자가 활발히 이루어지고 있으며, 시스템의 대용량, 고효율화를 위해 내압 1,700V가 넘는 고내압 전력반도체 수요가 증가하고 있다. 유럽이나 중국에서는 3MW가 넘는 태양광, 풍력 발전 시스템 설치가 2015년까지 이어질 것으로 예측되며 특히, 전력반도체 소자 시장의 산업기기용 구성비는 17.6%('09)에서 24.4%('15)까지 상승하고 시장 규모도 2.7배인 55.3억달러로 전망된다.

자동차 분야는 연비향상과 Co2 감축을 위해 전동파워스티어링(EPS)나 아이들링스톱시스템(ISS) 보급이 진행되고 있으며 차량 1대당 전력반도체 수요도 증가할 것으로 예측된다. 또한, 2011년부터 신형 하이브리드 자동

차나 전기 자동차가 출시됨에 따라 전력 반도체 수요도 확대될 것으로 전망되고 있으며, 전동에어컨, 냉각용 전동펌프, 차량용 충전기 뿐만 아니라 파워트레인(동력전달장치)의 수요도 기대된다.

가전기기 분야는 백색가전용 수요가 전체 수요를 견인할 것으로 예상되며 특히 중국 정부가 보조금 정책을 통해 에너지 절약, 고기능 에어컨 도입을 적극 추진하여 '09년부터 에어컨의 인버터화율이 급증했으며 인버터 제어에 필요한 전력반도체의 수요도 크게 증가할 것이다.

정보통신 분야는 모바일 기기의 수요 확대와 휴대폰에서 스마트폰, 태블릿으로의 비중확대 등이 긍정적 요인이다. 모바일 기기의 배터리 관리용 회로(BMIC)에 사용되는 전력반도체의 수요가 증가할 것으로 예상된다.

	평균 매년 성장률	2009		2015(예상)	
		시장규모	분야별 비중	시장규모	분야별 비중
정보통신	6.4%	39.9%	33.8%	57.9%	25.6%
가전기기	11.6%	42.1%	35.6%	81.2%	35.9%
산업기기	17.7%	20.8%	17.6%	55.3%	24.4%
자동차	13.0%	15.3%	13.0%	31.9%	14%
중계	11.5%	118.0%	10.0%	226.3%	100.0%

표 2. 주요업체별 동향

맺음말

이처럼 전력반도체 시장은 에너지 효율 향상에 기여, 다양한 응용분야를 바탕으로 한 안정된 수요 기반, 높은 성장 잠재력 등이 주목 받고 있는 산업이다. 또한, 전력반도체 산업은 글로벌 환경 규제를 배경으로 저탄소 녹색성장을 지향한 패러다임의 부상과 맞물려 친환경과 에너지 절감이라는 글로벌 이슈 해결에 기여할 것으로 기대되는 핵심산업임에도 불구하고 국내 산업기반은 매우 취약한 상태이다. 이에 최근 정부는 저탄소 녹색 성장의 핵심 부품인 전력반도체의 중요성을 인식하고 육성 방안을 마련하고 있다. 또한, 전력반도체 관련 인력 양성과 다양한 국제 협력을 통해 국내 전력반도체 전문 인력양성과 선진업체 및 연구소와의 공생 선행 기술 개발도 진행할 예정이다. 이제 우리나라도 메모리 반도체 1위의 기술력을 바탕으로 전력반도체 산업의 집중육성을 통해 반도체 산업의 균형 발전을 이뤄야하며, 앞으로 더욱 강화될 글로벌 환경 규제와 저탄소 녹색 성장 패러다임에 발맞춰 전력반도체 산업 기반 확충을 적극 도모해야 한다. 이를 위해서는 국가적 차원의 적극적인 투자와 실질적이고 장기적인 지원, 기업간 유기적인 네트워크 구축 등이 필요하다고 사료된다.

단국대학교 전자전기공학부

구용서 교수
 연구분야: 전력반도체, ESD보호회로, PMIC
 E-mail: yskoo@dankook.ac.kr
 http://user.dankook.ac.kr/~yskoo/



2014 IDEC MPW 설계공모전

Multi Project Wafer 설계공모전

국내 대학(원)생의 SoC 설계 아이디어를 국내외 Foundry를 통해 구현해 볼 수 있는 기회를 드립니다

참여대상
 IDEC Working Group(WG)대학의 학부생 및 대학원생

2014년 MPW 공정 지원 내역

- * 10개 공정 26회 진행
- * 아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정(μm)	공정내역	size	모집 횟수	모집수(1회)	Package
삼성	65nm	CMOSRF 1-poly 8-metal(RF)	4mmx4mm	3	48chips	208pin QFP
	0.35μm	CMOS 2-poly 4-metal [Optional layer (DNW/HR/BJT/CPOL) 추가]	5mmx4mm	2	20chips	Design-144pin, Package 지원 - 208pin QFP
매그나칩/ SK하이닉스	0.18μm	CMOS 1-poly 6-metal [6metal을 Thick metal (TKM)로만 사용가능] [Optional layer (DNW/HR/BJT,MM) 추가]	4.5mmx4mm	4	20chips	Design-200pin, Package 제작 - 208pin QFP
	0.11μm	CMOS 1-poly 6-metal (Top : UTM)	5mmx5mm	2	12chips	208pin QFP
동부하이텍	0.18μm BCDMOS	CMOS 1-poly 4-metal TM	5mmx5mm	4	2chips	지원하지 않음.
	0.35μm BCDMOS	CMOS 2-poly 4-metal TM	5mmx5mm	4	3chips	지원하지 않음.
TowerJazz	0.18μm CIS	CMOS 1-poly 4-metal	5mmx5mm	2	1chips	
	0.18μm CA18HA	RFCMOS 1-poly 6-metal	5mmx5mm	2	1chips	
	0.18μm BCDMOS 0.18μm SGe	CMOS 1-poly 3-metal(BMT) SiGeBCMOS 1-poly 6-metal	5mmx5mm	6	3chips	지원하지 않음.
			5mmx5mm	1	1chips	

* TowerJazz 0.18μm CA18HA는 (구)RF CMOS 공정과 특성이 동일한 공정임.

2014년 MPW 진행 일정

- * 회차 표기 방법 변경 : "공정코드-년도모집순서" (예시)삼성65nm 2014년 1회차:S65-1401)
- * 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

공정사	회차구분 (공정,년도순서)	우선모집 신청마감	정규모집 신청마감	후기 접수시작 (선확순마감)	제작 집 수	DB 마감 (Tape-out)	DB 전달 (Fab-in/Die-out)	Die-out
삼성 65nm	S65-1401	-	2013.12.09	-	48	2014.02.17	2014.03.15	2014.08.15
	S65-1402	2013.12.09	2014.02.03	2014.05.05	48	2014.08.25	2014.09.29	2015.02.27
	S65-1403	2014.03.03	2014.06.02	2014.09.01	48	2014.12.15	2015.01.12	2015.06.12
매그나칩/ SK하이닉스 0.18μm	MS18-1401	-	2013.12.09	-	20	2014.02.24	2014.03.10	2014.07.28
	MS18-1402	-	2014.01.06	2014.02.03	20	2014.05.19	2014.06.02	2014.10.20
	MS18-1403	2013.12.09	2014.02.03	2014.04.07	20	2014.08.11	2014.08.25	2015.01.12
매그나칩/ SK하이닉스 0.35μm	MS35-1401	-	2014.01.06	2014.03.03	20	2014.06.16	2014.11.24	2015.04.13
	MS35-1402	2014.03.03	2014.06.02	2014.09.01	20	2014.12.01	2014.12.15	2015.03.23
	MS35-1403	-	2013.12.09	-	12	2014.04.02	2014.04.23	2014.08.06
동부 0.11μm	D11-1401	-	2013.12.09	-	12	2014.10.01	2014.10.22	2015.02.04
	D18-1401	2014.02.03	2014.04.07	2014.07.07	2	2014.02.05	2014.02.19	2014.05.14
	D18-1402	-	2013.12.09	-	2	2014.04.30	2014.05.14	2014.08.06
동부 0.18μm BCD	D18-1403	2013.12.09	2014.02.03	2014.05.05	2	2014.08.13	2014.08.27	2014.11.19
	D18-1404	2014.02.03	2014.05.05	2014.08.04	2	2014.11.05	2014.11.19	2015.02.11
	D35-1401	-	2013.12.09	-	3	2014.02.19	2014.03.05	2014.05.28
동부 0.35μm BCD	D35-1402	-	2014.01.06	2014.03.03	3	2014.05.28	2014.06.11	2014.09.03
	D35-1403	2013.12.09	2014.03.03	2014.06.02	3	2014.09.10	2014.09.24	2014.12.17
	D35-1404	2014.03.03	2014.05.05	2014.08.04	3	2014.11.19	2014.12.03	2015.02.25
TowerJazz 0.18μm BCD	TJ18-1401	-	2014.01.06	2014.02.03	3	2014.05.12	2014.05.19	2014.09.08
	TJ18-1402	2014.02.03	2014.04.07	2014.07.07	3	2014.10.20	2014.10.27	2015.02.16
	TJ18-1401	-	2014.01.06	2014.02.03	1	2014.05.05	2014.05.12	2014.09.01
TowerJazz 0.18μm CIS	TJC18-1402	2014.02.03	2014.04.07	2014.07.07	1	2014.10.13	2014.10.20	2015.02.09
	TJR18-1401	-	2014.01.06	2014.02.03	1	2014.05.19	2014.05.19	2014.09.08
	TJR18-1402	2014.02.03	2014.04.07	2014.07.07	1	2014.10.20	2014.10.27	2015.02.16
TowerJazz 0.18μm SGe	TJS18-1401	-	2013.12.09	-	1	2014.03.11	2014.03.18	2014.07.08

- * Package 제작은 Die out 이후 1개월 소요됨.
- * 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집함.
- * 선정 결과는 모집마감후 15일내 개별 통보됨.
- * 문의처 : yslee@idec.or.kr [홈페이지 http://www.idec.or.kr]





Pyxis Schematic 은 강력하고 사용하기 쉬운 디자인 입력 환경에 고급 기능을 갖추고 있으며 설계자의 생산성 향상에 기여합니다. Pyxis Layout에는 다각형 편집을 효율적으로 정확하게 수행하는 다양한 편집 기능이 있습니다. 계층 구조와 고급 윈도우 관리 기능에 의해 하나의 셀을 여러 화면으로 볼 수 있습니다. 어느 화면에서도 편집이 가능합니다.

SPECIAL Column II

Pyxis커스텀 IC설계

주요이점

■ 회로도 작성

Pyxis Schematic 은 강력하고 사용하기 쉬운 디자인 입력 환경에 고급 기능을 갖추고 있으며 설계자의 생산성 향상에 기여합니다.

■ Physical Layout

Pyxis Layout에는 다각형 편집을 효율적으로 정확하게 수행하는 다양한 편집 기능이 있습니다. 계층 구조와 고급 윈도우 관리 기능에 의해 하나의 셀을 여러 화면으로 볼 수 있습니다. 어느 화면에서도 편집이 가능합니다.

■ Schematic Driven Layout (SDL)

Pyxis Implement 는 Pyxis Layout의 모든 기능에 계층 SDL

(Schematic Driven Layout) 환경을 더한 제품입니다. 레이아웃의 품질 저하 없이 복잡한 디자인을 신속하게 작성 할 수 있습니다.

■ 사용자 정의 배선

Pyxis Custom Router 의 인터랙티브 환경에서는 제약 설정, 신호 (일부 또는 전부) 의 배선, 넷 기생 추출 및 리포트, 배선 삭제, 제약 조건 재설정 및 재배선을 원활히 실시 할 수 있습니다. 며칠이 소요될 수 있는 디자인의 이터레이션이 몇 분만에 종료됩니다.

최신정보 Pyxis v10.3 (2013년 9월)

■ Project Manager

Pyxis Project Navigator 에 포함 된 ClioSoft와의인터페이스로 태그, 스

냅 샷 및 분기가 지원되며 캐시 링크 (소프트 링크) 도 지원합니다. 언어 인터페이스가 업데이트 되어 Project Manager에서 HDL 코드를 그대로 컴파일, 레지스터, 확인 할 수 있습니다.

■ Pyxis Schematic

Symbol Selector에서 프로젝트 라이브러리가 맨 위에 표시되게 되었습니다. 컴포넌트명에 의한 필터링도가능하게되어 심볼이 포함되어있는 컴포넌트만 표시됩니다.

■ 시뮬레이션 모드

• 해석 유형 (몬테카를로 해석, DC 미스매치 해석, 워스트 케이스 해석)에서 OPTIONS 명령을 사용가능

• .CORREL과 .MPRUN 명령 지원

• 크로스 프로브 기능 개선

■ Pyxis Layout

SDL (Schematic Driven Layout)에서 사용자 정의 검색 경로를 사용할 수 있도록 개선 되었고 디자인을 읽기 전용으로 열 때 띠 명령을 사용할 수있게 되었습니다.

또한, CalibreRealTime레시피 인터페이스에서 기본과 고급 및 빌트인 레시피가 지원되며 정렬 및 검색도 가능하게 했습니다.

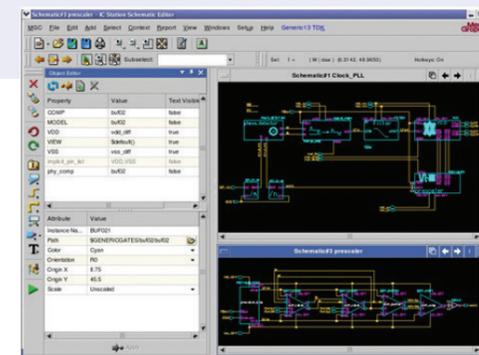
■ Pyxis Custom Router

넷 관련 셀이나 인스턴스의 금지영역 개선 지원 되었습니다.

■ Supports Mixed Signal Language Modeling Formats

■ VHDL-AMS, Verilog-AMS

■ SPICE, VerilogA



■ Back Annotate

• Pre-Layout Simulation Data to Schematics

• Post Layout Spice & DSPF

• Interactive Parasitic Debugging

Layout editor

■ Connectivity-driven layout from both schematic (SDL) and netlist (interactive and automatic)

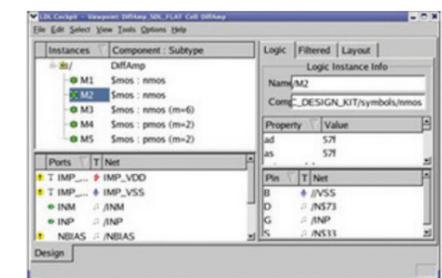
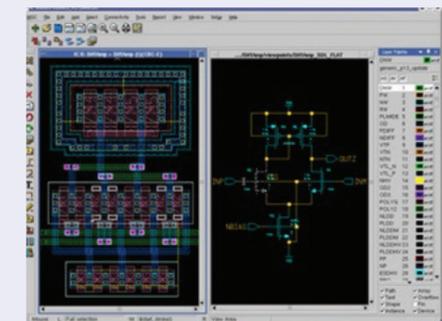
■ Parameterized Device Generators for Fast Foundry-Correct Layout

■ On-the-fly feedback on wire parasitics

■ Single Platform for Polygon Drawing, Connectivity-Driven Layout, Floorplanning, and Chip Assembly

■ Automatically find and fix design changes due to ECO's

■ Automated and Interactive Routers



■ Design Intent Capture

■ Electrical Rules Checking

• User defined

Device Organization and Placement

• Drag-and-drop device selector

• User definable filters

• Symbol Visualization

■ Integrated Netlisting, Simulation, and Result Viewing

• Interactive simulation setup

• Simultaneous simulation of Digital, Analog, and/or RF

• Cross Probing with Results Viewer



(주)한국멘토그래픽스

주소 : 서울시 강남구 삼성동 무역센터
트레이드타워 2104호

Te l : 02-551-3434

Web : www.mentorkr.com