



반도체설계교육센터  
IC DESIGN EDUCATION CENTER

IDEC  
*newsletter*

VOL. 223 JANUARY 2016

VOL. 223  
January 2016

IDEC Newsletter | 통권 제223호

- ◎ 발행일 2015년 12월30일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸물디자인
- ◎ 기획 김하늘 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://www.idec.or.kr>
- ◎ E-mail [kimsky1230@idec.or.kr](mailto:kimsky1230@idec.or.kr) ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아, KEC, 에이티세미콘)의 지원으로 수행되고 있습니다.

## MPW (Multi-Project Wafer) 2016.01

- 2015년 MPW 진행 결과
  - 7개 공정 16회 모집 결과 : 326개 칩제작
  - 2015년 공정별 칩제작 참여 내역

| 공정   | 삼성   |        | 매그나칩/SK하이닉스 |      | TowerJazz |     |
|------|------|--------|-------------|------|-----------|-----|
|      | 54nm | 0.18um | 0.35um      | SiGe | CIS       | BCD |
| 제작팀수 | 111  | 137    | 42          | 1    | 8         | 27  |

- 2015년 MPW 진행 내역
  - 2016년 MPW 지원 내역 변경사항
    - 잠정 지원 중단 공정 : TowerJazz 전공정 (0.18um CIS / BCD / SiGe)
    - 삼성 공정 일정 : 삼성 65nm 공정의 1회차의 일정은 2~3월 중 최종 확정될 예정이며, 이후 진행될 공정 및 일정은 4월에 공지 예정입니다.

- 2016년 MPW 진행 일정 및 진행 내역

| 공정                       | 회차구분<br>(공정_년도순서) | 우선모집<br>(마감일) | 정규모집<br>(마감일) | 제작<br>칩수 | DB마감<br>(Tape-out) | Die-out    |
|--------------------------|-------------------|---------------|---------------|----------|--------------------|------------|
| 매그나칩<br>/SK하이닉스<br>180nm | MS180-1601        |               | 2016.01.11    | 25       | 2016.03.07         | 2016.08.08 |
|                          | MS180-1602        |               | 2016.02.01    | 25       | 2016.05.16         | 2016.10.17 |
|                          | MS180-1603        |               | 2016.03.07    | 25       | 2016.07.18         | 2016.12.19 |
|                          | MS180-1604        | 2016.02.01    | 2016.04.04    | 25       | 2016.09.19         | 2017.02.20 |
|                          | MS180-1605        | 2016.04.04    | 2016.06.07    | 25       | 2016.12.05         | 2017.05.08 |
| 매그나칩<br>/SK하이닉스<br>350nm | MS350-1601        |               | 2016.02.01    | 20       | 2016.06.13         | 2016.10.04 |
|                          | MS350-1602        | 2016.05.02    | 2016.07.04    | 20       | 2017.01.16         | 2017.05.08 |
| 삼성 65nm                  | S65-1601          |               | 2016.02.01    | 40       | 2016.06.27         | 2017.01.09 |

- \* 일정은 사정에 따라 다소 변경될 수 있음.
- \* 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성 65nm 2016 1회차 : S65-161)
- \* 모집기간 : 모집 마감일로부터 2주전부터 접수
- \* Package 제작은 Die out 이후 1개월 소요됨
- \* 내용 기준 : 2015. 12. 28.
- \* 담당 : 이의숙(yslee@idec.or.kr)

## 2016년 1월 교육프로그램 안내

수강을 원하는 분은 IDEC 홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

### KAIST 개설 강좌 안내

| 센터명 | 강의일자      | 강의 제목                                      | 분류     |
|-----|-----------|--|--------|
| 본센터 | 1월 21일    | 모바일 인터페이스를 위한 MIPI D-PHY Transceiver 설계    | 설계강좌   |
|     | 1월 22일    | Virtuoso Analog simulation Technique v6.15 | Tool강좌 |
|     | 1월 25-27일 | Using Calibre DRC/LVS                      | Tool강좌 |
|     | 1월 28일    | ISO 26262 및 반도체 설계 이론 위주의 교육               | 설계강좌   |
|     | 1월 29일    | 클럭 생성 회로 설계                                | 설계강좌   |

- 강좌일 : 1월 21일
- 강좌 제목 : 모바일 인터페이스를 위한 MIPI D-PHY Transceiver 설계
- 강사 : 장영찬 교수 (금오공과대학교)

#### 강좌개요

최근 chip-to-chip interface 응용분야에 serial interface의 기법이 널리 이용되고 있다. 본 강의에서는 모바일 디스플레이 및 카메라의 응용분야에 사용되는 MIPI D-PHY사양을 만족하는 저전력/고속 transceiver의 설계 기술을 학습하고 실장에서의 적용 사례를 소개한다.

수강대상 해당 분야 전공 대학원생, 기업/연구소 연구원  
 강의수준 중급  
 강의형태 이론  
 사전지식, 선수과목 집적회로

\*문의 : KAIST IDEC 이한나 (042-350-8536, lhn1224@idec.or.kr)

## Chip Design Contest(CDC) 안내

- 제23회 한국반도체학술대회 Chip Design Contest(CDC) 개최

1. 일정 및 장소 : 2016년 02월 23일(화), 강원도 하이원리조트
2. 주요 일정

| 구분       | 날짜            | 내용                                 |
|----------|---------------|------------------------------------|
| 논문 접수 마감 | 2015.11.27(일) | 논문 작성 양식 :<br>IDEC 논문 양식으로 작성해야 함. |
| 논문 채택 통보 | 2015.12.18(금) |                                    |

3. 시상 내용

| Award 명           | 수상팀 수 | 내용             |
|-------------------|-------|----------------|
| Best Design Award | 1팀    | 상장 및 상금 100만원  |
| Best Demo Award   | 2팀 내외 | 각 상장 및 상금 50만원 |
| Best Poster Award | 4팀 내외 | 각 상장 및 상금 20만원 |

\*문의 : KAIST IDEC 김하늘 (042-350-8536, kimsky1230@idec.or.kr)



# IDEC은 반도체 설계 인프라 지원이라는 고유의 역할을 충실히 해 나가겠습니다.



안녕하십니까? 다사다난했던 올미년이 지나고 병신년 새해가 밝았습니다.

돌이켜 보면 어렵지 않았던 때가 없었지만, 지난해는 유달리 어려움이 많았습니다.

사실, 지난 2015년은 1995년 겨울에 설립된 IDEC이 20주년을 맞이하는 해였습니다. IDEC의 가치를 인정하여 지원해 주신 많은 기업과 격려와 독려를 아끼지 않으신 많은 분들이 없었다면, 20년이라는 긴 세월 동안 반도체 설계 인력 양성이라는 너무도 평범한 목표를 지속적으로 수행해 오기는 어려웠을 것입니다.

이에 기념이 될만한 행사를 정성껏 준비하여 그동안 음으로 양으로 도와주신 분들께 감사를 드리고 싶었지만, 때 마침 불어 닥친 메르스의 영향과 차년도 예산 확보에 대한 불투명함으로 사업을 접어야 할 지 모른다는 위기감 때문에 준비하고 있던 행사는 취소할 수 밖에 없었습니다.

다행히도 내 일처럼 도와주신 많은 분들 덕분에 IDEC은 금년에도 운영하게 될 것 같습니다.

IDEC은 70여개의 대학 워킹그룹과 8개의 지역 캠퍼스를 운영하며 매년 300여개의 반도체 칩제작 기회와 3000카피 이상의 다양한 EDA 설계 도구를 대학에 지원하고 있습니다.

지난 20년 동안 IDEC은 이러한 반도체 설계 인프라를 꾸준히 구축해 왔지만, 경영에 어려움을 겪는 반도체 기업이 늘어나면서 대학을 위한 인프라를 유지하고 발전시키는 것이 점점 어려워지고 있습니다. 또한, 반도체 굴기를 위해 엄청난 투자를 하고 있는 중국에 비해 기업과 정부의 지원 역시 절대적으로 부족한 상황입니다.

메모리를 포함한 반도체 분야의 우위를 유지하기 위해서는 대학뿐만 아니라 반도체 관련 기업, 패키지 기업, EDA 벤더, 정부 기관 모두의 적극적인 협조가 절실합니다.

이에 IDEC도 반도체 설계 인프라 지원이라는 고유의 역할을 충실히 해 나가겠습니다.

반도체 칩 하나가 응용 시스템인 시대이고 설계 초기에서부터 소프트웨어와 응용 시스템을 고려하여 개발해야 하는 시대가 되었습니다.

IDEC은 반도체 설계뿐만 아니라 시스템 설계를 위한 교육 체계를 구축하며 지원을 강화하고 있지만, 한층 넓어지고 전문화된 반도체 설계 교육과 이에 대한 인프라를 구축하기 위해서는 더 많은 열정과 여러 분야의 협력이 필요합니다.

IDEC은 우리나라의 시스템 반도체, 메모리 반도체, 더 나아가 스마트 시스템 분야의 전문 인력을 양성하기 위해 최선을 다 하겠습니다. 함께 참여해 주시기 바랍니다.

끝으로 마음이 따뜻한 일을 만들어가는 아름다운 새해 맞으시고, 항상 건강하시기 바랍니다.

IDEC 소장 박인철 배상



# IoT (Internet of Things) 기기의 배터리 사용시간을 늘리기 위한 벡부스트 DC-DC 컨버터

## 1. 소개

최근 세계적으로 사물인터넷을 의미하는 IoT(Internet of Things)가 크게 이슈화되고 있다. IoT의 근본적인 개념은 모든 사물들을 네트워크로 연결하여 그 사물들이 수집하는 정보를 공유하고, 그렇게 모인 빅 데이터(Big Data)를 기반으로 다양한 서비스를 제공하는 것이다. 이러한 개념을 구현하기 위해서는 각 사물에 센서와 IP기반의 무선 통신기능을 내장하는 소형 모듈이 필요한데, 이러한 모듈은 반드시 배터리를 포함해야 한다. 이렇게 제한된 배터리환경에서 이 모듈은 최대한 오랜 시간 동안 동작을 할 수 있도록 저전력으로 설계되지만, 현재 수준으로는 수 개월의 동작만을 보증하는 수준이기 때문에 수 개월을 주기로 배터리를 교체해 주어야만 하는 문제가 있다. 이러한 배터리 이슈를 해결하기 위해 배터리용량을 늘리거나 무선으로 전력을 송신하는 방법을 고려해 볼 수 있다. 하지만, 동전크기의 소형 IoT기기에 배터리용량을 늘리는 것은 기기의 부피(Volume)가 늘어나게 되어 현실적이지 않고, 무선으로 전력을 수신하는 것은 무선 전력 송신기의 송신범위 때문에 제한적인 해결방법이라고 볼 수 있다.

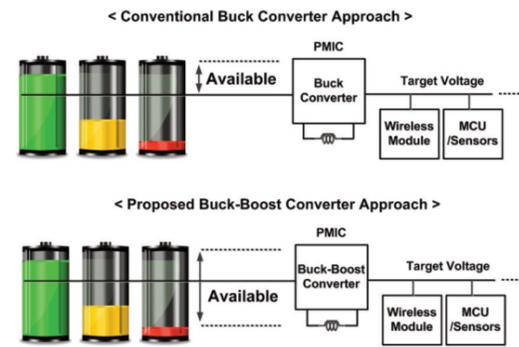


그림 1. 잔여 배터리를 활용하기 위한 Buck-boost converter의 사용

배터리 사용시간을 늘리기 위한 현실적인 방법으로 최근 PMIC(Power Management IC)의 동작을 변화시켜보려 하는 시도가 있다. 배터리기반의 기기들은 방전(Discharge)되어 변화하는 배터리전압을 입력 받아 일정한 전원을 생성(Regulation)하는 PMIC내부의 DC-DC변환기가 반드시 내장되어 있다. 또한, 대부분 사용되는 변환기형태는 고효율 등의 목적으로 배터리 전압을 입력 받아 그 전압보다 낮은 목표전압을 생성하는 스텝-다운(Step-Down) 변환기인 벡 컨버터(Buck converter)의 형태이다. 따라서, 배터리가 방전되어 목표전압보다 낮아지게 되면 전압생성이 불가능하게 되어 PMIC 및 IoT 내부 모듈들은 동작을 멈춘다. 이에 반하여 최근의 시도는 벡 컨버터 대신 스텝-업다운(Step-Up/Down)변환기인 벡-부스트(Buck-boost) 컨버터를 사용하여 배터리 전압이 생성하려고 하는 목표전압보다 낮아지더라도 목표전압을 생성할 수 있기 때문에, 잔여배터리를 사용할 수 있게 되어 별다른 추가적인 기기 없이 배터리 사용시간을 늘릴 수 있다(그림 1). 그러나, 벡-부스트 컨버터는 벡컨버터에 비하여 그 효율이 현저히 낮기 때문에 이를 개선하기 위해 여러가지 노력들을 하고 있다. 따라서 본 글에서는 벡 컨버터 및 벡-부스트 컨버터에 대해 간단히 알아보고, 효율 차이에 대한 근본적인 원인을 살펴본 후 이를 개선하기 위하여 어떠한 시도들이 있는지를 알아보고자 한다.

## 2. 벡 컨버터와 벡-부스트 컨버터의 동작

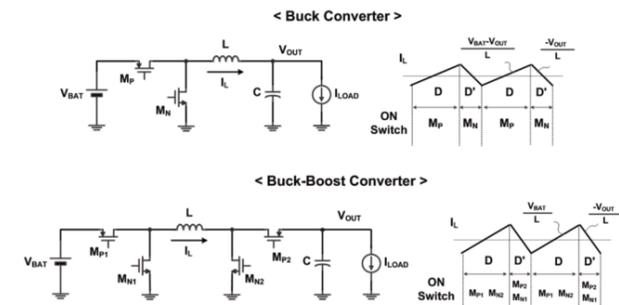


그림 2. 벡 컨버터와 벡-부스트 컨버터의 동작

그림 2는 벡 컨버터와 벡-부스트 컨버터의 구성과  $V_{OUT}$ 이 일정한 정상상태에서의 인덕터(Inductor)전류  $I_L$ 를 나타낸다. 벡 컨버터의 경우, 듀티 D구간에서  $M_P$ 가 켜져 인덕터의 전류  $I_L$ 를  $(V_{BAT}-V_{OUT})/L$ 의 기울기로 빌드업(Build-up)시키고,  $D'$  구간에서  $M_N$ 이 켜져  $I_L$ 를  $-V_{OUT}/L$ 의 기울기로 프리휠링(Freewheeling)시키는데, 인덕터 전류  $I_L$ 이 빌드업했다가 프리휠링하는 양은 정상상태에서 동일하기 때문에,  $(V_{BAT}-V_{OUT})/L \times D = V_{OUT}/L \times D'$  이 된다. D와  $D'$ 의 합이 1이라고 할 때,  $V_{OUT} = D \times V_{BAT}$ 이 되고, 벡 컨버터의 변환이득(Conversion gain)은 D가 된다. 이 때,  $V_{BAT}$ 이  $V_{OUT}$ 보다 작다면 빌드업되는 기울기  $(V_{BAT}-V_{OUT})/L$ 가 음의 값을 가지게  $I_L$ 이 빌드업될 수 없고, 따라서 벡 컨버터는 목표전압  $V_{OUT}$ 을 생성할 수 없게 된다. 이와 마찬가지로 벡-부스트의 경우에도 D구간에서  $M_P$ 과  $M_{N2}$ 가 켜져 인덕터의 전류  $I_L$ 를  $V_{BAT}/L$ 의 기울기로 빌드업시키고,  $D'$  구간에서  $M_{P2}$ 과  $M_{N1}$ 가 켜져  $I_L$ 를  $V_{OUT}/L$ 의 기울기로 프리휠링시켜

$V_{BAT}/L \times D = -V_{OUT}/L \times D'$  이 된다. 따라서,  $V_{OUT}=D/D' \times V_{BAT}$  이 되고 벡-부스트 컨버터의 변환이득은  $D/D'$  가 된다. 벡-부스트의 경우,  $V_{BAT}$ 이  $V_{OUT}$ 보다 작더라도  $I_L$ 은 항상 양의 값을 가지는  $V_{BAT}/L$ 의 기울기로 빌드업되기 때문에  $V_{BAT}$ 의 값과 관계없이 목표전압  $V_{OUT}$ 을 생성할 수 있다.

## 3. 벡 컨버터와 벡-부스트 컨버터의 전력손실(Power Loss)

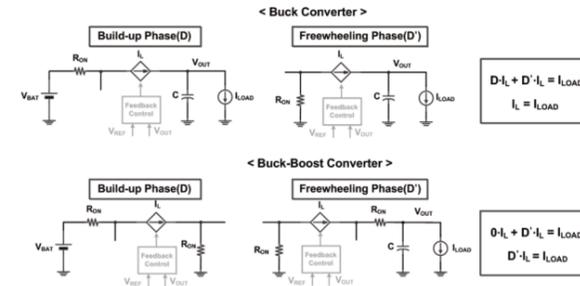


그림 3. 벡 컨버터와 벡-부스트 컨버터의모델링

그림 3은 벡 컨버터와 벡-부스트 컨버터의 전력손실에 대해 분석하기 위한 간단한 모델링을 나타낸다. 간단하고 직관적인 분석을 위하여 인덕터의 평균 전류는 피드백시스템에 의하여  $V_{OUT}$ 이 목표전압이 되도록 제어되는 종속전류 원으로 대체되고, 모든 스위치의 ON저항은  $R_{ON}$ 으로 가정한다. 또한, DC-DC 컨버터에서 많은 전력소모요인이 있겠지만, 이 중에서 가장 불가피하게 발생하는 전력소모인 컨덕션로스(Conduction loss)에 초점을 맞추어 분석을 하고자 한다. 벡 컨버터의 경우 D동안의 빌드-업과정에서 종속전류원  $I_L$ 이  $V_{OUT}$ 에 연결되어 로드에 전류를 전달하고, 또한  $D'$  동안의 프리휠링과정에서  $I_L$ 이  $V_{OUT}$ 에 연결되어 로드에 전류를 전달한다.  $V_{OUT}$ 에 전달되는 평균전류는  $I_L \times D + I_L \times D'$ , 즉  $I_L$ 이 되고, 이는  $V_{OUT}$ 에서 소모되는 로드 전류  $I_{LOAD}$ 와 같다. ( $I_L=I_{LOAD}$ ) 따라서, 벡 컨버터의 전력소모는  $R_{ON} \times I_{LOAD}^2$ 이 된다. 이에 반하여 벡-부스트 컨버터의 경우 D동안의 빌드-업과정에서 종속전류원  $I_L$ 이  $V_{OUT}$ 에 연결되지 않아 로드에 전류를 전달하지 않고,  $D'$  동안의 프리휠링과정에서만  $V_{OUT}$ 에 연결되어 로드에 전류를 전달하기 때문에  $V_{OUT}$ 에 전달되는 평균전류는  $I_L \times 0 + I_L \times D'$ , 즉  $D' \times I_L$ 이 된다. 이는 곧  $I_{LOAD}$ 와 같고 ( $D' \times I_L=I_{LOAD}$ ), 따라서 벡-부스트의 전력소모는  $2R_{ON} \times (1/D')^2 \times I_{LOAD}^2$ 가 된다.  $D+D'=1$ 이고  $D'$ 이 1보다 작은 값을 가지기 때문에, 결과적으로 벡-부스트 컨버터의 경우 벡 컨버터에 비하여  $2(1/D')^2$ 배 만큼의 더 많은 전력을 소모하게 된다. 벡 컨버터와 같은 동작 범위 ( $V_{BAT}/V_{OUT}$ )를 따져 볼 때 벡-부스트 컨버터의 프리휠링 구간이  $D' > 0.5$ 가 된다. 따라서, 벡 컨버터와 같은 동작 범위일 때 그 전력소모가 최대 8배라는 것을 알 수 있다.

## 4. 고효율을 위한 벡-부스트 컨버터 제어 방법

앞 절에서 분석한대로 벡-부스트 컨버터는 벡 컨버터 대비 큰 전력소모를 가지고 있다. 하지만 앞서 언급한대로 잔여 배터리를 활용하기 위해 스텝-업/다운 컨버터인 벡-부스트 컨버터의 사용은 불가피하다. 이에 벡-부스트 컨버터의 전력소모를 줄이기 위한 혹은 효율을 개선하기 위한 여러가지 노력이 있는데, 이 중에서 가장 대표적인 두 가지 방법 듀얼 슬롭(Dual slope) 제어와 모드 변환(mode change)제어에 대해 소개하고자 한다. 우선 소개에 앞서 그림 4는 기본적인 벡-부스트 컨버터의 피드백 제어(Feedback control)를 나타낸다.

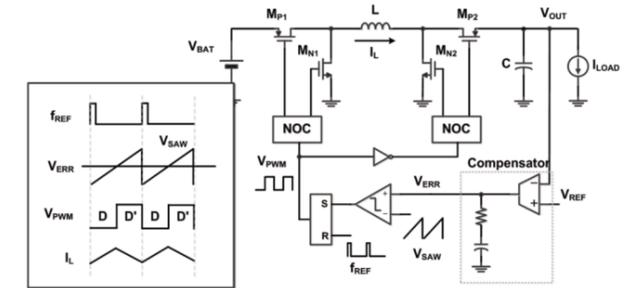


그림 4. 벡-부스트 컨버터의 피드백 제어

그림 4에서 출력 전압  $V_{OUT}$ 은 피드백 제어를 위하여 보상기(Compensator)에 입력되고, 보상기는 이를 목표전압  $V_{REF}$ 와 비교하여  $V_{ERR}$ 전압을 만들어 낸다.  $V_{ERR}$ 전압은 톱니파(Sawtooth waveform)  $V_{SAW}$ 와 비교되어  $f_{REF}$ 의 주파수로 RESET되는 SR 래치(latch)의 SET신호를 만들어내는데, 이 결과  $f_{REF}$ 의 주파수를 가지는 PWM파형  $V_{PWM}$ 을 만들어낸다.  $V_{PWM}$ 은  $M_{P1}$ ,  $M_{N1}$ 에 넘오버 랍클락 NOC를 거쳐서 연결되고,  $V_{PWM}$ 의 반전신호는  $M_{P2}$ ,  $M_{N2}$ 에 연결되어 결과적으로 D와  $D'$ 을 만들어낸다.그림 4의 제어방법은 여러가지 제어방법 중 가장 기본적인 전압 모드(Voltage mode)를 나타내고, 보상기의 형태 역시 타입 I, II 등 여러가지가 있을 수 있다.

1) 듀얼 슬롭(Dual slope) 벅-부스트 컨버터 [1]

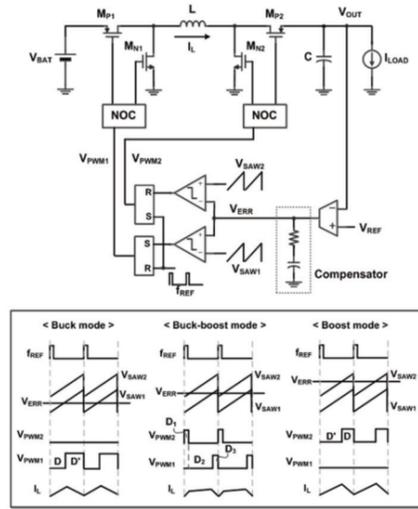


그림 5. 듀얼 슬롭 벅-부스트 컨버터의 피드백 제어

그림 5는 듀얼 슬롭 벅-부스트 컨버터의 피드백 제어를 나타낸다. 기본적인 제어방법은 그림 4와 비슷하다. 그러나 보상기의 출력 전압  $V_{ERR}$ 가 두 개의 톱니파  $V_{SAW1}$ 과  $V_{SAW2}$ 와 각각 비교되어 두 개의 PWM파형  $V_{PWM1}$ 과  $V_{PWM2}$ 를 만들어내고, 이 두개의 파형이  $M_{P1}$  및  $M_{N1}$ 과  $M_{P2}$  및  $M_{N2}$ 를 각각 제어 한다는 것이 크게 다른 점이다.  $V_{SAW1}$ 과  $V_{SAW2}$ 는 그림 5의 아래에 보이는 것과 약간의 오버랩(Overlap)을 가지면서 서로 다른 DC레벨을 가지고 있기 때문에, 하나의  $V_{ERR}$ 레벨에 대하여  $V_{PWM1}$ 과  $V_{PWM2}$ 는 그림과 같이 3가지 형태를 가지게 된다. 벅 모드(Buck mode)에서는  $V_{ERR}$ 에 따라  $V_{PWM2}$ 가 항상 0의 값을 가지기 때문에  $M_{P2}(M_{N2})$ 가 항상 ON(OFF)되고,  $M_{P1}(M_{N1})$ 이 스위칭하여 D와 D'을 만들어 내기 때문에 벅 컨버터와 같은 동작을 하고, 벅-부스트 모드에서는 모든 스위치가 스위칭을 하여  $D_1$ ,  $D_2$ ,  $D_3$ 를 만들어내어 3상(Phase)을 가지는 벅-부스트 컨버터의 동작을 하며, 부스트 모드에서는  $M_{P1}(M_{N1})$ 이 항상 ON(OFF)되고  $M_{P2}(M_{N2})$ 가 스위칭하여 부스트 컨버터와 같은 동작을 하게 된다.  $V_{ERR}$ 전압은 정해진 로드전류  $I_{LOAD}$ 에서 입력전압

$V_{BAT}$ 과 출력전압  $V_{OUT}$ 에 따라 결정되기 때문에 이 제어 구조에서 벅-부스트 컨버터는  $V_{BAT}$ 이  $V_{OUT}$ 보다 클 경우 벅 모드로, 비슷할 경우 벅-부스트 모드로, 작을 경우 부스트 모드로 동작을 하게 된다. 따라서 벅-부스트 컨버터를 입력전압에 따라 벅 컨버터처럼 동작시킬 수 있기 때문에 앞서 분석한대로 인덕터 전류  $I_L$ 이 D'에 따라 증가하지 않아 효율면에서 개선효과를 볼 수 있다. 하지만 이러한 듀얼 슬롭 제어방법은 설계에 몇 가지 어려움이 있는데, 그것은 바로 피드백 루프(Feedback loop)의 보상문제와 톱니파의 오버랩 제어 문제이다. 피드백 루프 보상문제의 경우는 벅 컨버터, 벅-부스트 컨버터, 부스트 컨버터의 루프 특성이 모두 다르기 때문에 각각의 보상기를 따로 설계해야 하는데, 보상기의 면적과 공정상의 편차를 생각해보면 까다로운 문제가 아닐 수 없다. 톱니파의 오버랩 제어 문제의 경우, 오버랩을 정밀하게 제어해야하지만  $V_{BAT}$ 에 따른 모드 구분이 정밀하게 이루어질 수 있기 때문에 공정상의 편차 등을 잘 고려해서 설계해야만 한다.

2) 모드 변환 벅-부스트 컨버터 [2]

그림 6은 모드 변환 벅-부스트 컨버터의 피드백 제어를 나타낸다. 모드변환 제어는 그림4의 기본적인 제어 방법에  $V_{BAT}$ 에 따라 결정되는 모드 변환기(Mode selector)가 추가된 형태이다. 그림의 아래 파형과 같이  $V_{BAT}$ 의 레벨이  $V_{BUCK}$  및  $V_{BOOST}$ 와 비교하여 어디에 위치하느냐에 따라 벅 모드, 벅-부스트 모드, 부스트 모드가 결정된다. 벅 모드의 경우 보상기에 의하여 생성된  $V_{PWM}$ 이  $M_{P1}(M_{N1})$ 에만 인가되어 벅 컨버터의 동작을 하고, 벅-부스트 모드의 경우  $M_{P1}(M_{N1})$ 과  $M_{P2}(M_{N2})$ 에 모두 인가되어 부스트 컨버터의 동작을 하며, 부스트 모드의 경우  $M_{P2}(M_{N2})$ 에만 인가되어 부스트 컨버터의 동작을 하게 된다. 서서히 변화하는  $V_{BAT}$ 에 따라 모드가 변환할 때, 모드 변환의 경계에서 각 모드의 듀티 D가 다르기 때문에 갑작스러운 D의 변화로 인하여 출력 전압에 피킹(Peaking)이 발생할 수 있다. 예를 들어, 벅 모드에서의  $D_{BUCK}$ 으로 듀티가 설정되어 있다가 벅-부스트 모드로 변환이 되면  $D_{BUCK}$ 이  $D_{BUCK-BOOST}$ 로 설정될 때까지 출력전압에 피킹을 수반하면서 피드백이 돌게 된다. 이를 방지하기 위해 모드 변환에 따라 톱니파  $V_{SAW\_MOD}$ 도 함께 변환하여  $D_{BUCK}$ 이 피드백이 아닌 톱니파에 의해 바로  $D_{BUCK-BOOST}$ 로 변환할 수 있도록 톱니파 변환기(Sawtooth modulator)도 함께 포함된다.

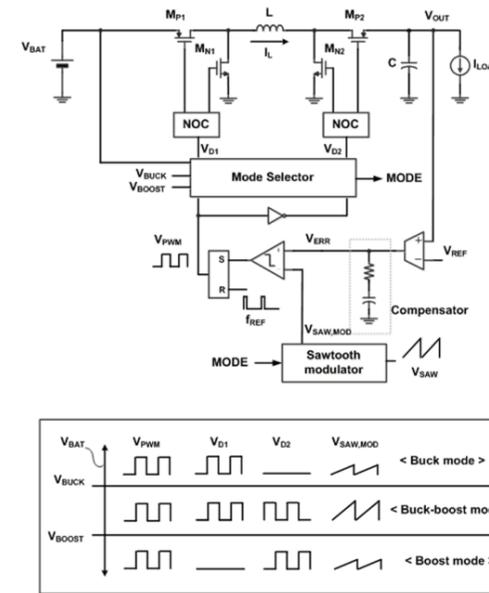


그림 6. 모드 변환 벅-부스트 컨버터의 피드백 컨트롤

하지만 이러한 모드 변환 제어 방법도 듀얼 슬롭 제어방법과 마찬가지로 각 모드에 따른 피드백 루프(Feedback loop)의 보상문제가 있고, 듀티 변환을 위한 톱니파 변환기가 정확하지 않으면 듀티가 제대로 변환되지 않아서 출력전압에 피킹을 수반할 수 있다.

## 5. 결론

이제까지 우리는 IoT등의 기기에서 잔여 배터리를 활용하여 배터리 사용 시간을 늘리기 위하여 벅-부스트 컨버터가 필요하다는 사실과, 벅-부스트 컨버터의 효율이 벅 컨버터에 비하여 현저하게 떨어진다라는 사실을 알아보았다. 이에 이러한 벅-부스트 컨버터의 효율을 증가시키기 위한 노력으로 어떠한 제어방법들이 있는지 또한 알아보았다. 이러한 제어방법들만으로 효율을 다소 개선할 수는 있지만, 아직까지도 벅-부스트 컨버터로서 기본적으로 만족해야 할 성능등을 보여주지는 못하고 있다. 따라서 PMIC연구분야에서 벅-부스트 컨버터의 효율 및 성능을 개선하기 위해 새로운 제어방법의 개발이 필요한 실정이다.

## 참조논문

[1] Jiann-Jong Chen, "A High-Efficiency Positive Buck-Boost Converter With Mode-Select Circuit and Feed-Forward Techniques", IEEE Transactions on Power Electronics, vol.28, No.9, SEP, 2013

[2] Chia-Ling Wei et al., "Design of an Average-Current-Mode Noninverting Buck-Boost DC-DC Converter With Reduced Switching and Conduction Losses", IEEE Transactions on Power Electronics, vol.27, No.12, DEC, 2012

## <프로필>



김기덕 박사과정  
소속 : KAIST 전자과 회로 및 시스템 연구실  
주 연구분야 : DC-DC 컨버터, 디스플레이 드라이버, 센싱 컨트롤러, 무선 전력 전송 시스템  
E-mail : tomclancy@kaist.ac.kr  
Homepage : http://circuit.kaist.ac.kr



조규형 교수  
소속 : KAIST 전자과 회로 및 시스템 연구실  
주 연구분야 : DC-DC 컨버터, 디스플레이 드라이버, 터치 센싱 컨트롤러, 무선 전력 전송 시스템, 바이오 센싱 회로, 플라즈마 제어 회로  
E-mail : ghcho@ee.kaist.ac.kr  
Homepage : http://circuit.kaist.ac.kr



# OTA-C 능동 인덕터를 이용한 LC-동조형 사인파 전압-제어 발진기

## I. 서론

발진 주파수가 직류 전압(또는 전류)에 의해 제어되는 사인파 전압-제어 발진기(Voltage-Controlled Oscillator: VCO)는 통신 및 계측·제어 시스템 등에서 다양하게 사용되고 있다[1], [2]. 지난 세기 초에 Edward Armstrong이 Audion을 사용하여 전자식 발진기를 고안하였으며, Hartley는 진공관 기술을 활용하여 진공관을 증폭 소자로 사용해서 VCO를 설계하였다. 이 VCO의 발진 주파수는 코일 인덕턴스와 회로 커패시턴스에 의해 정해지고 코일 또는 커패시턴스의 변경만으로도 넓은 범위의 주파수를 얻을 수 있다. 이러한 혁신적인 발진기 회로는 매우 널리 전파되어 오늘날 사용되고 있는 Hartley, Colpitts, Clapp, Armstrong, Pierce 및 그 외의 다양한 토폴로지의 기초가 되었다. 그림 1은 트라이오드 방식과 JFET 방식으로 만든 Hartley 발진기의 예이다.

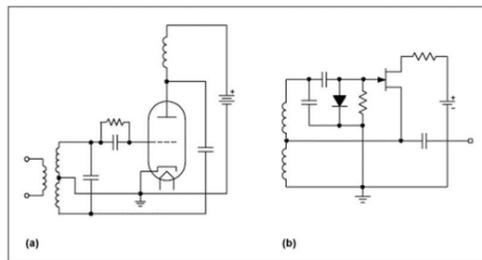


그림 1. Hartley 발진기의 예: (a)트라이오드 방식 (b) JFET 방식

지난 세기 중엽 트랜지스터와 배랙터(varactor) 다이오드와 같은 반도체 증폭 소자의 발견으로 인해 VCO 기술은 또 한 번의 극적인 전환이 이루어졌다. 트랜지스터는 진공관에 비해 작고 전력 소비가 적었으며, 전원 전압이 낮고 제작비용이 덜 들었다. 트랜지스터는 발진기의 능동 소자인 진공관의 대체 소자가 되었고, 발진기 토폴로지에 있어 큰 변화를 가져왔다.

가장 고전적인 방식은 발진기 공진회로의 커패시터를 수동 커패시터 대신 배랙터 다이오드를 사용하는 것이다. 그러나 수동 인덕터의 집적화가 용이하지 않기 때문에 이러한 방식은 집적회로 설계에서는 유용하지 않다. 이러한 문제를 해결한 것으로 연산증폭기(Operational Amplifier: Op Amp), 저항, 그리고 커패시터를 사용한 능동 발진기 모델에서 수동 저항 대신 트라이오드(triode) 영역에서 동작하는 FET를 전압-제어 저항으로 사용해 VCO를 구현했다. 하지만 이 방법은 FET의 바이어스가 어렵고, 주파수 가변 범위가 협소하다. 그림 2는 W9QZ가 1929년 Hartley식 송신기를 재현한 모델의 사진이다. 이 회로는 크고 비쌌으며 높은 전원 전압을 필요로 했다.

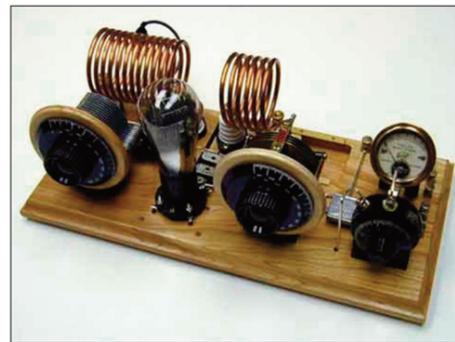


그림 2. 1929년형 Hartley식 송신기

한편, 연산 트랜스컨덕턴스 증폭기(Operational Transconductance Amplifier: OTA)와 저항 그리고 커패시터를 사용하면 더 넓은 주파수 가변 범위를 가지는 사인파 VCO를 실현할 수 있다. 이 VCO들의 발진 주파수는 주파수 결정회로에 사용된 OTA의 트랜스컨덕턴스 이득을 조정해 변경 가능하고, OTA의 트랜스컨덕턴스 이득은 외부 직류 바이어스 전류로 제어되기 때문에 OTA를 사용하여 VCO를 구현할 수 있다. 지금까지 OTA를 이용한 VCO들은 네 가지 고전적인 RC-능동 발진기 모델인 위상편이, 윈-브릿지,

쿼드러처 그리고 상태변수 대역통과 발진기 모델로부터 만들어졌다[4]. 이 VCO들은 비교적 넓은 주파수 가변 범위를 가지지만, 정밀한 계측·제어 시스템에서 사용하기에는 충분한 주파수 안정성을 제공하지 못한다.

LC-동조형 발진기 모델은 위에서 언급된 RC-능동 발진기 모델보다 더 높은 주파수 안정성을 가진다[3]. 따라서 더 높은 주파수 안정성을 가지는 VCO를 대역통과 발진기와 같은 정귀한 LC-동조형 발진기 모델이나 콜피츠와 하틀리 발진기와 같은 부귀한 LC-동조형 발진기 모델로부터 만들 수 있다. 여러 가지 VCO들이 정귀한 LC-동조 발진기 모델을 이용해 구현되었다. 이와 같은 VCO 중에서 수동 인덕터는 두 개의 정합된 OTA와 하나의 접지된 커패시터로 시뮬레이션 된다. 이 시뮬레이터는 인덕터(또는 능동 인덕터)의 등가 인덕턴스는 OTA의 트랜스컨덕턴스 이득의 제곱에 반비례한다. 그리고 대역통과 발진기의 발진 주파수는 LC 곱의 제곱근에 반비례한다. 따라서 발진기의 발진주파수를 결정하는 LC-공진회로에 OTA-C 능동 인덕터를 사용하면 발진주파수를 쉽게 선형적으로 제어할 수 있다. 하지만 기존의 LC-동조형 VCO들의 주요 단점은 상대적으로 온도에 대한 주파수 안정성이 낮다는 것이다. 이것은 OTA의 트랜스컨덕턴스가 OTA의 바이어스 전류뿐만 아니라, 온도에도 의존하는 LM3080과 같은 기존의 OTA를 VCO 구현에 사용한 것에 기인한다. 또 다른 단점은 루프 이득의 조정 없이 넓은 범위에 걸쳐 일정한 발진 진폭을 유지하기는 어렵다는 것이다. 이러한 문제는 온도변화에 안정한 트랜스컨덕턴스를 가지는 OTA를 이용하여 VCO로 구현함으로써 해결할 수 있다. 본 기고문에서는 높은 발진 주파수에서 넓은 주파수 가변 범위와 우수한 주파수 안정성을 가지는 LC-동조형 VCO들을 소개하고자 한다.

## II. 회로 구성 및 원리

### A. 대역통과 VCO

그림 3은 귀환 루프에 OTA를 이용한 대역통과 발진기의 회로도이다[5]. 이 대역통과 발진기는 OTA-R 증폭기로 이루어진 정귀한 루프에 LC-병렬 대역통과 필터와 다이오드 리미터로 구성되어 있다. 다이오드 리미터는 OTA의 입력 신호 전압을 OTA의 선형 입력 범위 이하로 제한한다. 따라서 회로의 OTA들이 선형 영역에서 동작되는 것이 보장된다. 대역통과 필터의 출력 사인파는 필터의 중심 주파수와 같은 주파수를 가질 것이다. 이 사인파 전압 신호가 정귀한 루프 OTA1의 입력에 공급되고 트랜스컨덕턴스 이득에 비례하는 전류 신호로 변환된다. 이 사인파 전류 신호가 저항 R에 흘러 전압으로 변환될 때 다이오드 리미터에 의해 전압 크기가 제한된 이후 대역통과 필터에 공급된다. 사인파 발진 파형의 순수한 정도는 대역통과 필터의 선택도에 의해 결정된다. 대역통과 필터의 선택도는 저항 R값에 의해 정해진다.

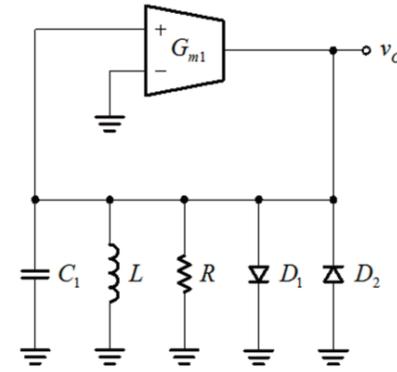


그림 3. OTA에 기초한 대역통과 발진기 회로도

### B. 콜피츠 VCO

그림 4는 귀환 루프에 OTA를 이용한 콜피츠 발진기의 회로도이다[6]. 이 콜피츠 발진기는 OTA-R 증폭기로 이루어진 부귀한 루프에 연결된 콜피츠 구조 LC-동조 회로와 두 개의 다이오드 리미터로 구성되어 있다. 다이오드 리미터들은 OTA의 입력 신호 전압을 OTA의 선형 입력 범위 이하로 제한한다. 따라서 회로의 OTA들이 선형 영역에서 동작되는 것이 보장된다. LC-동조 회로의 출력 사인파는 동조 회로의 공진 주파수와 같은 주파수를 가질 것이다. 이 출력 사인파 전압 일부가 다이오드 리미터에 의해 제한되어 부귀한 루프 OTA1의 입력에 공급되고, 트랜스컨덕턴스 이득  $G_{m1}$ 에 비례하는 전류 신호로 변환된다. 이 사인파 전류 신호가 저항 R에 흘러 전압으로 변환될 때 다이오드 리미터에 의해 전압 크기가 제한된 이후 LC-동조 회로로 공급된다.

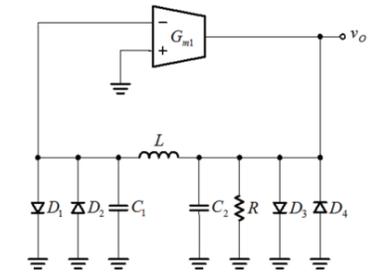


그림 4. OTA에 기초한 콜피츠 발진기 회로도

### C. 하틀리 VCO

그림 5는 귀환 루프에 OTA를 사용한 하틀리 발진기의 회로도이다[7]. 콜피츠 발진기와 유사하게 하틀리 발진기는 OTA-R 증폭기로 이루어진 부귀한 루프에 연결된 하틀리 구조 LC-동조 회로와 두 개의 다이오드 리미터로 구성되어 있다. 다이오드 리미터의 역할은 콜피츠 VCO에서와 같이 회로의 OTA들이 선형 영역에서 동작하는 것을 보장한다. LC-동조 회로의 구조가 다른 것을 제외하고 회로의 동작 원리는 콜피츠 발진기와 유사하다. 하틀리 발진기도 동조 회로의 공진 주파수에 해당하는 사인파 신호가 OTA-R 증폭기를 통해 지속적으로 귀환되어 발진한다.

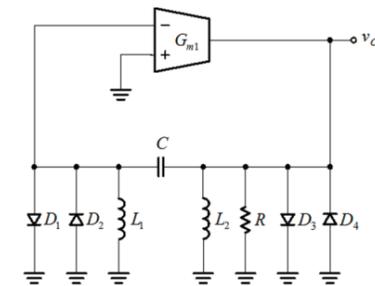
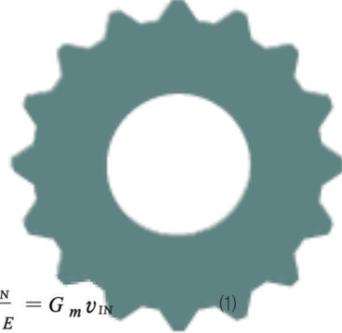


그림 5. OTA에 기초한 하틀리 발진기의 회로도

## III. 온도 안정한 선형 OTA

OTA에 기초한 발진기에서, 주파수 안정성은 OTA의 온도 의존도에 직접적으로 영향을 받는다. 따라서, 온도 안정한 OTA는 높은 주파수 안정성을 가지는 VCO 설계에 중요한 부분이다. OTA에 기초한 LC-동조형 VCO를 위해 설계된 온도 안정한 선형 OTA의 회로도를 그림 6에 나타냈다[8]-[10]. 이것은 트랜지스터 Q1-Q3과 이미터 디제너레이션 저항 R<sub>e</sub>에 의해 형성된 선형 트랜스컨덕터, 트랜스리니어 전류 이득 셀 Q9-Q12 그리고 세 개의 윌슨 전류 미러 Q13-Q21로 구성된다. OTA의 전달 함수는 다음과 같이 표현된다.



$$i_{OUT} = \frac{I_Y}{I_X} \frac{v_{IN}}{R_E} = G_m v_{IN} \quad (1)$$

따라서, 트랜스컨덕턴스 이득  $G_m$ 은  $(I_Y/I_X)(1/R_E)$ 이다. 여기서, OTA의 트랜스컨덕턴스 온도에 무관하고 직류 바이어스 전류  $I_Y$ 와  $I_X$ 의 비율에 의해 결정되는 것을 알 수 있다. 트랜지스터 어레이 HFA3096[11]을 이용하여 시뮬레이션한 OTA의 특성들을 표 1에 제시했고, 성능 파라미터들을 표 2에 제시했다.

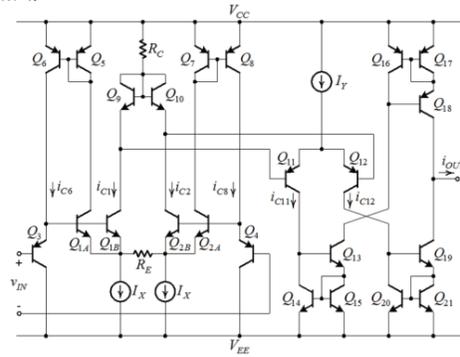


그림 6. VCO를 위해 설계된 온도 안정한 선형 OTA의 회로도

표 1. OTA의 특성들

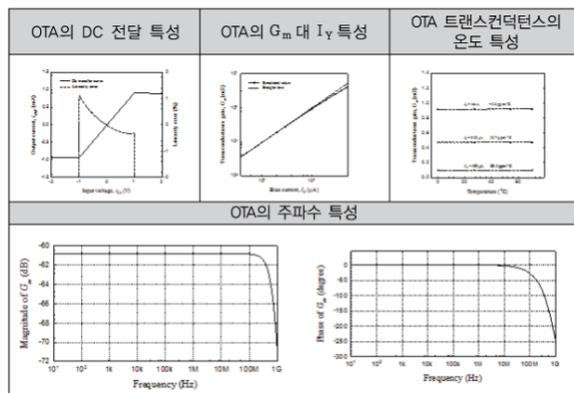


표 2. OTA의 성능 파라미터들

| Parameters         | Conditions                | Values                          |
|--------------------|---------------------------|---------------------------------|
| Supply voltage     |                           | $\pm 3$ V                       |
| Input linear range | $\leq \pm 1\%$            | $\pm 1$ V                       |
| TC of $G_m$        | $0 \sim 70^\circ\text{C}$ | $\leq 90$ ppm/ $^\circ\text{C}$ |
| Input resistance   |                           | 100 k $\Omega$                  |
| PSRR+              | f3dB = 101 kHz            | 60 dB                           |
| PSRR-              | f3dB = 49 kHz             | 90 dB                           |
| -3dB bandwidth     | $I_Y = 1$ mA              | 500 MHz                         |
| Power dissipation  | $I_Y = 1$ mA              | 38 mW                           |

표 3은 OTA에 기초한 발진기들의 회로도와 특성을 보여준다. OTA에 기초한 대역통과 발진기 회로와 OTA에 기초한 하틀리 발진기 회로에서, 접지된 커패시터 C와 상호 연결된 두 개의 OTA가 능동 인덕터를 형성한다. 능동 인덕터의 등가 인덕턴스는 다음과 같이 표현 된다.



$$L_{eq} = \frac{C}{G_m^2} \quad (2)$$

여기서,  $G_m$ 은 능동 인덕터를 구성하는 OTA들의 트랜스컨덕턴스 이득이다. OTA에 기초한 콜피츠 발진기 회로에서,  $G_m$ 으로 표시된 네 개의 동일한 OTA들과 하나의 접지된 커패시터가 플로팅 능동 인덕터를 형성한다. 이 때, 플로팅 능동 인덕터의 등가 인덕턴스는 다음과 같이 표현된다.

$$L_{eq} = \frac{C}{G_m^2} \quad (3)$$

여기서,  $G_m$ 은 능동 인덕터를 구성하는 OTA들의 트랜스컨덕턴스 이득이다. 각 VCO들의 특성들을 표 4에 제시했고, 이들의 성능 파라미터들을 표 5에 제시했다.

표 3. VCO의 회로도와 특성들

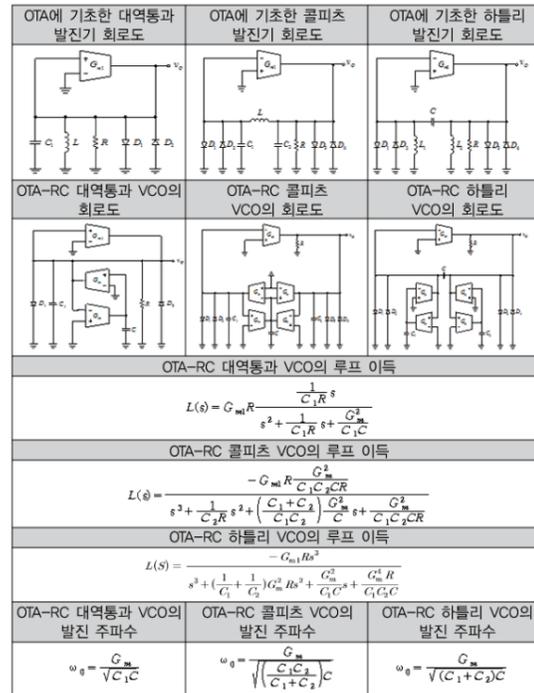


표 4. 각 VCO의 특성들

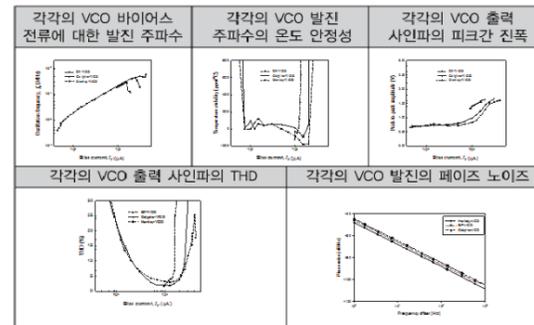


표 5. VCO의 성능 파라미터들

| Parameters                               | BP-VCO                          | Colpitts-VCO                   | Hartley-VCO                     |
|--|---------------------------------|--------------------------------|---------------------------------|
| Frequency stability                      | $\pm 115$ ppm/ $^\circ\text{C}$ | $\pm 95$ ppm/ $^\circ\text{C}$ | $\pm 220$ ppm/ $^\circ\text{C}$ |
| Sweep range (MHz) $\leq$ nonlinearity 1% | 19.6~25.68                      | 4.22~21.72                     | 6.51~31.83                      |
| Minimum THD                              | 3.75%                           | 2.92%                          | 4.85%                           |
| Phase noise @ 1MHz offset frequency      | -85.7dBc/Hz                     | -105.2dBc/Hz                   | -108.9dBc/Hz                    |

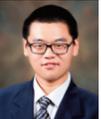
#### IV. 결론

OTA-C 능동 인덕터를 이용한 LC-동조형 사인파 전압-제어 발진기들을 기술하였다. 이 VCO들의 인덕터는 온도 안정한 OTA와 접지된 커패시터로 구현된다. 이 VCO들의 특징은 직류 바이어스 전류로 발진 주파수를 선행적으로 제어할 수 있다는 것이다. 그 외에도 이 VCO들은 발진기 동조영역 내에서 우수한 주파수 안정성과 비교적 일정한 진폭을 나타내는 특징을 가진다. 따라서 이 VCO들은 센서신호 처리용 계측·제어 시스템에서 다양하게 응용될 수 있을 것이다.

#### 프로필



정 원 섭 교수  
 청주대학교 반도체공학과 회로연구실  
 주 연구분야: 전류모드 아날로그 신호처리, 센서 신호처리  
 E-mail : circuit@cju.ac.kr



상 지 항 석사과정  
 청주대학교 전자공학과 회로연구실  
 주 연구분야: 아날로그 집적회로, 센서 신호처리 회로  
 E-mail : shangzhiheng@gmail.com

#### 참고문헌

- [1] W.-S. Chung and K. Watanabe, "A Linear Temperature-to-Frequency Converter Using An Integrable Colpitts Oscillator," IEEE Trans. Instrum. Meas., vol. IM-34, no. 4, Dec. 1985
- [2] W.-S. Chung and K. Watanabe, "A Temperature Difference-to-Frequency Converter Using Resistance Temperature Detectors," IEEE Trans. Instrum. Meas., vol. IM-39, no. 4, Aug. 1990.
- [3] A. B. Grebene, Bipolar and MOS Analog Integrated Circuit Design, ch. 11, John Wiley and Sons, 1984.
- [4] A. Rodriguez-Vazquez, B. Linares-Barranco, J. L. Huertas, and E. Sanchez-Sinencio, "On the design of voltage-controlled sinusoidal oscillators using OTA's," IEEE Trans. Circuits Syst., vol. CAS-37, pp. 198-211, Feb. 1990.
- [5] W.-S. Chung, and S.-H. Son, "A LC-Tuned Sinusoidal VCO Using Temperature-Stable Linear OTAs," 한국정보기술학회논문지, vol. 10, no. 12, pp. 25-31, Dec. 2012.
- [6] W.-S. Chung, S.-H. Son and H.-S. Kim, "Colpitts VCO using temperature-stable linear OTAs," IEICE Electronics Express, vol. 10, No.13, pp. 1-9, July 2013.
- [7] S.-R. Jeong and W.-S. Chung, "Hartley-VCO using Linear OTA-based Active Inductor," 한국전기전자학회논문지, vol. 19, No.4, Dec. 2015.
- [8] W.-S. Chung and H.-W. Cha, "Bipolar linear transconductor," Electron. Lett., vol. 26, pp. 619-620, May 1990.
- [9] W.-S. Chung, K.-H. Kim, and H.-W. Cha, "A linear operational transconductance amplifier for instrumentation applications," IEEE Trans. Instrum. Meas., vol. 41, No. 3, pp. 441-443, June 1992.
- [10] W.-S. Chung, H.-W. Cha, and S.-H. Son "A Low-Voltage Low-Power Bipolar Transconductor with High-Linearity," IEICE Trans. Fundamentals, vol.E88-A, no.1, pp. 384-386, Jan. 2005.
- [11] Alldatasheet. "http://www.alldatasheet.co.kr/"

# Xilinx 사 Vivado Design Suite HLx Editions

## A. 목적

다중 노드 FPGA 28nm (7-Series), 20nm (UltraScale), 16nm (UltraScale+) 및 All Programmable SoC & MPSoC (Zynq-7000) 소프트웨어와 하드웨어 설계, 구현 그리고 검증 소프트웨어 툴

## B. 구분

Vivado Design Suite는 차세대 설계 환경의 C/C++와 IP 기반 설계의 최고 생산성을 추구하는 새로운 설계 방안을 제공한다. 새 HLx 에디션은 HL System Edition, HL Design Edition, HL WebPACK Edition의 세 가지 툴을 제공한다.

## C. 지원 플랫폼, 운영 체제

- Windows
- Linux

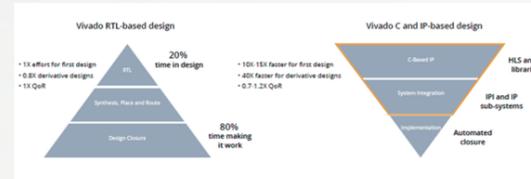
## D. 특성 및 기능

- 다중 노드 FPGA 28nm (7-Series), 20nm (UltraScale), 16nm (UltraScale+) 및 All Programmable SoC & MPSoC (Zynq-7000) 소프트웨어와 하드웨어 설계, 구현 그리고 검증

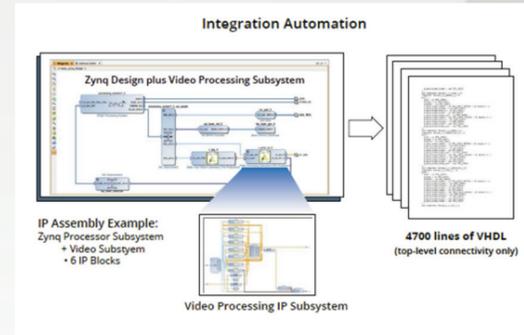
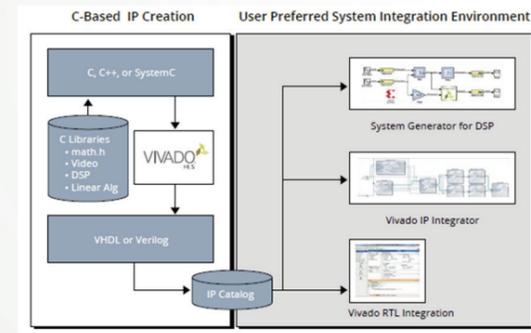
- C언어 기반 FPGA 설계, 재사용 목적의 최적화, IP 서브 시스템 재사용, 설계 통합 자동 작업 및 설계 완성을 위한 툴 및 방법론을 설계 지원팀 운영



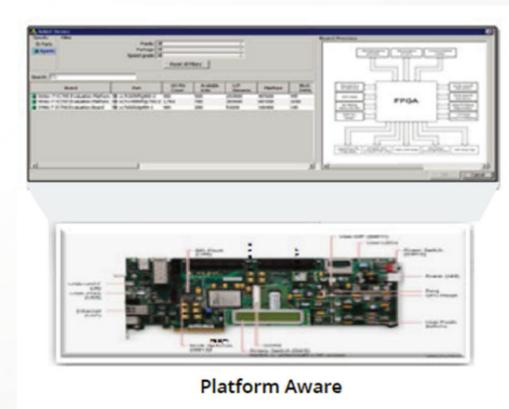
- 상위 수준 설계 가속화 (Accelerating High Level Design)
  - 소프트웨어 정의 IP 생성: Vivado High-Level Synthesis
  - 블록 단위 IP 통합 작업: Vivado IP Integrator
  - 모델 기반 DSP 설계, 통합: System Generator for DSP



- 검증 가속화 작업 (Accelerating Verification)
  - Vivado Logic Simulation
  - Integrated Mixed Language Simulator
  - Integrated & Standalone Programming and Debug Environment
  - C/C++ 혹은 SystemC 기반 Vivado HLS의 100배 이상의 검증 작업 가속
  - IP 서브 시스템 재사용 및 통합 작업 자동화



- 구현 가속화 (Accelerating Implementation)
  - 4배 이상의 빠른 구현
  - 20% 이상의 설계 집적도
  - 3가지 속도와 전력 소모 장점의 FPGA 제공: Low-End, Mid-Range, High-End
- 플랫폼 생성과 재사용
  - Vivado Design Suite는 FPGA만 인식하는 것이 아니라 목적 플랫폼도 인식한다. 목적 플랫폼 인식에 의해 Vivado는 HW 보드를 구성하며 보드와 밀접한 Design Rule Check를 수행하여 목적 플랫폼 동작하도록 한다.



회사명 : Xilinx  
 웹 주소 : <http://www.xilinx.com/>  
 한국지사 : (07345) 서울시 영등포구 63로 50  
 대한생명 63빌딩 13층 Xilinx Korea  
 전화 : 02) 3144-0249



# 국내반도체 산업과 ISOCC의 동반 성장을 꿈꾸며

• ISOCC 2015 Review

## 학회의 학술프로그램 - 학술프로그램이 학술대회의 얼굴이다.

‘패션의 완성은 얼굴’이라는 말이 있다. 이 말이 맞는지는 모르겠으나, 학술대회의 완성은 단연 학술프로그램을 통하여서다. ISOCC 2015의 학술프로그램은 튜토리얼, IDEC의 도움으로 완성도가 커진 Chip Design Contest, 키노트스피치, 구두 및 포스터 논문, 스페셜세션 등으로 진행되었다. 이 모든 학술프로그램이 ‘SoC for Internet of Everything (IoE)’라는 주제로 묶여 현재의 기술발전 흐름에서 반도체 설계인이 고민하게 되는 부분을 모여 논의하는 자리로 이어졌다.

우리나라에서 국제학술대회를 개최한다면, 외국인에게 강점으로 부각될 수 있는 부분은 서울을 비롯한 역동적인 도시의 모습, IT분야에서 성공을 거두고 있는 기업들의 know-how, 각 연구실의 독창적인 연구성과라고 할 수 있다. ISOCC 2015는 이러한 강점을 최대한 부각하고자 노력하였다. 세계시장을 선도하는 기업의 연구내용과 know-how를 소개하는 측면에서 기업과 산학연구가 활성화된 대학에서 튜토리얼을 맡도록 하였다. 3건은 산업체, 1건은 산학협력 대학에서의 발표로 4개의 튜토리얼이 학술대회의 첫 날인 11월 2일에 진행되었다.

(1) 삼성전자 신영민 마스터의 ‘Design Technologies for Application Processors’, (2) 삼성전자 박재진 마스터의 ‘Fundamentals of Low Noise Lock-in Amplifiers’, (3) 동부하이텍 하만륜 박사의 ‘CMOS Image Sensor and Its Noise’, (4) 한양대학교 송용호 교수의 ‘Cosmos OpenSSD Controller Design: Hardware and Software’로 총 4개의 튜토리얼이 많은 참석자를 대상으로 개최되었다. 튜토리얼은 모든 학회 참가자에게 무료로 개방되어 국내외 많은 교수, 학생 및 연구원의 참여를 유도하였다.

ISOCC (International SoC Design Conference)는 매년 국내에서 열리는 반도체 설계 분야의 국제학술대회이다. 아날로그 및 디지털 설계 등 반도체 설계에 대한 모든 분야를 다루고 있어 다양한 주제에 대한 연구 내용이 발표된다. 인원 면에서 매년 400명 이상이 참석하고 있어 대회로서도 큰 규모를 자랑하고 있으며, 반도체를 전공하는 대부분의 교수, 학생 및 연구원이 참가하는 반도체인의 축제로 자리잡고 있다.

2015년에는 경주 현대호텔에서 11월 2일부터 5일까지 개최되었다. 예년의 행사와 마찬가지로 올해의 행사도 반도체 설계와 관련한 많은 분들이 조직위원으로 수고를 하셨으며, IDEC에서는 Chip Design Contest로 참여하여 더욱 대회를 풍성하게 하였다. 또한, 시스템반도체 총괄 워크샵이 동시에 개최되어 보다 많은 분들이 학회에 참석할 수 있는 계기가 되었다.



ISOCC 2015 홈페이지 ([www.isocc.org](http://www.isocc.org)).  
경주의 대표적인 전경인 안압지와 불국사의 가을 모습을 메인 배경을 채택하였다.



삼성전자 박용인 전무의 키노트스피치를 통한 생체신호 모니터링 솔루션

11월 4일 개최식에 이어 바로 진행된 키노트스피치는 학회의 가장 중요한 부분의 하나이다. (1) 삼성전자 박용인 전무의 Smart Healthcare - semiconductor help people and save lives’, (2) Synopsys President Chi-Foon Chan의 ‘IoT: New Requirements from Silicon to Software’, (3) 일본 Keio University Tadahiro Kuroda 교수의 ‘Near-Field Coupling Integration Technology for Internet of Things’, (4) 캐나다 Polytechnique Montreal Mohamad Sawan 교수의 ‘Toward Brain-Machine-Brain Interfaces for the Treatment of Neurodegenerative Diseases’, (5) 중국 Tsinghua University Zhihua Wang 교수의 ‘Wearable Devices - Wireless Transceiver for Implantable Medical Application’로 총 5편이 발표되었다.

제목에서도 볼 수 있듯 반도체의 헬스케어에 대한 응용이 상당히 많은 점이 눈에 띄며, 이 분야에 대한 다양한 연구가 소개되었다. 삼성전자 박용인 전무의 경우 반도체를 이용하여 제작된 생체신호 측정 모듈을 소개하여 청중으로부터 많은 관심을 받았으며, Chan 사장은 IoT를 위한 반도체 기술을 소개하였다. Kuroda 교수는 3D 인테그레이션을 가능하게 하는 회로기술을 인덕터를 이용하여 구성했으며, Sawan 교수는 뇌에 관련된 질병의 진단과 치료를 위한 반도체 기술을, Wang 교수는 IoT를 이용한 다양한 implantable 소자에 대한 내용을 주제로 강연하였다.



캐나다 Polytechnique Montreal Sawan 교수의 키노트스피치



ISOCC에는 15편의 초청논문과 40편의 스페셜세션 논문을 포함하여 일반 기어 논문 304편이 접수 되었다. 3명의 리뷰어에 의한 논문심사를 거쳐 약 39%인 359편 만이 채택되어, 총 117편이 구두 및 포스터 로 발표되었다. 여기에 초청논문과 스페셜세션 논문을 더하면 총 172편으로, 이 중 구두발표는 112편, 포스터 발표는 60편이었다. 구두 및 포스터 발표 이외에도 ISOCC의 소중한 전통인 칩 디자인 컨테스트 (Chip Design Contest) 에도 많은 데모와 패널발표가 있었다. ISOCC 2015에서의 논문은 총 14개국에서 기여하였고, 구두 논문 발표 중 외국인 발표는 약 50.9%가량으로 명실상부한 국제학술대회로서의 면모를 갖추었다.



Technologies for Sports 스페셜세션에서 발표하는 D. Anzaldo (Maxim Integrated)

이번 ISOCC 2015의 특징은 키노트스피치와 더불어 초청논문을 많이 늘린 것이었다. 국내외의 연구실에서 연구된 새로운 연구 내용을 담당 교수가 직접 발표하여 연구결과를 알리며 청중과 교류하는 시간으로 이어졌다. 참여한 초청논문 발표자는 국외 7분, 국내 8분으로 구성되어 학회를 학문적으로 더욱 풍성하게 만드는데 크게 기여하였다.

7개의 스페셜세션은 (1) Solutions for Mobile and Normally-off Computing Systems (Keio University), (2) SIC2015 Project - Vision/Multimedia SoC, (3) Design, Analysis and Tools for Integrated Circuits and Systems(DATICS) (Xi'an Jiaotong-Liverpool University), (4) SIC2015 Project - Mobile/Automotive SoC, (5) Advanced Silicon Based RF and mm-Wave Circuit Designs (Singapore University of Technology and Design), (6) Neuromorphic Devices, Circuits and Systems, (7) Technologies for Sports 로 국내외의 연구진에 의하여 조직되었다.

스페셜세션을 통해 전통적인 반도체설계 분야의 연구내용을 집중적으로 되돌아 보고 새로운 학문의 확장으로 기여할 수 있는 발판을 마련하고자 했다. 특히, Technologies for Sports는 반도체 기술을 스포츠 영역으로 확대하려는 시도로, 이 분야에서 선도적인 역할을 하는 Maxim Integrated 의 Damian Anzaldo를 초청하여 Maxim Integrated에서의 스포츠 영역 접근에 대한 강연을 들었다. 최근 웨어러블 디바이스를 통해 운동량이 측정 되는 등 다양한 응용이 출현하는 시점이어서 시기적절한 주제로 스페셜세션이 운영되었다.



ISOCC에서 진행된 칩 디자인 컨테스트 (CDC)

### 학회의 소셜 프로그램

경주는 신라의 수도로 우리나라를 소개할 수 있는 관광자원이 많다. 경주는 천년의 고도라는 일상적인 말로 소개할 수 있지만, 이를 곱씹어 보면 천년 동안 한 나라의 수도를 할 수 있다는 점에서 크게 자랑할 만하다. 천년 이상 이어온 나라만 하더라도 몇 되지 않는데, 더더욱 수도를 한 곳에서 할 수 있었다는 데 큰 자부심을 가지게 된다. 다만, 서울에서 상대적으로 멀리 떨어져 있어 국제학술대회 장소로 많이 주목 받아오지 못한 점은 있으나, 최근 KTX 신경주역의 개통으로 서울과 인천국제공항에서의 접근성이 좋아졌다. 특히, 인천국제공항에서 하루 4편의 직행 KTX가 신경주역까지 운행하게 되어 국제학회의 개최지로서 매력에 더해지게 되었다. 경주의 관광자원이 계속 새로운 조명을 받고 있어 중고등학교 수학여행 후 별도로 경주에 다녀오지 않은 분들께는 한 번쯤 방문을 권하고 싶다.

경주를 배경으로 전개된 학회와 경주의 아름다움과 장점을 잘 이용한 여러가지 프로그램이 필수적이라 생각했다. 먼저, 경주까지 오는 분들의 편의를 위해 학회 홈페이지를 통한 자세한 안내와 더불어 신경주역에 안내원을 배치했다. 신경주역에 많은 분들이 도착하는 시간에 셔틀버스를 배치하여 호텔까지의 이동을 편하게 도왔다.

학회 첫날인 11월 2일, 경주가 생소한 외국인들을 대상으로 무료 경주관광을 제공하기로 하고 희망자를 모집했다. 생각보다 많은 분들이 신청을 해 주었고, 이 분들을 대상으로 경주의 기쁨을 즐길 수 있는 기회가 마련되었다. 햇살 좋은 오후 가이드와 함께 불국사, 석굴암, 안압지를 돌아본 관광팀은 경주의 정취가 흥취한 한식당에서 학회장에서 따로 출발한 팀과 저녁식사를 위해 만나게 되었다. 저녁식사 자리에서는 한식과 함께 오랜 친구들처럼 다같이 어울리는 기회를 가졌다. 다만, 중동에서 오신 분들은 음식의 재료에 대해 문의만 하시며 드시지 못하는 것을 보고 나서야 비로소 국제학술대회에서는 음식에 대해 조심해야 할 것을 느끼게 되었다. 중동에서 오신 분들은 술과 육류를 피하는 입장에서 이에 대한 구분이 없는 한식이 불편했겠지만, 내색없이 즐겁게 자리를 지켜주시는 모습에 마음으로부터 크게 감사하게 되었다.



저녁식사 후 호텔로 돌아오는 길에 야경을 구경하기 위해 모두 함께 안압지에 들었다. 학회 홈페이지를 통해 소개 되었지만, 직접보는 야경은 사진과는 또 다른 맛이였다. 밤늦게 도착한 안압지는 학회 참석자 이외에도 많은 방문객으로 또다른 성시를 이루고 있었다. 늦은 시간까지 많은 사람들이 부르는 안압지의 매력은 무엇일까? 천년 이상 경주를 지켜온 안압지는 감동한 하늘과 조명으로 멋을 낸 망루를 한번에 꺼안은 기묘한 대비를 보여주었다. 늦은 밤 어둡고 외로운 곳에서 멀리 화려한 전경을 맞이하며, 오랜 전통과 새로운 기운이 한데 어울리던 곳의 운치와 절경을 함께 느끼고 학회장으로 돌아왔다.

국제학술대회의 개최지로서 경주의 장점은 보문호수변으로 이어지는 대화방이 더한다. 하루의 학회 참석을 마무리하며 정리하는 모임으로는 보문호수의 산책로를 걷다 우연히 조우한 카페에서가 제격이다.

안압지 야경

첫날의 흥겨움은 둘째날인 11월 3일의 학회 만찬으로 이어졌다. 학회만찬을 통하여 여러 학술 행사와 우수 논문의 시상식이 있었고, 3편의 공연을 통해 학회에 참석한 여러 분들과 친구가 되었다. 학술행사를 통해 연구동료를 만나 스스로의 연구역량을 확장하는 과정이 자연스럽게 이루어졌다.



성황리에 진행 중인 학회 공식 만찬



ISOCC 조직위원 여러분

### ISOCC 2015를 정리하며

ISOCC는 올해 12회를 맞았다. 오래 전부터 국내에서 주도하는 국제반도체학술대회의 필요를 느낀 대한전자공학회 SoC 설계연구회의 선각자들께서 씨앗을 뿌린 후 현재 성장 중이다. 지금까지 잘 성장해 왔지만, 이제 열매를 맺을 만큼 더 자라야 한다. 학술대회는 관련된 많은 분들의 열정과 땀으로 자란다. IDEC에 관련된 모든 분들께서 참석하여 논문을 발표하고 싶어하는 학회, 국제 반도체 사회에서 학술적으로 인정받는 학회, 10년 또는 20년 후의 후배들로부터 그때의 반도체 선배들의 노고와 열정을 인정받을 수 있는 학회로 ISOCC가 성장할 수 있도록 많은 분들의 지혜가 필요하다.

### 감사의 글

ISOCC 2015를 준비하는 과정에서 큰 도움을 주신 여러 후원기업 관계자 여러분, 반도체설계 분야의 토양조성과 칩 디자인 컨테스트에 도움을 주신 박인철 IDEC소장님과 먼 길을 출장 와주신 IDEC 여러분, 행사에 적극 도움을 주신 KEIT와 반도체 연구조합, KETI, ETRI 관계자 여러분, ISOCC의 테크니컬 프로그램을 맡으시어 좋은 프로그램을 열매로 맺어주신 UNIST 이윤식 교수님, 신현철 교수님, 이한호 교수님, Yong-Bin Kim 교수님, Chua-Chin Wang 교수님, Kyuwon Choi 교수님, 학회 진행을 맡아 큰 수고를 해 주신 김경기 교수님, 학회 준비를 함께해 주셨던 공준진 마스터님, 최중호 교수님, 김시호 교수님, 엄낙웅 박사님, Kiat Seng Yeo 교수님, Shyh-Jye Jou 교수님과 힘든 일을 자신의 일처럼 도와주신 조직위원 여러분, 좋은 논문을 선별하시느라 수고가 많으셨던 TPC위원여러분께 크게 감사를 드립니다.

여러분 상황에서도 흔쾌히 후원금으로 학회의 버팀목이 되어 주시는 삼성전자, SK하이닉스, LG전자, Synopsys Korea, 서강대학교 STAR과정 등 많은 참여기업 여러분, 어려울 때 조언과 도움을 아끼지 않으셨던 선우명훈 교수님, 김영환 교수님, 조상복 교수님, 최준림 교수님, 윤광섭 교수님, 조경순 교수님, 김희석 교수님, 임신일 교수님, 정항근 교수님, 바쁘신 일정에도 튜토리얼과 키노트스피치 강사, 스페셜세션을 고민해 주신 민경식 교수님, 남병규 교수님, 박중선 교수님, 제민규 교수님, IEEE와의 원만한 협력관계를 유지해 주신 김진상 교수님, 지방에서 계시면서도 꾸준히 모임에 참석해 주시고 학회의 다과 및 안내 학생을 챙기신 강석형 교수님, 문병인 교수님, 심재훈 교수님, 학회 홍보를 위하여 신문사를 발로 뛰신 유창식 교수님, 백광현 교수님, 정진균 교수님, 김중선 교수님, 김형택 교수님, 후원금 모금을 위하여 아는 기업에 일일이 연락해주신 이윤식 교수님, 인치호 교수님, 정연모 교수님, 송민규 교수님, 김동규 교수님, 이혁재 교수님, 학회 출판을 맡아서 수고하신 문용 교수님, 송용호 교수님, 이광엽 교수님, 칩 디자인 콘테스트의 진행을 멋지게 도와주신 조경록 교수님, 김지훈 교수님, 포스터세션의 진행을 맡으신 김태욱 교수님, 김용신 교수님, 남일규 교수님, 실무를 맡으신 대한전자공학회 배기동 차장님, 성원 이주동 사장님과 여러분, 논문으로 학회를 빛나게 해 주시고 직접 참여해 주신 여러 선배, 동료, 후배 교수님과 연구자 분들께 큰 행사가 원만하게 진행 되도록 도와주시어 진심으로 감사드립니다. 일일이 감사를 드려야 할 너무도 많고 소중한 도움의 손길들을 잊지 않으며, 함께 수확한 값진 열매를 앞으로 더 잘 키워가야 하겠습니다. 감사합니다.



범진욱 교수  
서강대학교 전자공학과  
E-mail : burm@sogang.ac.kr