

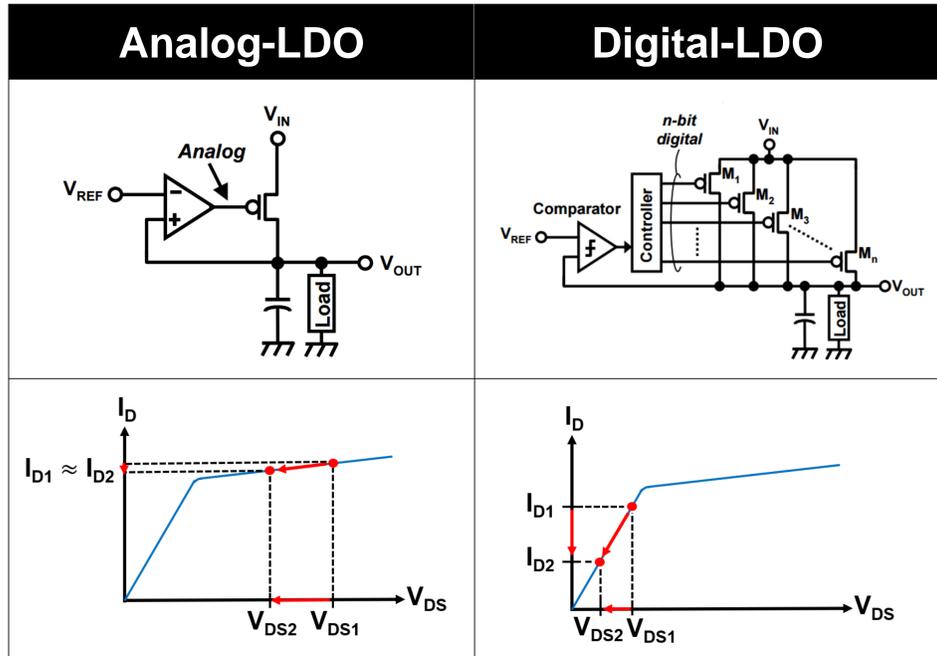


## Analysis of Digital LDO Characteristics Based on the number of DPG bits

Dong-Chan Lee, Seung-Ju Lee and Se-Un Shin

Pohang University of Science and Technology (POSTECH), Korea

### Introduction



[Analog-LDO]

- Operation Region: Saturation

→ Low  $V_{DD}$  →  $V_{DS}$  Guarantee ☹️

[Digital-LDO]

- Operation Region: Triode

→ Low  $V_{DD}$  →  $V_{DS}$  Guarantee 😊

### Simulation Results

64 Bits

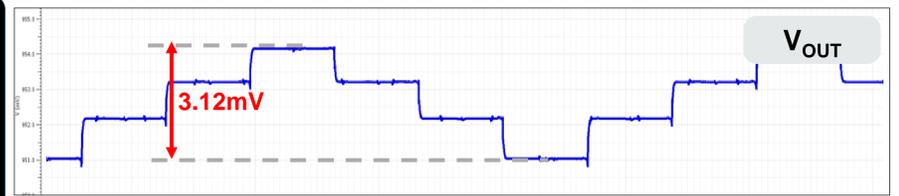


Fig.1 Post simulated steady-state waveform of  $V_{OUT}$  ( $V_{REF} = 0.95V$ )

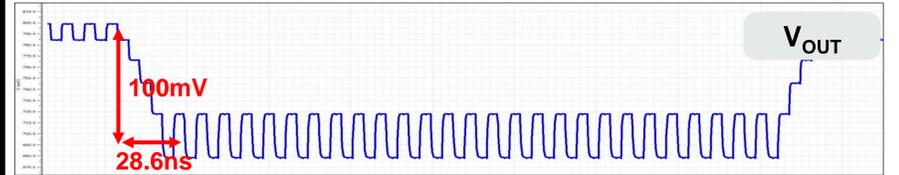


Fig.2 Post simulated waveform of DVS ( $V_{REF1} = 0.7V$ ,  $V_{REF2} = 0.8V$ )

128 Bits



Fig.3 Post simulated steady-state waveform of  $V_{OUT}$  ( $V_{REF} = 0.95V$ )

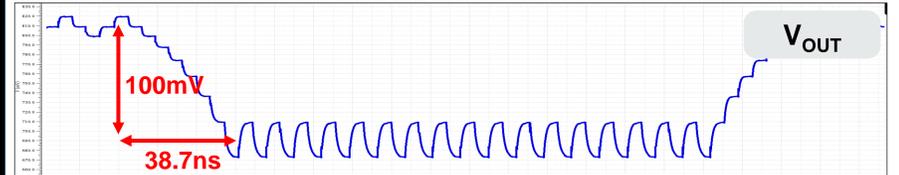
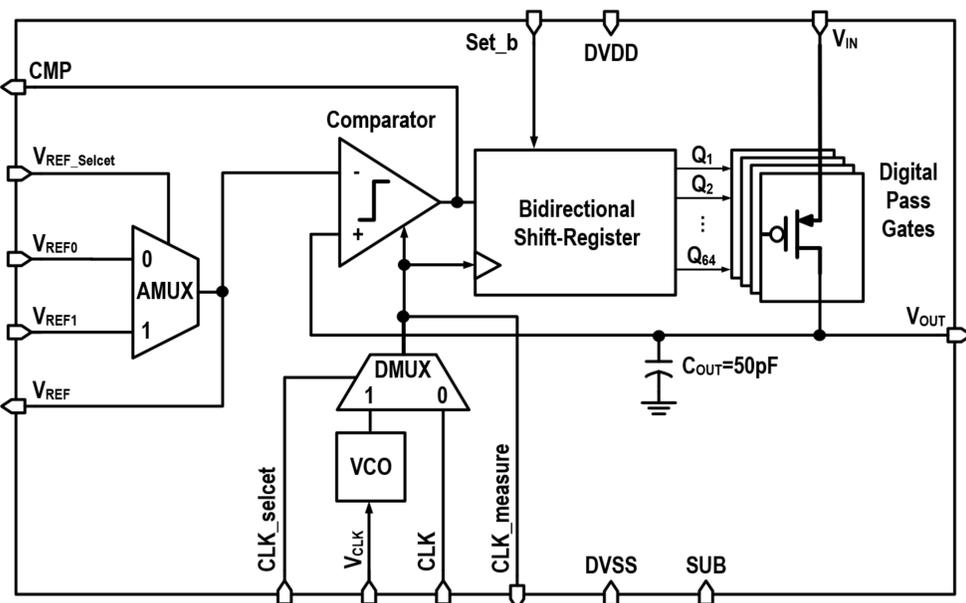


Fig.4 Post simulated waveform of DVS ( $V_{REF1} = 0.7V$ ,  $V_{REF2} = 0.8V$ )

### Schematic

#### Functional Block Diagram



#### Performance Optimization based on # of bits and unit size of DPGs

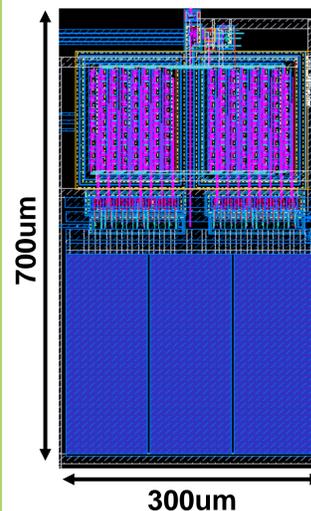
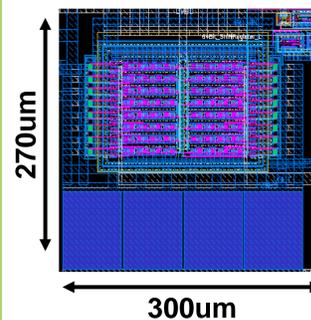
[64-bits Digital LDO]

: For fast DVS performance & small chip area

[128-bits Digital LDO]

: For maximum  $I_{OUT}$  & small  $V_{OUT}$  ripple

### Conclusion



<64Bits>	Schematic	Post sim.
DVS (< 5us/V)	0.17us/V	0.29us/V
Power $\eta$ (> 85%)	94.50% ( $I_Q = 267\mu A$ )	94.10% ( $I_Q = 481\mu A$ )
$V_{OUT, MAX}$	0.95V	0.928V
$I_{LOAD, MAX}$	$1.81mA \times 64$ = 115mA	$1.11mA \times 64$ = 70.78mA
$V_{OUT}$ Ripple	9.16mV	3.12mV
$C_{OUT}$	50pF	
$F_{SW}$	125MHz	
Area	0.081 mm <sup>2</sup>	

<128Bits>	Schematic	Layout
DVS (< 5us/V)	0.23us/V	0.39us/V
Power $\eta$ (> 85%)	94.41% ( $I_Q = 313\mu A$ )	94.03% ( $I_Q = 517\mu A$ )
$V_{OUT, MAX}$	0.95V	0.927V
$I_{LOAD, MAX}$	$1.35mA \times 128$ = 174mA	$0.96mA \times 128$ = 123.21mA
$V_{OUT}$ Ripple	7.67mV	2.42mV
$C_{OUT}$	150pF	
$F_{SW}$	125MHz	
Area	0.21 mm <sup>2</sup>	

#### <Acknowledgement>

본 연구는 IDEC에서 MPW를 지원받아 수행하였습니다.

이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (RS-2023-00219443)

본 연구는 Glocal 30 University Project (2회/년)의 지원을 받아 수행하였습니다.

이 논문은 2022년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구임 (No.2022-0-00720, 차세대 초고속 저궤도 위성통신을 위한 W밴드 컴팩트-고효율-신개념 RF/전력 핵심 부품 개발)

이 성과는 2025년도 정부(산업통상자원부)의 재원으로 한국산업기술진흥원의 지원을 받아 수행된 연구임(RS-2024-00401466, 2025년 산업혁신인재성장지원사업)

본 연구는 한국산업기술평가관리원을 통해 산업통상자원부의 산업기술혁신사업 (RS-2022-00154983, 저전력 센서와 구동을 위한 자립형전원 센서 플랫폼 개발)의 지원을 받아 수행되었습니다.