



Low-Power Voltage Regulator with Adaptive Feedback Speed Control for High Voltage Energy Harvesting System

Wonil Seok and Minseob Shim

Department of Electronic Engineering, Gyeongsang National University

Introduction

- 최근 각광받는 Triboelectric Nano Generator(TENG)와 Piezoelectric Energy Harvester(PEH)는 고전압이나 저전류인 특성을 가지며 이를 효과적으로 활용하기 위해서는 저전력 설계 및 특성에 알맞는 전력관리회로가 필수적임.
- 하지만 기존 전력관리 시스템의 경우 배터리나 커패시터가 완전 방전 되었을 때 start-up에서 하베스터의 출력을 직접적으로 배터리에 연결하여 회로 구동에 필요한 에너지를 충전하기까지 오랜 시간이 걸리며, switched-capacitor(SC) converter는 스위칭 손실이 크고, inductive converter는 낮은 주파수일수록 큰 인덕터를 요구한다는 문제점이 있음.
- 이러한 문제를 해결하기 위해 디지털 제어 루프와 Constant Energy-per-cycle Ring Oscillator (CERO) 기반 delay cell로 구현된 Edge-Pursuit Comparator (EPC)를 이용한 resistive voltage regulator를 제안함.

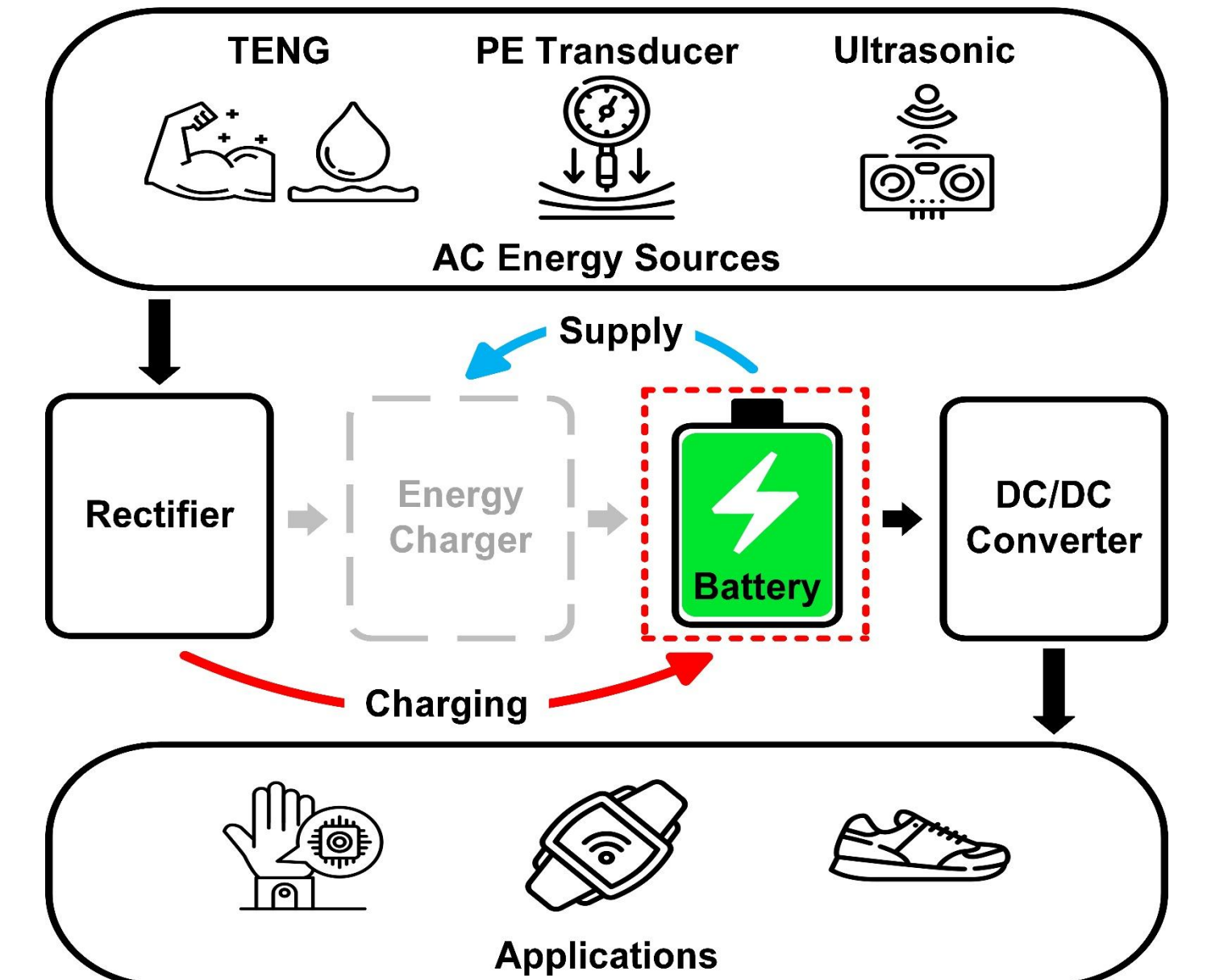


Fig. 1 Conventional energy harvesting power management system start-up.

Problems of the conventional circuit

- TENG과 PEH는 고전압과 저전류의 특성을 가지므로 Maximum Power Point (MPP) 가 매우 높음.
- 하지만 DC-DC converter의 제어 회로의 전원은 5 V 이하이기 때문에 배터리를 제어 회로의 전원으로 사용하게 되며, 배터리가 완전 방전된 후의 start-up에서 MPP가 아닌 지점에서 충전이 진행되어 시간이 오래 걸림.
- 이를 해결하기 위해 완전 집적이 가능한 SC converter를 활용하지만 이는 고전압 스위치 소자의 잦은 스위칭 동작이 소비 전류를 커지게 함.
- 또한 EPC는 delay cell의 특성상 기준 전압을 supply voltage의 절반으로 설정해야 하며, 소비 전류 감소를 위해 기준 전압을 낮추게 될 경우 비교 전압 차이에 따른 오실레이션 횟수 차이가 크지 않은 문제가 있음.

Simulation results

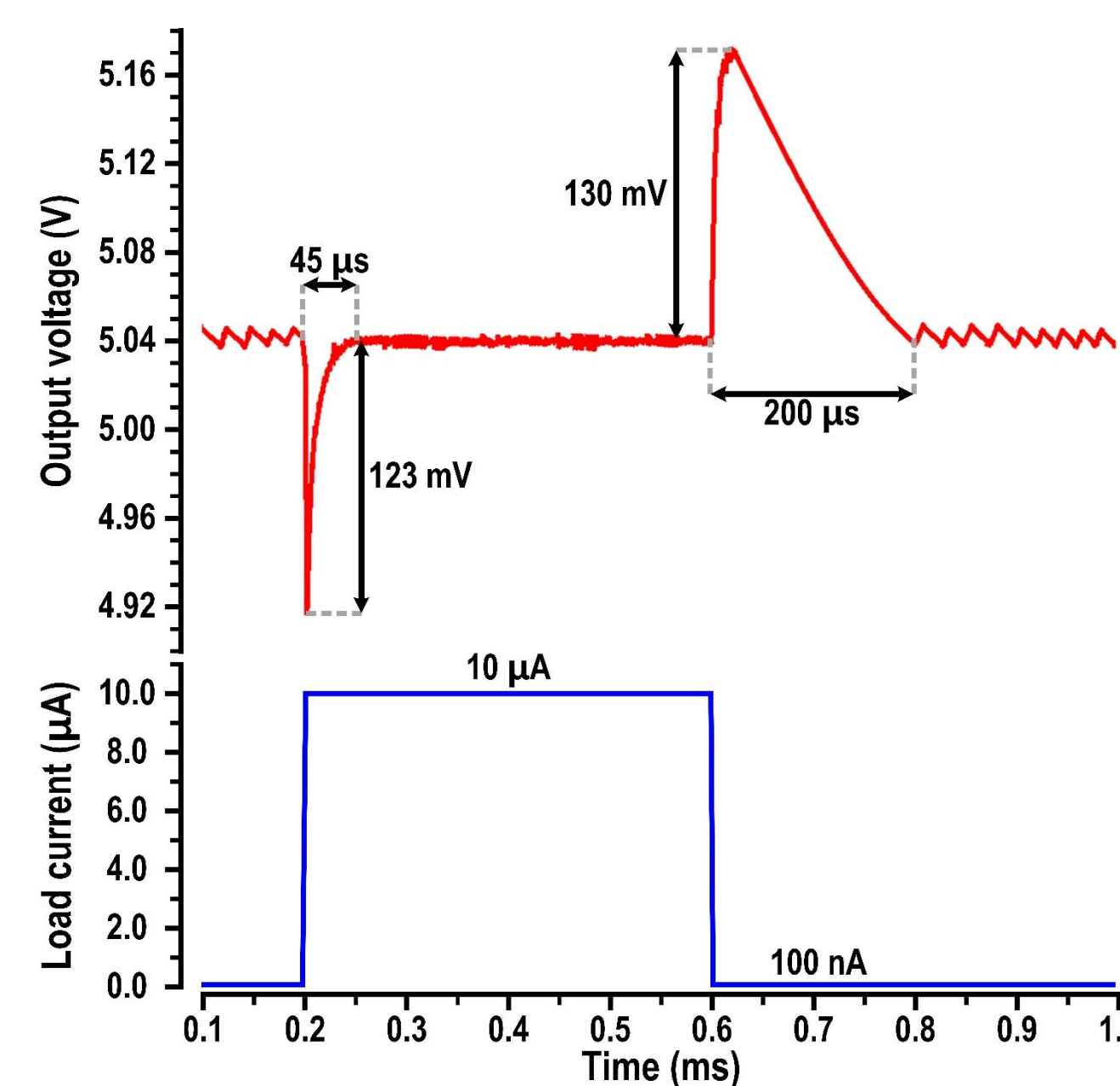


Fig. 4 Simulation results of load transient response

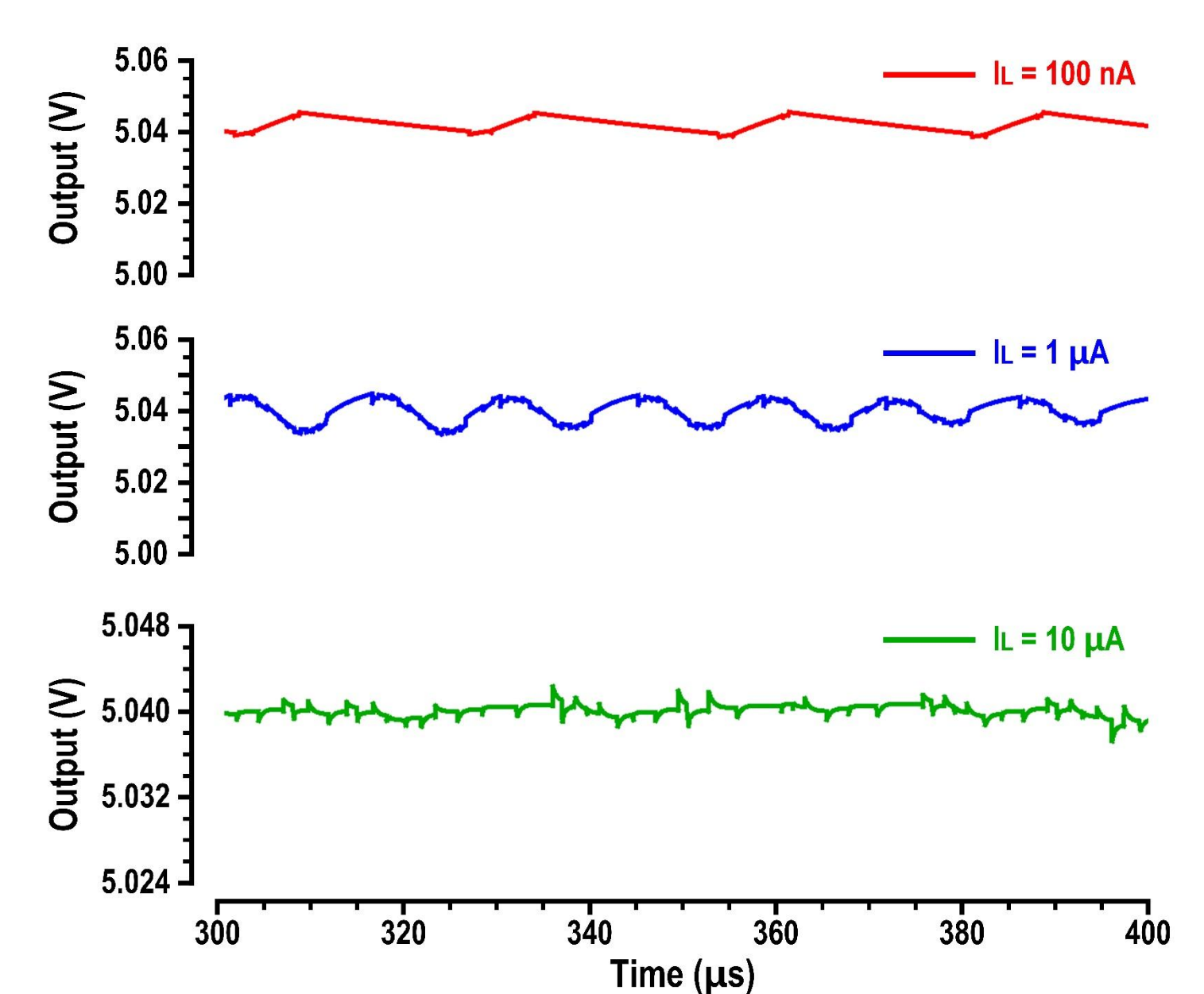


Fig. 5 Output ripple depending on load current.

Proposed circuit design

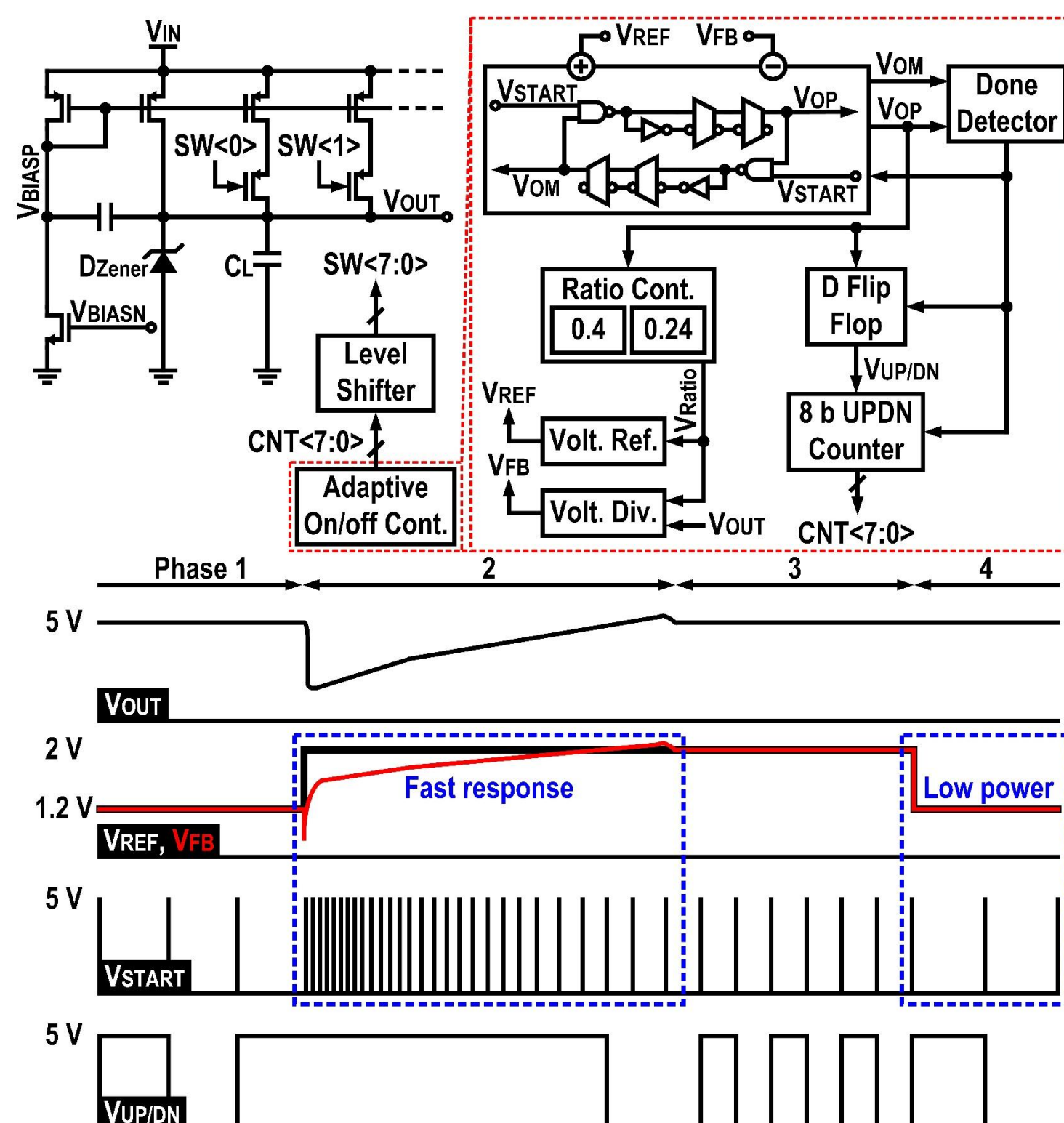


Fig. 2 Proposed low power voltage regulator and operation.

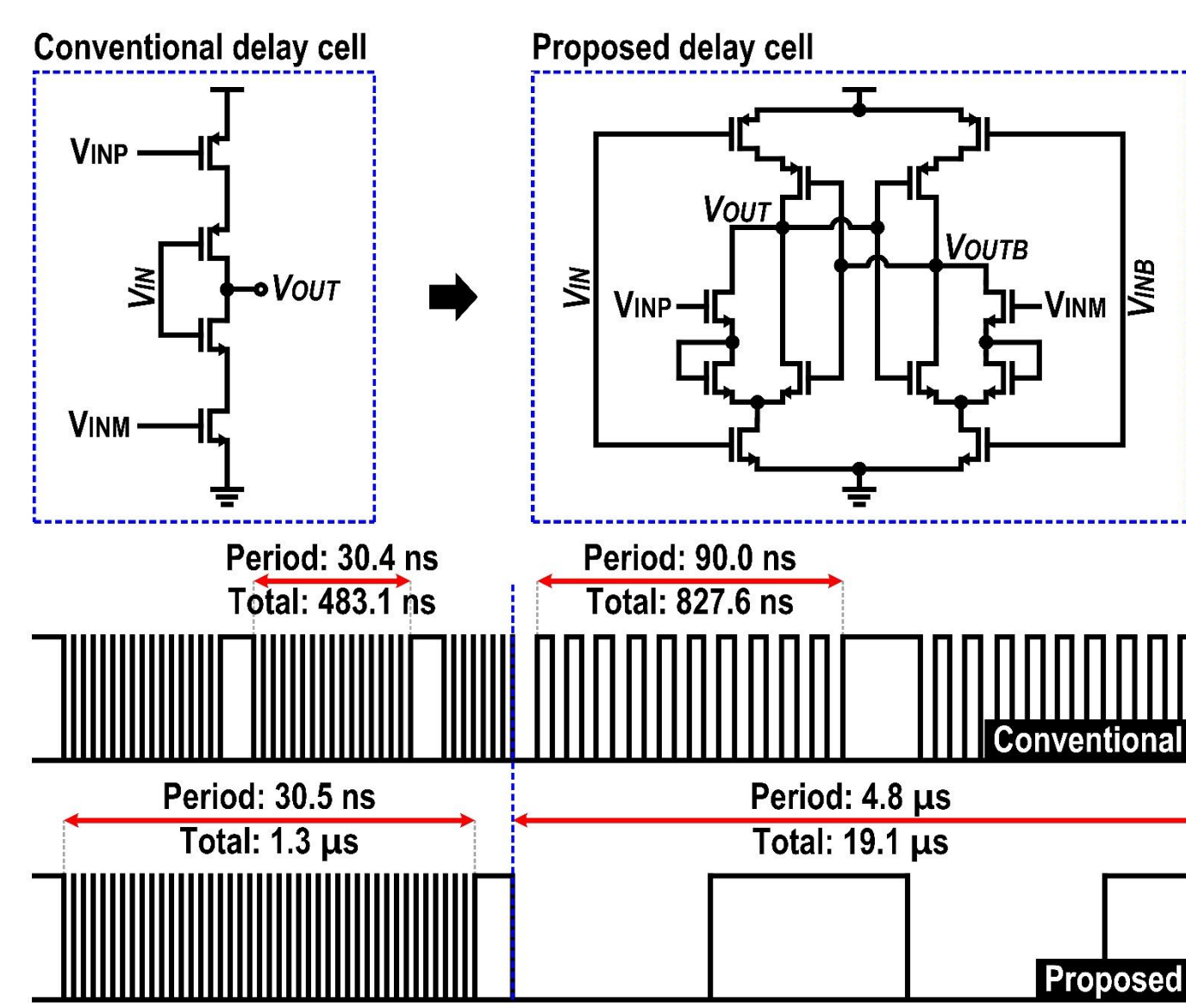


Fig. 3 Proposed delay cell and comparison with conventional delay cell.

Fig. 1은 제안하는 회로를 나타내며 동작은 다음과 같이 이루어짐.

Phase 1: normal condition

Phase 2: load current의 증가로 급격한 dropout 발생

Phase 3: 출력 전압이 목표 전압에 가까워져 구동 속도가 느려짐

Phase 4: 일정 사이클 유지 시 저전력 모드로 변환

Conclusion

- 제안하는 회로는 제너 다이오드와 전류원으로 구성된 간단한 전압 레귤레이터와 능동적으로 구동 주파수를 조절하는 피드백 루프로 이루어져 있으며 전압이 레귤레이션 된 이후 일정 횟수가 지나면 저전력 모드로 동작하기 위해 기준 전압과 피드백 전압의 dividing ratio를 줄이게 됨.
- 기존 회로와 비교했을 때 제안하는 회로는 response time이 긴 편이나, quiescent current가 매우 작다는 장점을 가지며 입력전원을 직접 활용하므로 빠른 start-up이 가능함.

Acknowledgement

본 연구는 IDEC에서 MPW와 EDA Tool을 지원받아 수행하였습니다.

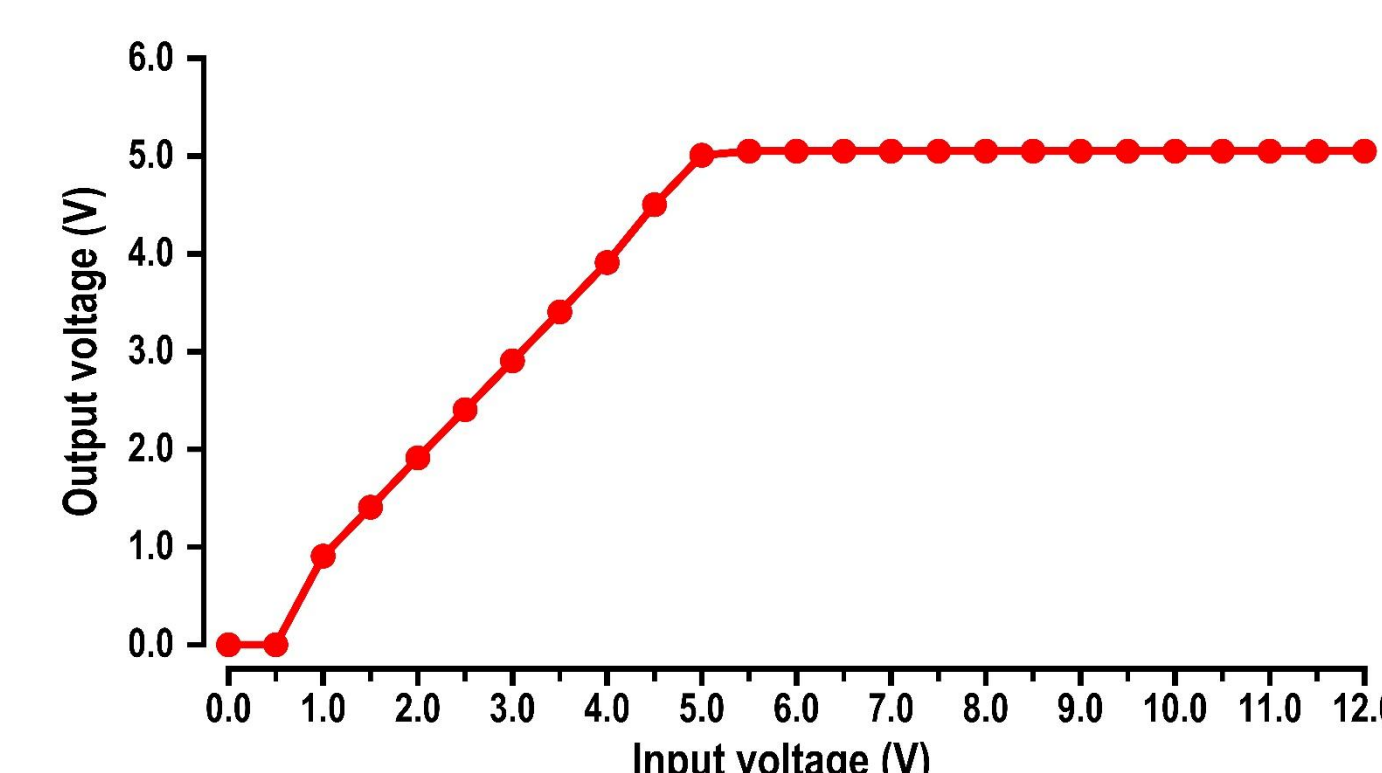


Fig. 6 Simulation results, (a) line regulation, (b) load regulation

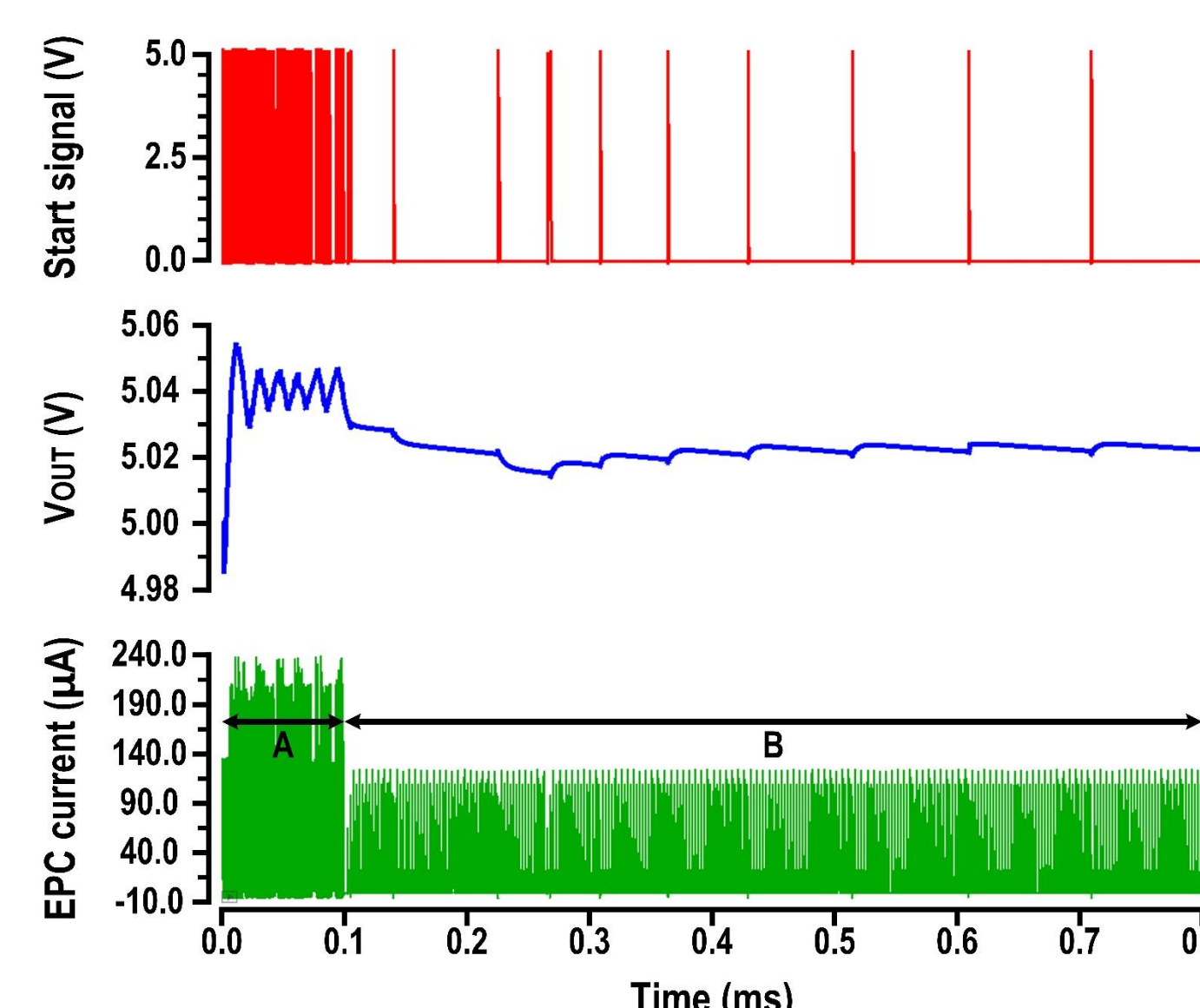
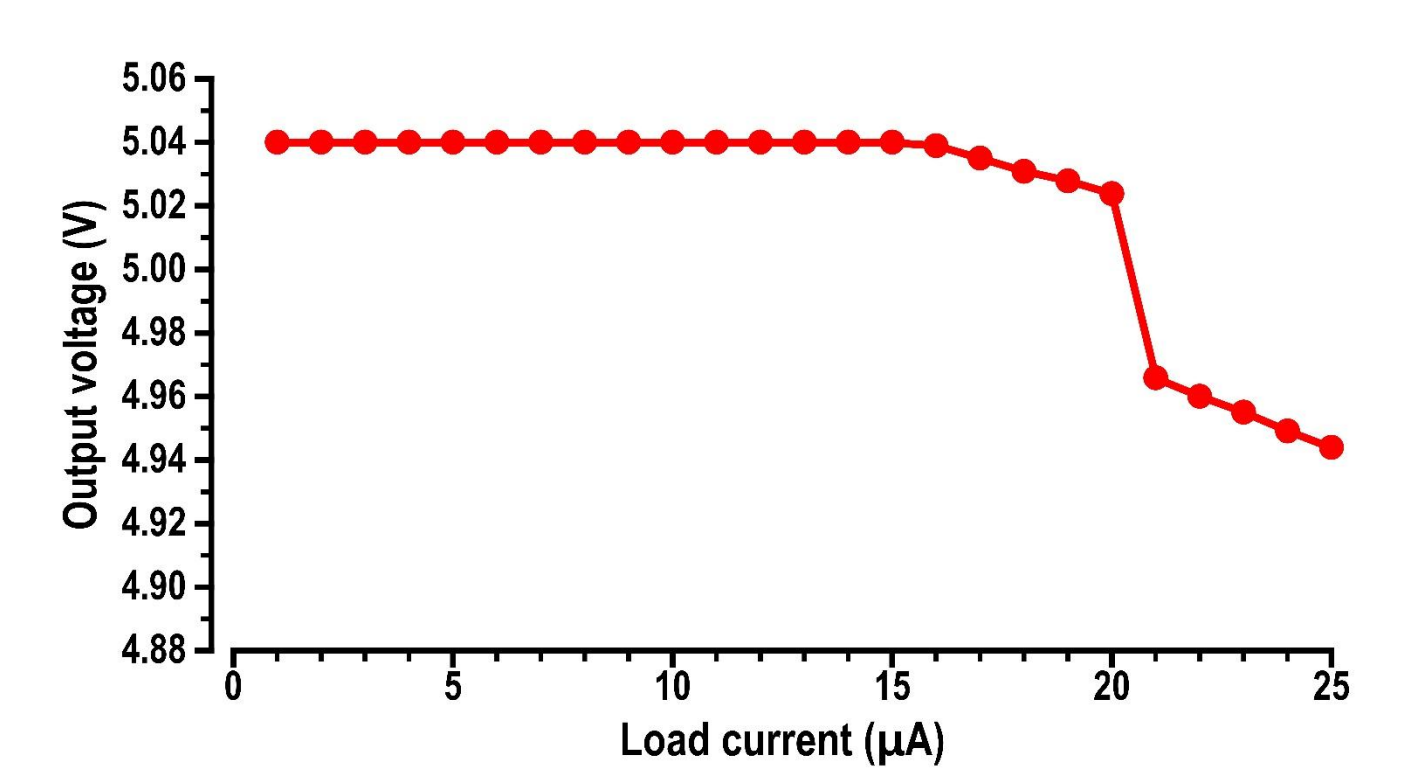


Fig. 7 Simulation results depending on V_{REF} and dividing ratio.

Table 1. Performance summary of proposed voltage regulator and comparison with previous LDO regulators.

Parameter	This work	JEIE'24	JSSC'20	L-SSC'19
Technology (nm)	180	180	180	65
V_{IN} (V)	5.05-12	1.1-3	2-5.5	0.5-1.0
V_{OUT} (V)	5.02	1	1.5-5.25	0.45-0.95
V_{DO} (mV)	30	100	178	50
$I_{LOAD,max}$ (mA)	0.02	50	250	25
Quiescent current (μA)	0.004	0.632	5.6-35.6	25-127
C_L (pF)	100	3	2200	100
Load regulation (mV/mA)	800	0.06	0.112	0.072
Overshoot/Undershoot (mV)	130/123	162/178	28.7/36.36	28/47
Response time (μs)	200	5	6.1	1.2

Fig. 6에서 section A와 B는 각각 fast response와 low power mode를 나타냄. A에서는 $V_{REF} = 2.0$ V, 평균 EPC 전류는 14.85 μA , offset 전압은 40 mV, EPC output period는 30.5 ns이고, B는 순서대로 1.2 V, 99 nA, 20 mV, 4.8 μs 임.