

# Blue Pearl Software 사 SDC Generation

**A. 목적 :** Reducing iterations in the flow (Timing closure faster & Minimizing design risk)

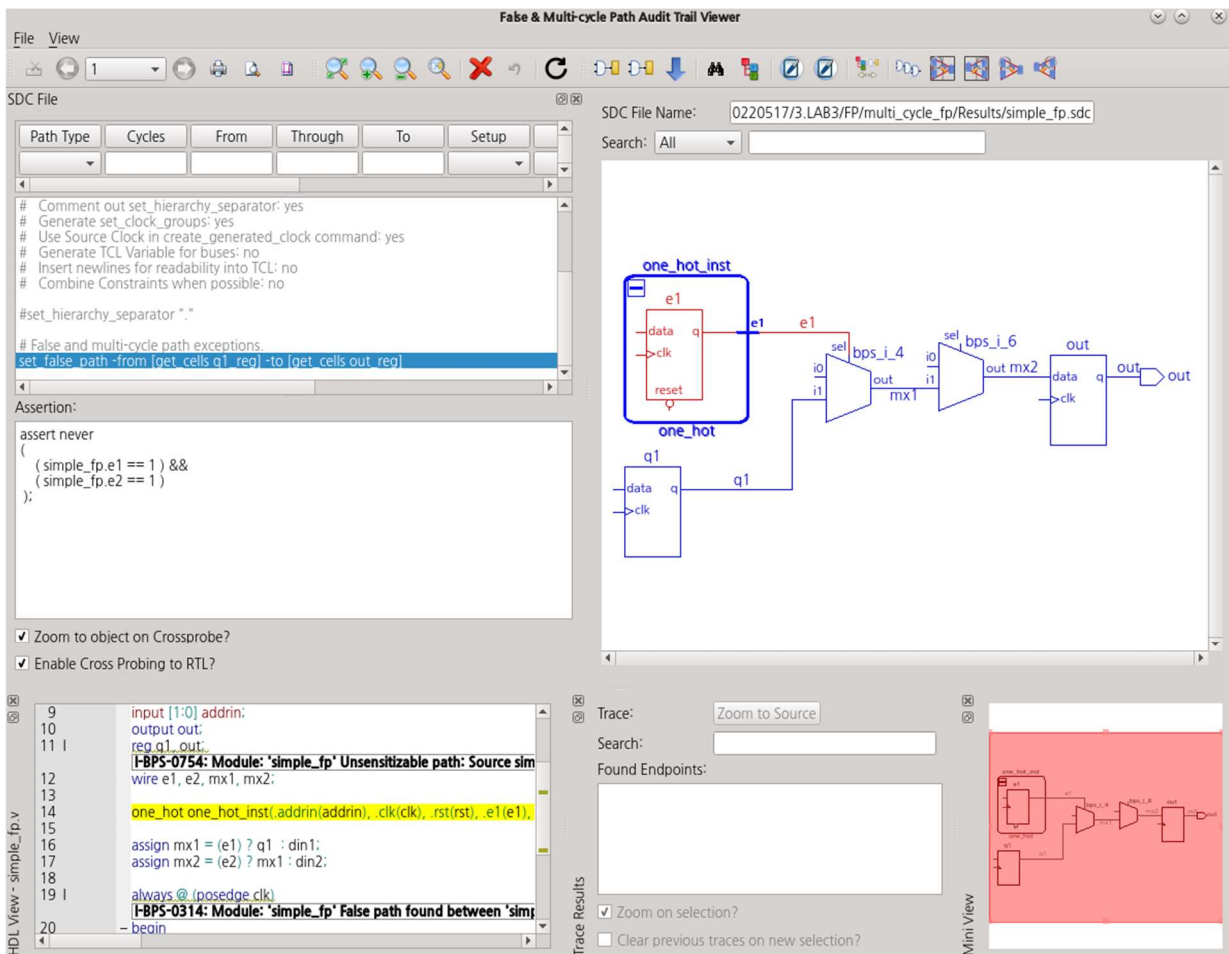
**B. 구분 :** Identifying false and multi-cycle paths from RTL and exporting SDC timing constraints for SVA or PSL assertions for verification

**C. Supported Platform and O/S System**

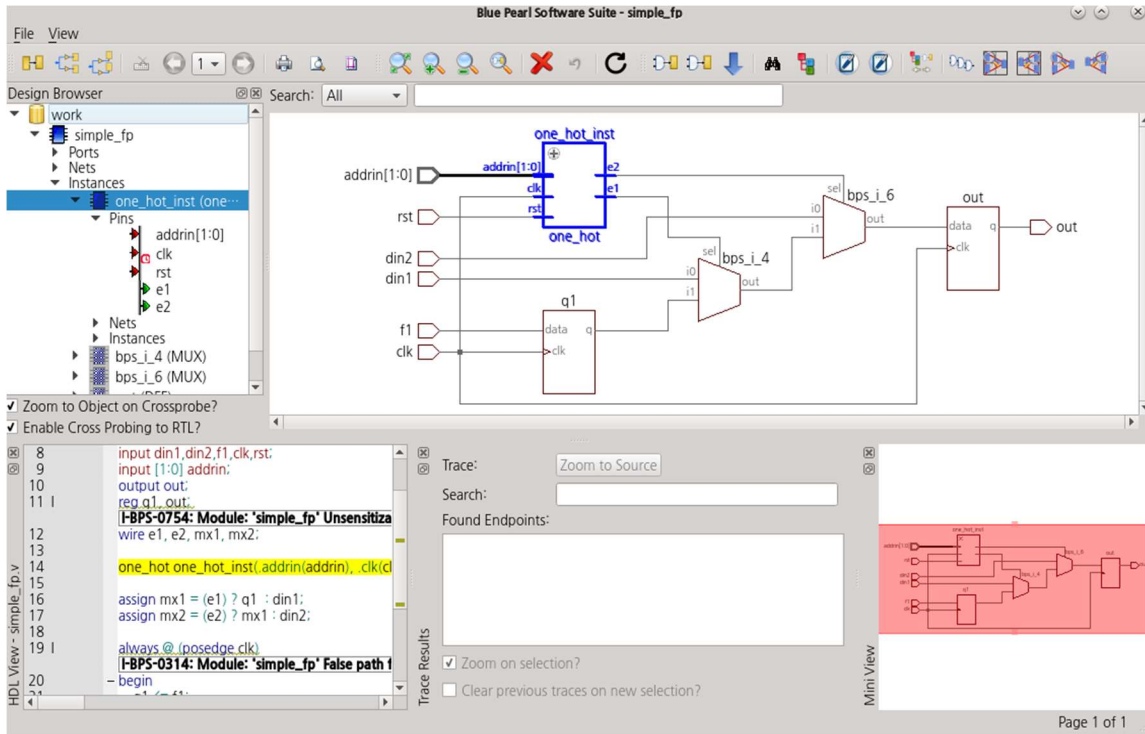
- RHEL 6, 7, 8 (64 bit)
- Windows 7, 8.1, 10 (64 bit)

**D. 특성 및 기능**

- FSM 검증 및 Behavior Analysis를 위한 도식화 기능 제공
- False path 및 Multi-cycle Path에 대한 단계적 분석 도구 제공
- CDC 분석 시 Timing Exception을 고려하여 SVA or PSL assertion 구현을 위한 Timing Constraint 파일 (SDC 파일) 자동 생성



SDC 파일을 이용한 False path 및 Multi-cycle Path 에 대한 도식화 기능



**SDC 내용에 기반한 RTL 및 Schematic 간 Cross-probing 기능 지원**

```
# Automatically created by Blue Pearl Visual Verification Suite Version 2021.7.6
1884 12/17/2021 00:22. Linux-2.17 (64-bit). on Mon May 23 14:31:14 2022
# SDC formatting set by user options
# Split Vectors: yes
# Add _reg To Register Names: yes
# Generate Exceptions containing get_nets: no
# Expand Vector based Q ports: yes
# Generate Exceptions containing through constraints: yes
# Comment out set_hierarchy_separator: yes
# Generate set_clock_groups: yes
# Use Source Clock in create_generated_clock command: yes
# Generate TCL Variable for buses: no
# Insert newlines for readability into TCL: no
# Combine Constraints when possible: no
#set_hierarchy_separator "."

# False and multi-cycle path exceptions.
set_false_path -from [get_cells q1_reg] -to [get_cells out_reg]
~
```

**CDC 분석 내용을 기반으로 SDC 파일 자동 생성  
(SDC License checked-out 시 동작)**



회사명 : (주) 링크글로벌21  
 웹사이트 : www.linkglobal21.com  
 이메일 : eda@linkglobal21.com  
 대표전화 : 070-5138-0700