

2022 IEEE CICC Review

연세대학교 전기전자공학부 박사과정 한현호

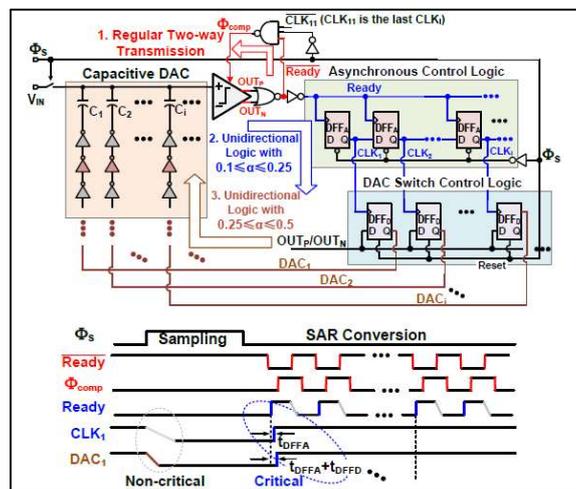
Topic : Data Converters

Session 15 : Data Converters

이번 2022 IEEE CICC의 Data converter에 대한 내용은 Session 15에 6편이 실렸다. 6편 중 마지막에 실린 continuous time delta sigma modulator (CTDSM) 논문을 제외하고는 나머지 논문은 500MS/s 의 sampling frequency를 가지는 high-speed data converter에 초점을 뒀다. 또한 #15-5 논문은 high-speed digital-to-analog converter (DAC) 내용으로 최근 발표된 내용의 논문들을 정리하여 발표하였다. 이 글에서는 Session 15에 실린 논문 중 몇 편을 소개 하려한다.

#15-2 A 10b 700MS/s single-channel 1b/cycle SAR ADC using a monotonic-specific feedback SAR logic with power-delay-optimized unbalanced N/P-MOS sizing

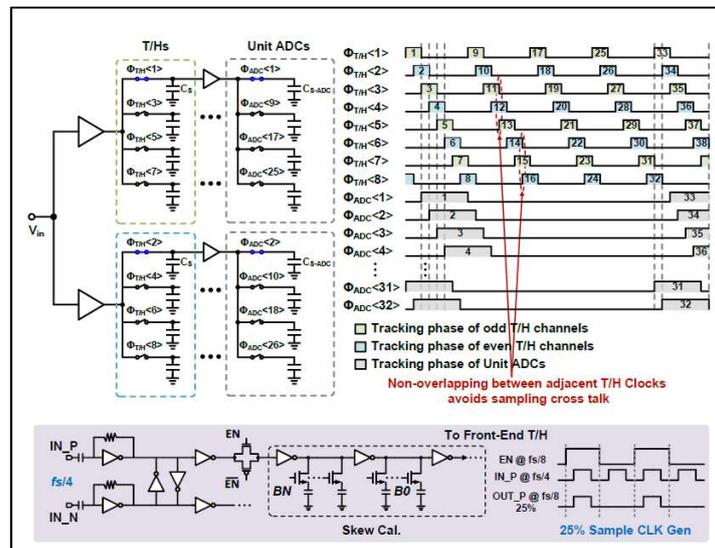
SAR ADC는 T/H, 비교기, SAR 로직, DAC으로 구성되어 있어 복잡성이 낮고 전력소모가 낮으며 scaling down에 적합한 구조이기 때문에 high-speed data converter로 많이 쓰인다. 그럼에도 불구하고 SAR ADC의 속도는 SAR 로직에 의해서 제한되어 왔다. 이러한 속도를 해결하기 위하여 다양한 기술들이 개발되어 왔는데 #15-2 논문에서는 SAR 로직에 의한 속도제한을 해결하기 위하여 N/P mos의 size를 비대칭으로 하여 SAR feedback loop를 최적화하여 단일 채널로 700MS/s에서 10b의 성능을 얻을 수 있었다[그림 1].



[그림 1] Monotonic switching SAR에서 3개의 delay path의 최적화 방법

#15-3 A 38GS/s 7b Time-Interleaved Pipelined-SAR ADC with Speed-Enhanced Bootstrapped Switch in 22nm FinFET

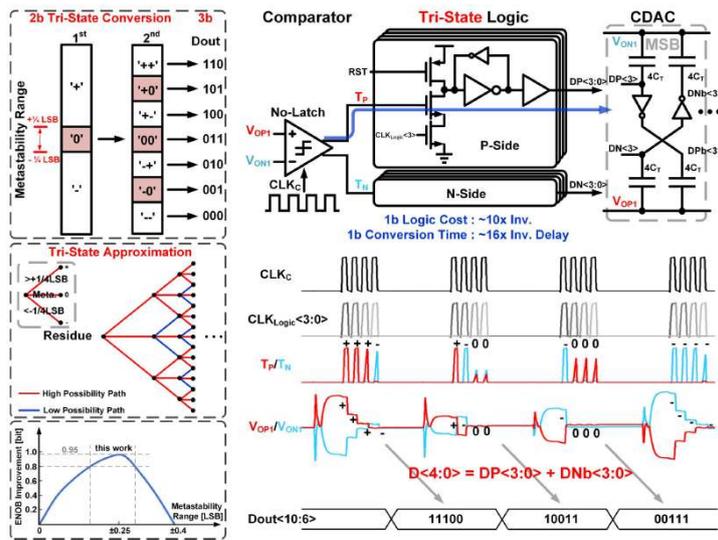
SAR ADC에서 speed를 높이는 방법 중 널리 사용되는 방식 중 하나는 time-interleaver를 활용하는 방식이다. 그러나 기존의 방식들은 time-interleaved sub-ADC들 간에 sampling crosstalk을 피하기 위하여 낮은 duty cycle의 sampling clock을 사용하게 되는데 이는 결국 속도를 제한하는 요소가 된다. 이를 해결하기 위하여 몇몇의 논문들은 NMOS switch로 high-speed ADC를 구현하였지만 linearity와 높은 supply voltage의 문제를 가지게 된다. 이 논문에서는 이 모두를 잡기 위하여 [그림 2]와 같은 interleaver timing diagram을 갖는 ADC 구조를 제안하였다. 그 결과 38GS/s sampling frequency에서 7b의 ENOB, 0.8V supply에서 37.08mW의 성능을 얻었다.



[그림 2] skew calibration을 사용한 25% duty cycle T/H clock generator의 timing diagram

#15-4 A Calibration-Free 13b 625MS/s Tri-State Pipelined-SAR ADC with PVT – Insensitive Inverter-Based Residue Amplifier

기본적인 SAR ADC 구조가 아닌 pipeline의 구조를 가지는 pipelined-SAR ADC인 경우에는 1-stage ADC에서 2-stage ADC로 residue를 넘길 때 residue amplifier (RA)를 사용하게 된다. 이 때 고속으로 ADC를 돌리기 위해서는 RA 또한 정확하며 빠르게 동작해야 한다. 즉 RA의 gain error나 PVT variation은 ADC의 dynamic range를 제한하기 때문에 gain calibration이나 closed-loop RA를 사용해야 한다. 그러나 Closed-loop RA인 경우에는 bandwidth의 제한으로 high-speed에 적합하지 않다. 이 논문에서는 이러한 문제점을 해결하기 위하여 inverter-based RA를 사용하는 tri-state SAR를 소개하였다 [그림 3]. 그 결과 calibration 없이 625MS/s의 sampling 속도에서 13b의 성능을 얻었다.



[그림 3] 제안하는 tri-state SAR의 동작원리 및 회로 구현

Session 15 에서 소개된 6 편의 논문은 5G/6G 혹은 점점 빨라지는 data 처리 속도에 맞는 high-speed ADC 나 DAC 에 관한 내용들이 대부분이었다. 또한 이전 CICC 와는 다르게 리뷰 논문 또한 있어 트렌드를 한번에 알 수 있었다. High-speed 에 관한 data converter 에 관심이 많다면 한번 읽어 보는 것이 좋을 것 같다.



명예기자 한현호

- 소 속 : 연세대학교 전기전자공학부 박사과정
- 연구분야 : 임피던스 센서, VCO-based ADC
- 이 메 일 : hyunho912242@naver.com
- 홈페이지 : <https://sites.google.com/site/ymsicl/>