

2022 IEEE CICC Review

성균관대학교 반도체디스플레이공학과 석사과정 김휘원

Topic : Wireline and Optical Communication Circuits and Systems

Session 14 : High Speed Circuits and Systems for Electrical and Optical

본 리뷰는 2022년도 CICC의 Wireline Communication을 다루고 있는 Session 14(High Speed Circuits and Systems for Electrical and Optical)에 대한 것이다.

총 6개의 논문이 이번 session 14에서 소개가 되었다. 한국의 삼성[S14-5], 일본의 NTT[S14-1], 대만의 TSMC[S14-4]에서 각각 한 편의 논문을 발표하였고, 나머지 세 편의 논문은 캐나다의 Univ. of Toronto[S14-2], 중국의 Xi'an Jiaotong Univ.[S14-3], 미국의 Texas A&M[S14-6]에서 각각 발표되었다.

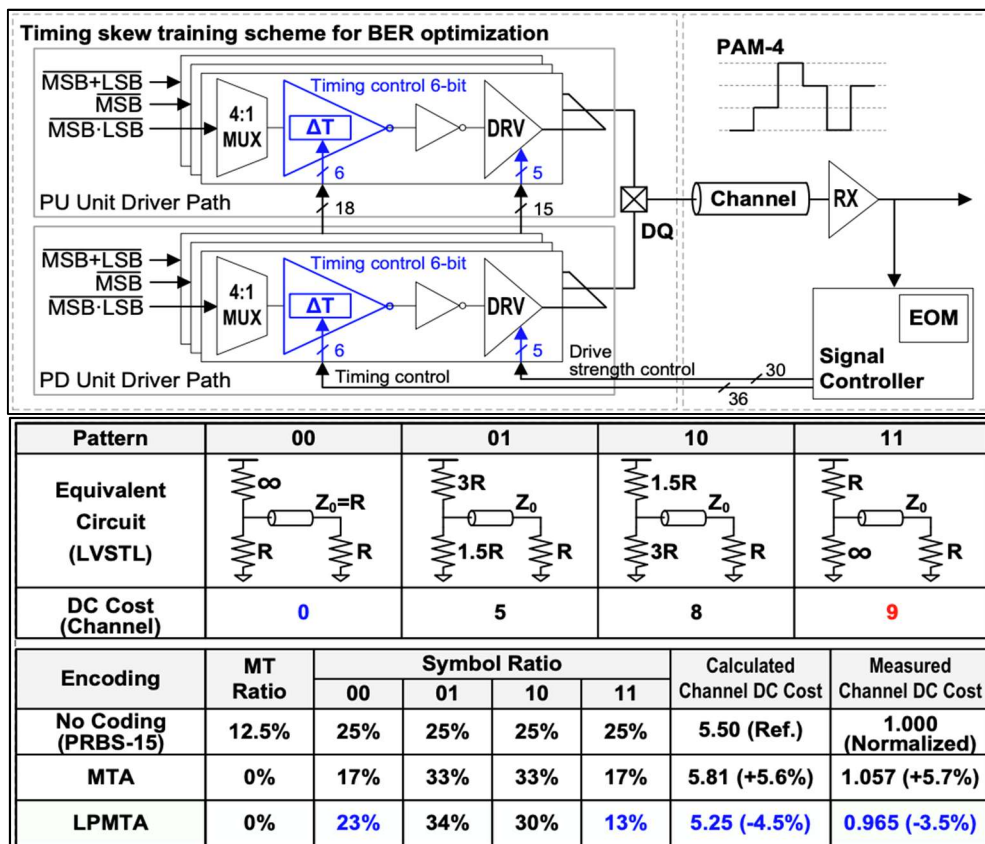
발표된 6개의 논문은 순서대로 250-nm InP-HBT[S14-1], 16-nm CMOS[S14-2], 40-nm CMOS[S14-3], 5/7-nm FinFET[S14-4], 28-nm CMOS[S14-5], 22-nm FinFET[S14-6] 공정에서 칩으로 제작되었다.

소개된 6편의 논문을 주제별로 살펴본다면, [S14-1]은 InP-HBT AMUX/ADEMUX Circuits for optical transceivers, [S14-2], [S14-3]에서는 각각 PAM-4 TIA와 BM-TIA(Burst Mode TIA), [S14-4]에서는 3DIC의 interconnect, [S14-5]는 PAM-4 transmitter for DRAM interface, [S14-6]에서는 ADC-based multicarrier receiver front end에 대하여 소개하고 있다.

6개 논문에 소개된 주요 idea, techniques 중 일부에 대하여 간단하게 살펴보겠다.

#14-1 14-1는 InP-HBT-based ultra-broadband analog multiplexer(AMUX), analog demultiplexer(ADEMUX)에 관한 논문이다. 본 논문에서 제시하는 2:1 AMUX, 1:2 ADEMUX는 optical transceiver의 analog-to-digital converters(ADCs), digital-to-analog converters(DACs)의 analog bandwidth를 증가시켜서 channel의 transmission capacity가 1 Tb/s 이상 도달할 수 있게 해준다.

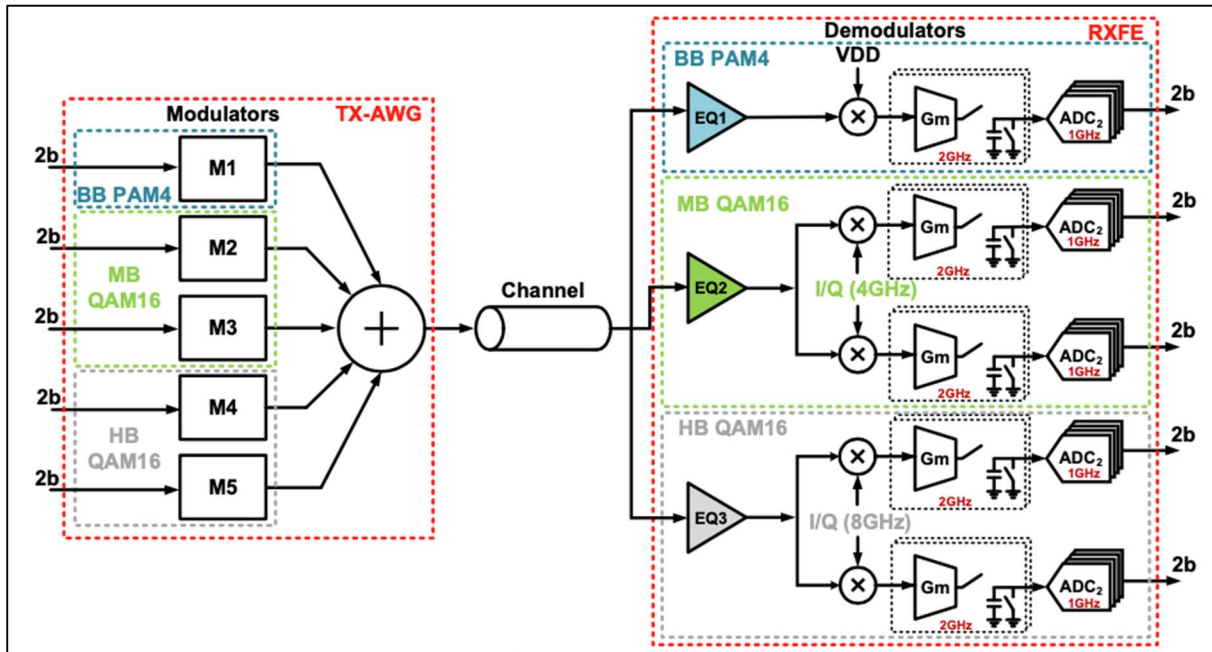
#14-5 14-5는 DRAM interface를 위한 60-Gb/s/pin single-ended PAM-4 transmitter에 관한 논문이다. 본 논문에서 제시하는 transmitter는 4-to-1 MUX based 2-tap Feedforward Equalizer(FFE), thermometer switching을 이용한 impedance matching이 가능한 main driver, low-voltage swing terminated logic(LVSTL)과 pseudo open drain(POD) 동작에서 높은 선형성을 가지는 output driver 등으로 구성되어 있다. 본 논문에서는 PVT variation과 BER 증가 등으로 인한 내부 clock path의 skew를 줄일 수 있는 새로운 timing skew training scheme을 소개하고 있다. 또한, output driver의 power consumption을 줄이기 위한 low power maximum transition avoidance(LPMTA) encoding 방식을 제안하고 있다.



[그림 1] Timing skew training scheme(top) & low power maximum transition avoidance(LPMTA) encoding(bottom)

#14-6 14-6은 jitter-robust한 40Gb/s ADC-Based Receiver Front-End에 관한 논문이다. 최근에 많이 소개되었던 고속의 ADC-Based receiver들은 modulation 방법으로 technology scaling에 유리한 Pulse Amplitude Modulation(PAM)를 이용하고 있고, 그중에서도 고속의 인터페이스에 유리한 PAM-4 방식이 널리 선택되고 있다. 하지만, 높아진 data rate 때문에 baseband의 pulse width가 매우 짧아지면서 기존 PAM 방식에 한계가 발생하게 되었고 clock jitter에도 매우 취약한 문제가 발생하게 되었다. 따라서 본 논문에서

서는 multicarrier signaling 방식을 이용하여 동일한 BER에서 PAM-4 시스템(600fs) 대비 약 3배의 rms jitter(1.6ps)을 견딜 수 있는 시스템을 제안하고 있다. 아래의 그림처럼 multicarrier는 baseband에 4GS/s PAM-4, mid-band에 4GS/s QAM-16 on 4GHz, high-band에 4GS/s QAM-16 on 8GHz의 3개 band로 구성되고 총 40Gb/s의 data rate를 지원하게 된다.



[그림 1] Multicarrier RXFE(Receiver Front-End) Architectrue



명예기자 김휘원

- 소 속 : 성균관대학교 반도체디스플레이공학과 석사과정
- 연구분야 : High Speed I/O, DSP-based Interface
- 이 메 일 : hwi0336@gmail.com
- 홈페이지 : <https://comics.skku.edu>