

2022 Symposia on VLSI Technology and Circuits Review

연세대학교 전기전자공학부 박사과정 한현호

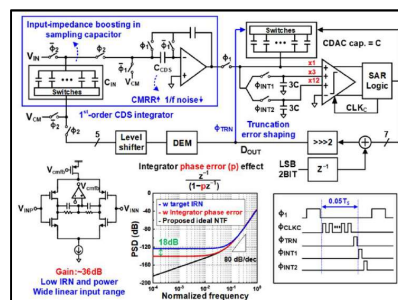
Topic : Data converters

Session 6 : Oversampled ADCs

2022 IEEE VLSI의 Oversampled ADC에 대한 내용은 Session 06에 4편이 실렸다. 이 session에 제출된 논문 4편 모두 SAR technique을 사용한 논문들이 소개되었다. oversampling ADC에서 noise-shaping SAR ADC가 해를 거듭할수록 계속해서 제출되고 있는 상황이다. 더 나아가 Discrete-time으로 동작하는 것이 아닌 continuous-time으로 동작하는 noise-shaping SAR ADC까지 학회에 제출되어 소개되었다. Session 6뿐만 아니라 SAR ADC는 Session 10 Nyquist Data Converter와 Session 19 Time-Interleaved ADC 부분에서도 발표되었다. 점점 SAR ADC의 활용도가 더욱 많아지고 있는 것이 느껴진다. 이 글에서는 Session 6에 실린 논문들을 소개하려 한다.

#6-1 A 600mVPP-Input-Range 94.5dB-SNDR NS-SAR Nested DSM with 4th-Order Truncation-Error Shaping and Input-Impedance Boosting for Biosignal Acquisition

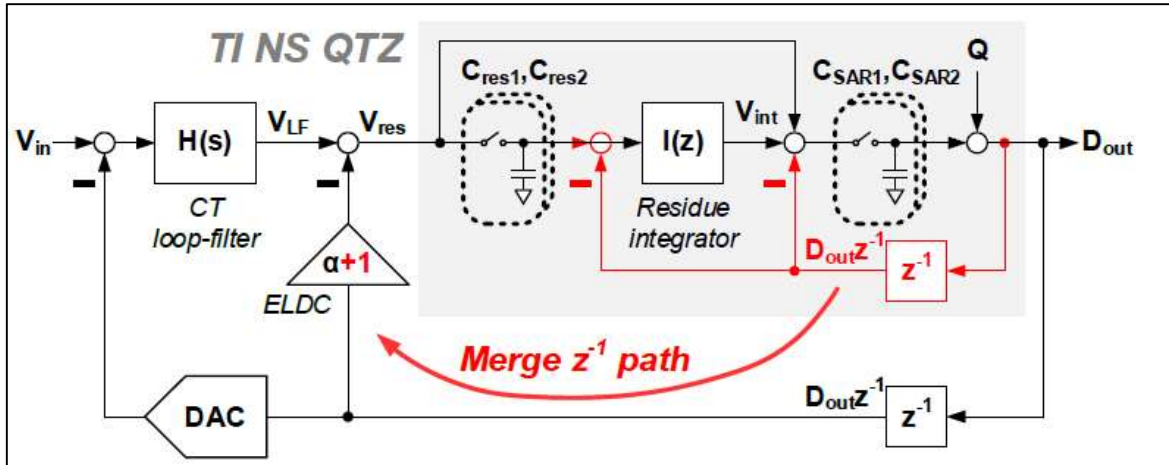
신체 신호를 측정하기 위해서는 사용자의 motion interface와 electrode interface 둘다 고려해야한다. 예를 들어 사용자의 움직임에 의해서 발생하는 전압은 $100mV_{pp}$ 이상이기 때문에 dynamic range가 넓어야 하며 electrode에 의해서 생기는 전압 강하는 ADC의 입력 임피던스를 크게 만들어야 하는 이유가 된다. 본 논문에서는 입력 임피던스를 pre sampling-based charge-transfer-reduction technique을 사용하여 $208M\Omega$ 의 입력 임피던스를 만들어 냈다. 논문에서 제안한 구조는 [그림 1]과 같이 1st-order DT DSM에 2nd-order NS-SAR ADC를 quantizer로 사용하였다. 논문에서는 실제로 ECG를 측정하여 신체 신호를 실제로 측정이 가능함을 보여주었다.



[그림 1] 제안하는 NS-SAR-nested DSM의 구조 및 동작

#6-2 An 81.6dB SNDR 15.625MHz BW 3rd Order CT SDM with a True TI NS Quantizer

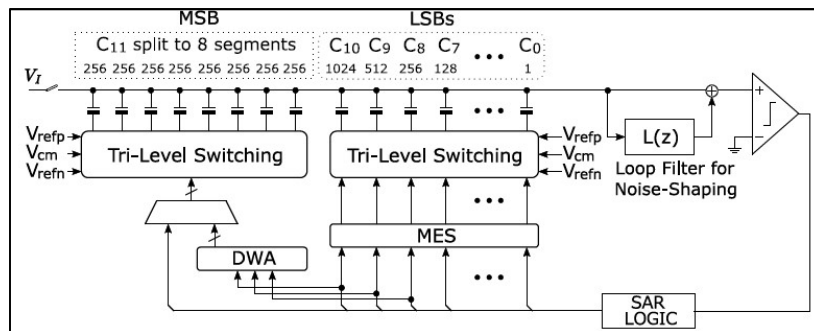
#6-2 논문에서는 #6-1 논문과 같이 delta-sigma의 quantizer로 noise-shaping SAR를 사용하였다. 다만 #6-2 논문은 true time-interleaving 기술을 이용하여 SAR ADC가 갖는 reset phase를 없애면서 연속적으로 동작 가능하게 만들어냈다 [그림 2]. 이렇게 함으로써 quantizer가 겪는 속도와 resolution에 대한 문제점을 해결할 수 있게 되었다. 그 결과 500MS/s의 빠른 속도에서도 quantizer의 resolution을 높이기 위해서 6bit를 사용할 수 있었다. 측정 결과로는 SNDR FoM으로 175.5dB를 DR FoM으로 178.7dB를 달성하였다.



[그림 2] True time-interleaving noise-shaping quantizer를 사용한 CT DSM 구조

#6-3 A 100kHz-Bandwidth 98.3dB-SNDR Noise-Shaping SAR ADC with Improved Mismatch Error Shaping and Speed-Up Techniques

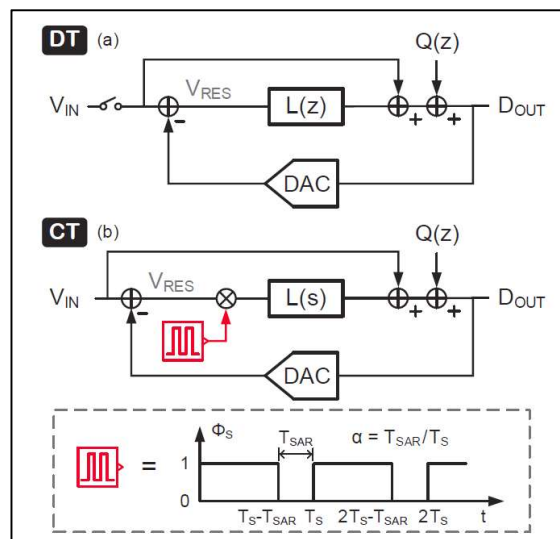
Noise-shaping SAR ADC는 높은 dynamic range (DR)을 갖기 때문에 IoT 혹은 오디오 등 다양하게 사용할 수 있다. 하지만 feedback capacitive DAC의 mismatch는 성능 저하의 원인이 된다. 이를 해결하기 위해서 mismatch error shaping MES 기술을 적용할 수 있는데 이 경우에는 input signal의 DR을 손해보게 된다. MES 기술로 생긴 input signal의 DR을 보상하기 위해서 digital prediction 기술을 사용할 수 있지만 이 방법도 충분하지 않다. 따라서 본 논문에서는 새로운 MEA 기술[그림 3]로 문제점들을 해결하고 speed-up 기술을 사용하여 12.8MHz sampling clock 주파수로 100kHz bandwidth를 가지는 SAR ADC를 만들 수 있었다.



[그림 3] 향상된 mismatch error shaping 기술을 갖는 noise-shaping SAR ADC 구조

#6-4 A First-Order Continuous-Time Noise-Shaping SAR ADC with Duty-Cycled Integrator

최근 논문들은 높은 resolution 과 낮은 파워를 달성하기 위해서 noise-shaping SAR ADC 를 많이 선택하고 있으나 SAR ADC 와 sigma-delta ADC 의 hybrid 구조에서 최근까지 나온 논문들은 discrete-time (DT) 으로 동작하였다. 그 결과 continuous-time (CT) sigma-delta ADC 가 갖는 이점을 살리지 못하였다. 본 논문에서는 CT Gm-C integrator 를 사용하여 inherent anti-aliasing 기능을 넣었으며 CT 로 동작하기 위해서 SAR ADC 의 sampling switch 를 제거하였다. Rm 결과 62.5kHz 의 bandwidth 에서 77dB 의 SNDR 을 달성할 수 있었다.



[그림 4] 제안하는 continuous-time noise-shaping SAR ADC



명예기자 한현호

- 소 속 : 연세대학교 전기전자공학부 박사과정
- 연구분야 : 임피던스 센서, VCO-based ADC
- 이 메 일 : hyunho912242@naver.com
- 홈페이지 : <https://sites.google.com/site/ymsicl/>