

2022 Symposia on VLSI Technology and Circuits Review

서울대학교 전기정보공학부 석박통합과정 유승호

Topic : Power, analog and mixed-signal devices, and circuits

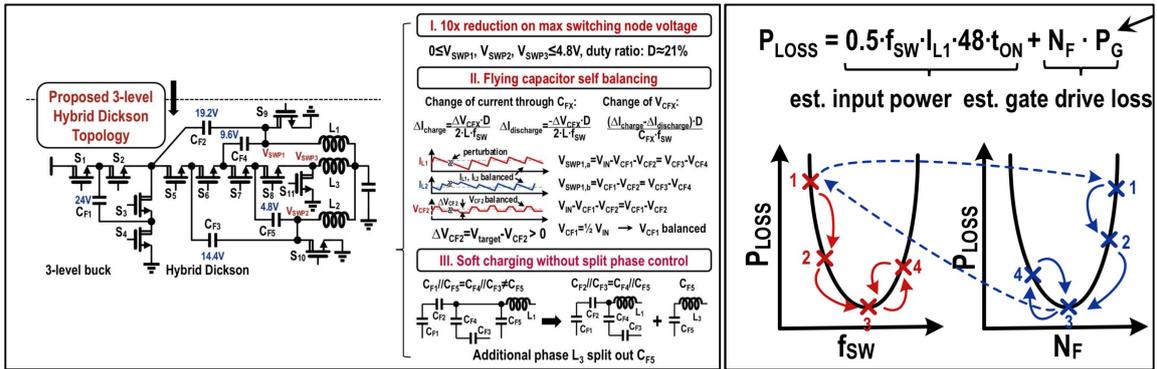
Session 20 : Power Conversion 1

2022 VLSI의 session 20 - power conversion 분야에서는 높은 전압을 낮은 전압으로 변환하는 전력 변환 시스템 및 single-input dual-output (SIDO) 벡-부스트 컨버터가 소개되었다. 최근 데이터 센터의 전력 시스템 변화에 따라 IC 기준 매우 높은 전압인 48V에서 1V까지 변환하는 높은 conversion ratio를 갖는 시스템에 대한 연구 결과, 전력 변환 과정에서 발생하는 손실을 구조적으로 개선하여 전체 시스템의 변환 효율을 극대화하며 동시에 off-chip 부품은 최소화하여 소형화한 연구 결과를 확인할 수 있다.

#S20.1 A 90.4% Peak Efficiency 48V/1V Three-Level Hybrid Dickson Converter with Gradient Descent Run-Time Optimizer and GaN/Si Hybrid Conversion

48V의 고전압으로 인한 stress를 견딜 수 있고 매우 작은 duty ratio를 갖는 구조에 대한 기존 연구 결과의 경우 flying capacitor를 이용한 전압 분배 방식을 적용하였기 때문에 switching node에 가해지는 전압을 N배 줄이기 위해서는 capacitor 개수가 이에 비례하여 증가한다. 그리고 capacitor 간 전압 balancing 기법이 필요하고 전력 밀도도 제한되는 문제가 존재하며, 허용 가능 부하 범위도 충분히 넓지 못하여 응용 범위가 제한된다.

본 논문에서는 두 개의 off-chip GaN switch, 9개의 on-chip Si switch, 그리고 5개의 flying capacitor로 구성된 three-level Dickson 구조를 제안하였다. 해당 구조를 통해 각 switching node에 가해지는 최대 전압을 10배 감소시켜 duty ratio 범위를 확장할 수 있고, 두 인덕터의 충전/방전 동작 과정에서 flying capacitor의 전압이 self balancing되는 장점이 있다. 추가 인덕터를 통해 three-phase로 동작해 출력 전압 ripple 감소와 soft charging 동작을 구현하였다. 그리고 전력 손실 수식을 switching 주파수 (fsw)와 finger (N_f)에 대한 수식으로 유도하고, 10bit hybrid ADC를 통해 변환된 인덕터 전류 정보와 on-time 정보를 사용해 gradient descent 알고리즘에 따라 최적화를 진행하였다. 그리고 diode clamping 및 current mirror 구조를 활용한 digital-assisted level shifter를 적용해 빠르고 신뢰성 높은 동작을 구현하였다. 그 결과, 48V 입력 조건에서 0.7~1V의 출력 구현, 최대 부하 전류 12A, 최대 90.4%의 변환 효율을 달성하였다.

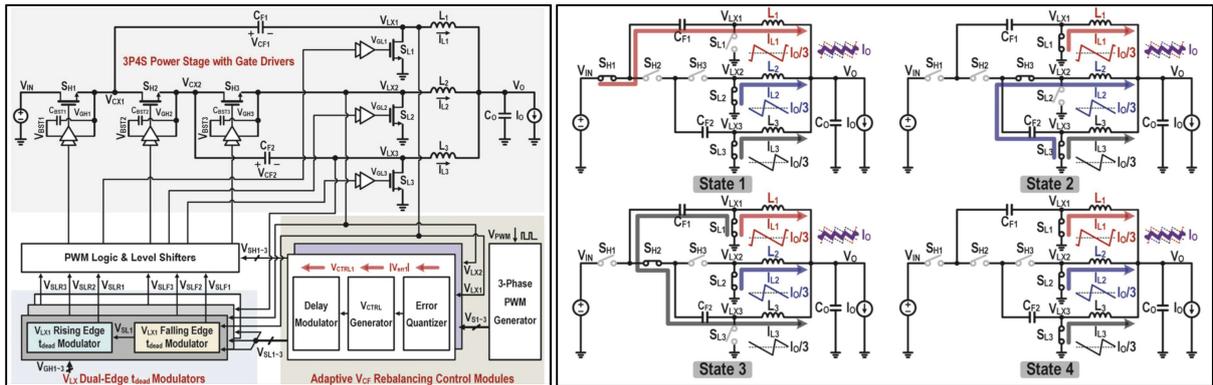


[그림. 1] (좌)제안한 구조 및 특징 (우) 전력 손실 수식 및 gradient descent 기반 최적화 방식

#S20.2 A 90.7% 4-W 3P4S Hybrid Switching Converter Using Adaptive VCF Rebalancing Technique and Switching Node Dual-Edge tdead Modulation for Extreme 48V/1V Direct DC-DC Conversion

고전압-저전압 전력 변환 시스템에는 high conversion ratio (CR) 시스템이 필요한데, high CR 시스템은 high-side switch가 작동하는 on-time이 propagation delay와 비슷할 만큼, 극한으로 짧아져 feedback loop 설계 난이도가 급격하게 증가하였다. 동시에 고전압을 견디는 thick-oxide transistor가 필요해 설계가 더욱 어렵다. 기존 연구는 충/방전 경로에서 거치는 switch 개수가 증가해, 이에 비례하여 conduction loss가 증가하는 문제가 존재한다.

본 논문에서는 3-path 4-state (3P4S) 구조를 제안하여, 3개의 inductor로 구성된 3-path에서 한 inductor가 충전되는 동안 나머지 inductor는 방전하는 방식으로, 3개 path를 통해 항상 출력으로 에너지가 전달되어 on-resistance 및 inductor 전류 ripple을 감소시켰다. 구조적 개선을 통해 충전 path에서 high-side 및 low-side switch를 각 한 개씩만 거치도록 개선해 conduction loss를 줄이고, flying capacitor를 추가해 power switch의 고전압 breakdown 문제를 개선하였다. 이때, 기생 성분과 gate driving delay 등으로 인한 mismatch로 발생하는 path 간 전압 및 inductor 전류 불균형 문제를 개선하기 위해 inductor switching node 전압을 ideal 전압값과 비교하여 on-time을 adaptive하게 증가/감소하는 기법을 적용하였다. 그 밖에도, 고정된 deadtime으로 인해 발생하는 zero-voltage switching (ZVS) 효율 저하를 개선하기 위한 deadtime modulation을 적용해 switching/reverse conduction loss가 감소하였다. 제안한 기법을 통해 최대 0.18V의 전압 불균형을 보여 기존 대비 불균형이 57.1% 개선되고, deadtime의 rising time은 2.6~9.6ns의 범위, falling time은 5.9~12.7ns의 범위에서 modulation이 가능하다. 제안한 회로는 12~48V의 입력 범위에서 1V 출력으로 변환이 가능하고, 최대 4A의 부하를 견딜 수 있으며, 최대 90.7%의 변환 효율을 갖는다.

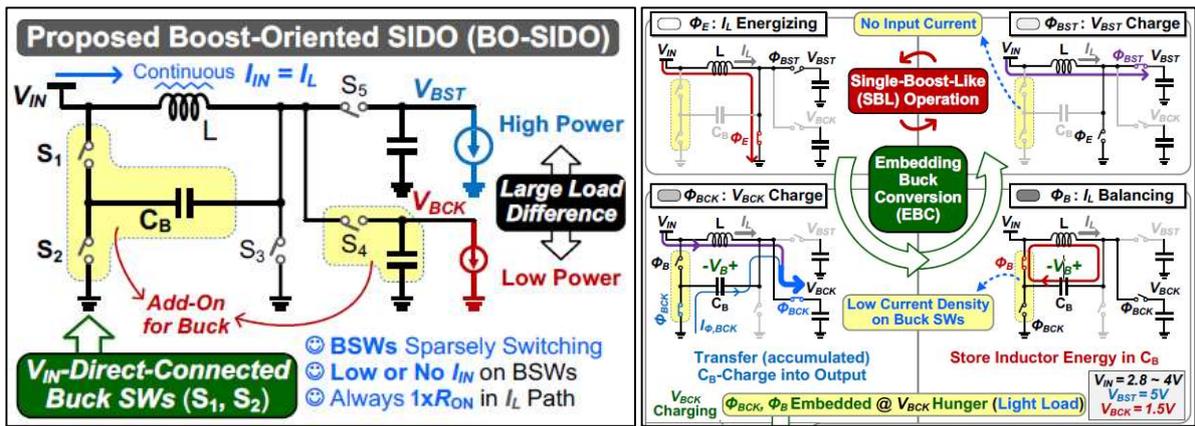


[그림. 2] (좌) 제안한 3P4S 구조 block diagram (우) 3P4S 구조의 동작

#S20.3 A 5.6W-Power 96.6%-Efficiency Boost-Oriented SIDO Step-Up/Down DC-DC Converter Embedding Buck Conversion with an Energy-Balancing Capacitor

동시에 다양한 부하로 에너지를 전달하기 위해 벅-부스트 single-inductor multiple-output (SIMO)/dual-output (SIDO) 컨버터가 사용되고, 시스템의 전력 변환 손실을 줄이기 위해서는 보통 부스트 변환 효율을 개선하는 것이 상대적으로 중요하다. 기존 연구는 구조적으로 inductor 전류가 반드시 두 개의 switch 즉, 두 개의 on-resistance (R_{on})을 거치므로 conduction loss가 증가하는 문제와 벅 switch가 항상 동작하여 큰 전류가 해당 switch로 인가되는 문제가 존재한다.

본 논문에서는 부스트 컨버터 구조를 기본 구조로 활용해 부스트 변환 과정에서 한 개의 switch만 거쳐 conduction loss가 개선되고, 벅 변환용 switch는 별도로 추가한 boost-oriented SIDO 구조를 제안하였다. 제안한 시스템은 부스트 변환 과정 사이에 벅 변환 과정을 embedding한 4-phase로 동작한다. 기본 동작은 부스트 컨버터 동작을 기반으로, embedded 벅 변환 phase는 벅 출력이 일정 이상 감소하였을 때만 작동하여 switching 손실을 줄였다. Embedded 벅 변환이 작동했을 경우, 부스트 변환과 동일하게 먼저 inductor에 에너지를 충전하고, 벅 변환 phase로 넘어가 inductor에 저장된 에너지와 벅 capacitor 에너지가 함께 벅 부하로 에너지를 전달한다. 다음 phase에서는 inductor의 balancing 전류가 벅 capacitor로 전달됨으로써 에너지를 저장하여 다음 cycle에 재활용하고, 마지막 phase에서는 부스트 변환 동작이 이루어진다. 그리고 에너지 전달 path 분산을 통해 switch에 가해지는 current density가 완화되고, inductor 전류 경로상 거치는 스위치가 한 개밖에 존재하지 않아 전력 손실이 감소하였다. 그 결과 기존 구조 대비 손실을 1.8배까지 줄일 수 있었고, 제안한 구조는 최대 96.6%의 변환 효율을 보이고, 넓은 부하 범위에 대해 90% 이상의 효율을 보였다.



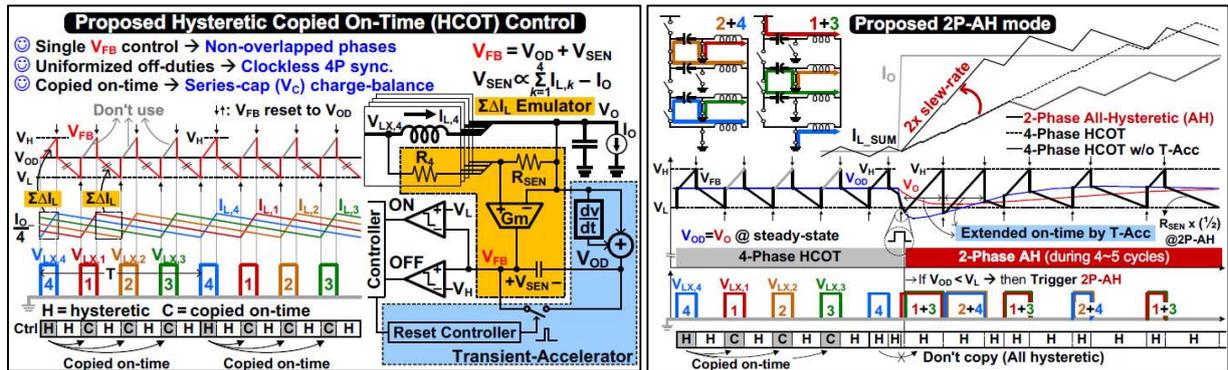
[그림. 3] (좌) 제안한 구조. (우) 제안한 구조의 동작 phase

#S4.4 A Monolithic 48V-to-1V 10A Quadruple Step-Down DC-DC Converter with Hysteretic Copied On-Time 4-Phase Control and 2× Slew Rate All-Hysteretic Mode

48-to-1V 변환 회로로 많이 사용된 구조는 double step-down (DSD) 구조로, 큰 전압을 견디기 위해 직렬 capacitor, GaN 스위치, 큰 부피의 transformer 등을 사용하여 소형화가 어렵다. 그리고 실제 사용 환경에서는 조건에 따라 부하 변동이 심할 수 있고 이로 인한 전압 droop에 의한 저전력 시스템 동작 오류를 방지할 필요성을 언급하고 있다.

본 논문에서는 4개의 inductor가 사용된 컨버터 및 3개의 직렬 capacitor로 구성된 4-phase quadruple step-down (QSD) 컨버터를 제안하였다. 한 inductor가 충전 중일 때, 나머지 inductor는 부하로 에너지를 전달하는 동작이 이루어지고, 병렬 구조의 전류 전달로 인해 개별 컨버터의 current density를 완화하였다. 직렬 capacitor로 인해 최대 입력 전압 범위가 증가하고, 동시에 switching 전압이 감소해 switching 및 dynamic loss가 개선되었다. 전압 부담이 감소해 기존 discrete switch 대신 LD MOS를 사용할 수 있어 완전 집적화가 이루어졌다. 4-phase 동작 시 제어 방식에 따른 전압 stress 및 동작 신뢰성 저하 문제를 해결하기 위해, inductor ripple 전류 정보와 출력 전압 정보를 기반으로 정해지는 feedback 전압을 생성할 수 있는 master duty를 정하고, 해당 duty로 4-phase 모두 동작하는 hysteretic copied on-time (HCOT) 제어 기법을 적용하였다. 이를 통해 clockless 4-phase synchronization이 가능하고, 각 phase 간 balance가 이루어져 phase-overlap 문제가 해결되며 capacitor charge balance도 이루어진다. 그 밖에도, 2개의 개별 converter가 동시에 작동할 수 있는 2-phase all-hysteretic (2P-AH) 모드를 추가해 빠른 inductor 전류 증가를 구현해 출력 전압 droop 문제를 해결하였다. 그 결과, QSD 구조는 6.3A/50ns의 부하 변동에도 출력은 153mV의 droop만 발생하고, 회복 시간은 1.9us, 그리고 2P-AH 모드에서는 80mV의 droop에 1us의 회복 시간을 달성하였으며, 외부 부품 없이 완벽 집

적화로 이를 구현하였다.



[그림. 4] (좌) HCOT 제어 방식 (우) 2P-AH 모드



명예기자 유승호

- 소 속 : 서울대학교 전기정보공학부 석박통합과정
- 연구분야 : 에너지 하베스팅
- 이 메 일 : seungho@mics.snu.ac.kr
- 홈페이지 : <https://mics.snu.ac.kr>