

2022 Symposia on VLSI Technology and Circuits Review

성균관대학교 반도체디스플레이공학과 석사과정 김휘원

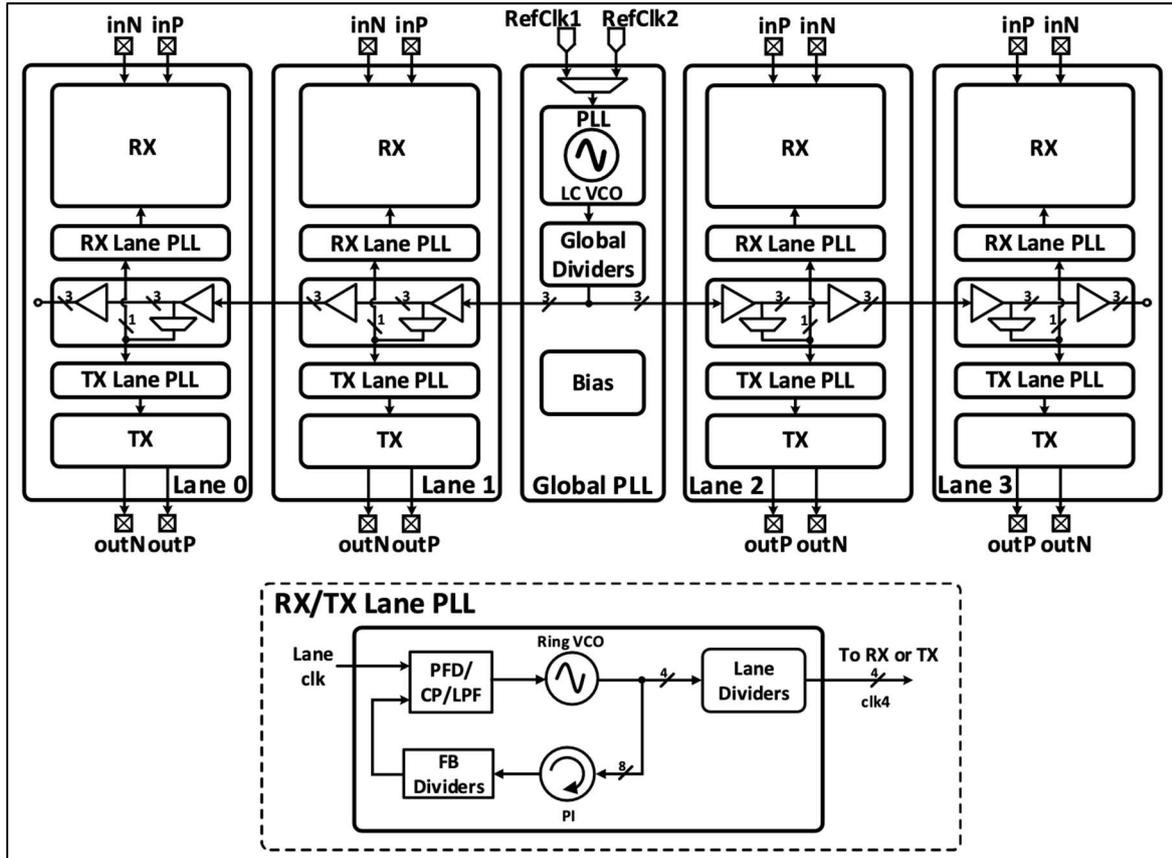
Topic : Wireline and optical transceivers; optical interconnect and processors

Session 3 : Wireline

본 리뷰는 2022년도 VLSI의 Wireline and Optical Transceivers의 내용을 다루고 있는 Session 3 – Wireline에 대한 것이다. 총 5개의 논문이 이번 session 3에서 소개가 되었다. 서울대학교[C03-3]에서 1편, Cadence[C03-1], IBM[C03-2], Teradyne[C03-4], Berkeley Univ.[C03-5]에서 나머지 4개의 논문을 각각 발표하였다. 발표된 5개의 논문은 순서대로 5-nm FinFET[C03-1], 4-nm FinFET[C03-2], 40-nm CMOS[C03-3, C03-4], 28-nm CMOS[C03-5]의 공정을 이용하여 제작되었다.

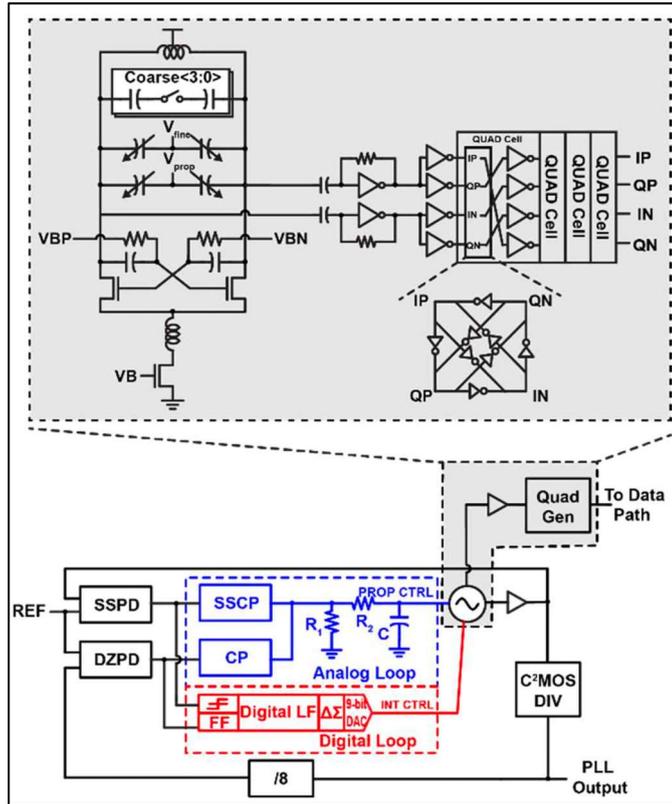
이번 VLSI에도 역시 100 ~ 200 Gb/s 수준의 고속의 data rate을 지원하는 여러 transmitter(TX), receiver(RX) 구조가 소개되었다. 소개된 5편의 논문을 주제별로 살펴본다면, [C03-1]은 DSP-based Transceiver(Transmitter + Receiver), [C03-2]은 DAC-based TX(Transmitter), [C03-3]은 Automotive Camera Link 향 Asymmetric Simultaneous Bidirectional Transceiver, [C03-4]은 Single-Ended Pin Electronics Driver, [C03-5]은 Hybrid SSPLL(Sub-Sampling PLL)을 이용한 PAM-4 TX에 대하여 소개하고 있다. 5개 논문에 소개된 주요 idea, techniques 중 일부에 대하여 간단하게 살펴보겠다.

#03-1 03-1는 Flexible Clocking Scheme을 이용하여 data rate 1-to-112 Gb/s을 구동하는 DSP(Digital Signal Processor)-based Transceiver에 관한 논문이다. 본 논문에서 제시하는 transceiver 구조는 아래 [그림 1]의 flexible clocking scheme을 통하여 Ethernet(112/56G PAM-4 and 56/25/10/sub-10G NRZ)와 PCIe(64G PAM-4 and 32/16/8/4G NRZ)에서 요구하는 모든 data rate spec을 소화할 수 있다. 외부의 reference clock을 이용하여 global LC PLL은 23.4 ~ 26.6 GHz의 differential clock을 만들게 된다. 생성된 clock은 CMOS level로 boost 된 후, 0.78 ~ 6.7 GHz 사이의 주파수를 가지는 3가지의 single-ended CMOS clock으로 나뉘어진다. 이렇게 생성된 global clock이 각 lane에 전달되면 3-to-1 MUX가 각 lane에서 해당 TX, RX에 필요한 clock을 선택해서 synthesize 하게 된다.



[그림 1] Quad transceiver block diagram with global and lane clocking

#03-5 03-5은 delta-sigma modulator을 이용한 hybrid sub-sampling PLL(SSPLL)이 포함된 200 Gb/s PAM-4 transmitter에 관한 논문이다. SSPLL과 quadrature clock generator는 4-phase 25 GHz clock을 생성한다. SSPLL은 [그림 2]와 같이 analog proportional path와 digital integral path로 나뉘어 진다. VCO에 의하여 생성된 differential clock은 ac-coupled TIA-based buffer을 구동하고, 이 buffer의 output은 sub-sampling phase detector(SSPD)에 의하여 바로 sampling 된다. 또한, 이 output은 divider chain에도 연결되어 있는데, divider의 output과 reference clock은 frequency locking을 위하여 dead-zone phase detector(DZPD)에 연결되어 있다. Proportional path의 경우, SSPD와 DZPD가 각각 sub-sampling charge pump(SSCP)와 conventional charge pump(CP)을 drive 하게 되고, output 전류가 analog loop filter(LF)에서 더해진다. Integral path의 경우, SSPD의 output은 comparator에 의해 sample 되고, DZPD의 output은 reference clock에 synchronize 된다. 그리고 이 digital output들이 digital LF에 의해 누적된다. Delta-sigma modulator는 integral control accuracy을 올리고 proportional/integral control signal의 ripple을 줄이기 위하여 digital filter와 DAC 사이에 위치하고 있다.



[그림 2] Structure of hybrid SSPLL and quadrature clock generation



명예기자 김휘원

- 소 속 : 성균관대학교 반도체디스플레이공학과 석사과정
- 연구분야 : High Speed I/O, DSP-based Interface
- 이 메 일 : hwi0336@gmail.com
- 홈페이지 : <https://comics.skku.edu>