

A-SSCC 2022

IEEE Asian Solid-State Circuits Conference

KAIST 전기및전자공학과 박사과정 박건우

Session 6 High-Speed and Time-Interleaved ADCs

A-SSCC 2022의 "Session 6. High-Speed and Time-Interleaved ADCs" 에서는 총 4편의 논문이 발표되었다. 일반적으로 "High speed ADC" 세션에서 주로 발표되는 주제인 고속 동작을 위한 기술들에 더불어, 본 세션에서는 high speed operation에서 발생하는 error를 감쇄하는 것에 초점을 맞춘 기술들과 고 해상도 ADC의 한 분야인 Noise Shaping SAR (이하, NS SAR) ADC를 time-interleaving을 통해 고속으로 구현하는 구조가 제안되었다. 이렇게 다양한 주제의 논문이 발표되었다는 점은 고해상도 또는 고속 동작 중 한 가지에 초점을 맞추었던 기존의 연구 경향에서 더 나아가, 해상도와 동작 속도 두 측면 모두에서 성능을 향상시키는 기술 위주로 연구 관심도가 증가하고 있는 최근 연구 개발 트렌드를 반영하였다고 평가된다.

#6.1 – University of Macao, China

본 논문에서는 고속 pipelined-SAR ADC에서 발생하는 error인 reference ripple을 해결하기 위한 기술들이 발표되었다. 고속 ADC에서 reference voltage의 accuracy는 ADC의 해상도에 영향을 끼치는 중요한 요인 중 하나이다. 하지만, reference voltage accuracy를 저해하는 요소들이 여럿 존재하며 이 중에서 특히, reference voltage가 요동치는 현상을 일컫는 reference ripple은 reference voltage accuracy에 치명적이다. 이러한 reference ripple (이하 RR) 현상을 해결하기 위해 기존에는 고성능의 reference buffer 사용하였으며, 최근에는 RR을 상쇄시키는 reference ripple cancellation (이하 RRC) 기술 및 RR의 정도를 줄이기 위한 reference ripple neutralization (이하 RRN) 기술들이 발표되었다. 다만, 기존의 RRC의 경우 reference 이외의 common-mode voltage에 사용하는 별도의 스위치가 필요하고, RRC를 구현하는 동작에 있어서 floating 상태의 node가 발생한다는 점, 그리고 기존의 RRN에서는 timing requirement가 매우 높다는 점이 문제로 작용하였다. 본 논문에서는 ripple coupling capacitor를 bottom-plate sampling하는 동작을 통해 RRC를 구현함으로써 종래 기술의 문제점을 보완하였다. 이에 더불어, reference ripple의 진폭을 완화시켜 RRC 성능을 더욱 높이기 위해서 capacitor switching을 통한 RRN 기술을 추가하였다. 또한, 본 논문에서는 최근 pipeline ADC에서 자주 사용하는 residue amplifier 구조인 floating inverter amplifier (이하 FIA)에 변화를 준 구조 또한 제시하였다. 종래의 FIA에서 하나의 reservoir capacitor를 사용했던 것과 달리, 첫 번째 단과 두 번째 단에 각각 다른 reservoir capacitor를 사용하여 pole을 분리함을 통해 비교적 안정적인 증폭이 되도록 하였고, 두 번째 단의 bias를 외부에서 인가하는 것이 아닌 내부의 node를 연결하여 (adaptive-biased) 잡아주는 방식을 채택하였다. 본 논문에서 고속 ADC에서 중점적으로 다루는 reference ripple과 residue amplifier를 중심으로 연구했다는 점과 성능적으로도 $9.6\text{fJ}/\text{c-s}$ 의 준수한 FoM_W 을 달성했다는 점에서 인상적이다. 다만, 제시한 RRC 및 RRN 구조 및 동

작 방식이 종래의 방식에 비해 변화가 크지 않았다는 아쉬움이 남는다. 또한, 변형한 FIA 구조의 경우, 증폭기 내부의 MOS의 mismatch가 회로에서 bias를 잡는 데에 문제점으로 작용할 것으로 예상된다는 점에서 우려가 된다.

#6.2 – University of Macao, China

본 논문에서는 고 해상도 ADC 구조 중 하나인 NS SAR ADC를 time-interleaving을 통해서 고속으로 동작시키는 기술이 소개되었다. 기존에는 수 kHz ~ 수 MHz 대역에서 동작하던 단일 채널 NS SAR ADC를, 최근에 들어 pipeline 또는 time-interleaving 방식과 결합하여 고속으로 동작시키는 연구가 원활히 진행되었다. 맨 처음으로 소개된 time-interleaved NS SAR ADC의 경우, conversion이 종료된 ADC에서 얻은 residue voltage를 conversion 단계 도중에 있는 ADC에 전달하는 방식인 midway error feedback을 통해 NS SAR ADC와 time-interleaving을 결합하는데 존재하였던 문제점을 해결하였다. 하지만, conversion 도중 다른 ADC로부터 residue voltage를 가져오는 방식은 conversion 범위를 초과하는 over-range 현상을 일으켰기 때문에, 많은 redundant bit와 높은 차수에도 불구하고 낮은 noise shaping 성능이라는 단점이 있었다. 본 논문에서는 이러한 문제점을 해결하기 위해, 타 channel에서 전달받는 residue voltage를 최소화하여 over-range 현상을 줄이고 부가적인 feedforward 방식을 통해 pole을 추가함으로써 noise shaping 성능을 높임과 동시에 redundant bit의 개수를 최소화하였다. 게다가, noise shaping에서 사용하는 dynamic amplifier를 채널 간에 공유함으로써 offset requirement를 낮추었다. 본 논문의 경우, 타 time-interleaved NS SAR ADC에 비해서 요구하는 하드웨어 부담이 낮은 편이고, 이에 비해 30MHz의 BW와 173.4dB의 높은 FoMs을 보인다는 점에서 완성도가 높은 설계라고 평가된다. 다만, 기존의 NS SAR ADC에 비해 noise shaping filter의 구현 방식에서 크게 차별점이 부각되지 않는 점이 다소 아쉬움으로 남는다.

#6.3 – Chengdu Sino Microelectronics Technology, China

본 논문에서는 초고속의 12-bit 8GS/s의 time-interleaved pipeline SAR ADC를 발표하였다. 본 논문에서 강조하는 key idea는 총 3가지로 다음과 같다. (1) 높은 선형성을 보이는 input buffer (2) Layout-customized 된 bootstrap switch 그리고 마지막으로 (3) Super-source-follower 기반의 residue amplifier를 본 논문에서는 강조하고 있다. 첫 번째로 input buffer의 경우, AC coupling super-source-follower 구조를 통한 negative feedback을 구현하고 input level-shifting 및 moscap을 사용한 compensation으로 선형성을 증가시켰다. 두 번째로 bootstrap switch의 경우에는, 중요 path에서 딜레이를 최소화하기 위해 MoM capacitor를 bending한 구조를 사용하였다. 마지막으로 residue amplifier에서는 super-source-follower와 negative feedback을 통해 높은 선형성과 출력 power를 가지는 residue amplifier를 구현하였다. 결과적으로 8GS/s의 초고속 동작 범위에서 149.8dB FoMs와 312.6fJ/c-s의 FoMw를 얻어 동일 타입의 다른 ADC 설계에 비해 경쟁력 있는 성능을 보였다. 다만, 본 논문에서 몇 가지 아쉬운 점이 눈에 띄었는데, 먼저, input buffer와 super-source-follower 기반의 residue amplifier (이하 SSF-RA)에 대한 아이디어가 다소 덜 새롭다는 점이다. 특히, SSF-RA의 경우에는 실제로 널리 알려져 사용되고 있는 기술 중 하나라는 점에서 아쉬움을 자아냈다. 또한, input buffer와 SSF-RA 등 부속 회로에 대해서는 설명이 자세하게 진행되었지

만 이에 반해 단일 채널 ADC에 대한 상세한 설명이 부족했다고 느껴진다. 마지막으로, 측정 결과에서 interleaving spur나 FFT point 개수가 자세히 나와 있지 않다는 점이 다소 아쉽다.

#6.4 – Yonsei University, Korea

본 논문에서는 flash ADC와 입력단의 스위치와 pre-amplifier에 대해 소개하였다. 종래의 flash ADC에서는 입력단에서 사용하는 스위치와 pre-amplifier, latch가 순차적으로 연결된 구조임에 반해, 본 설계에서는 pre-amplifier와 입력단의 스위치를 결합시켜 pre-amplification과 track-and-hold를 동시에 진행함으로써 timing requirement를 완화시켰다. 또한, 본래는 2-stage로 구성된 pre-amplifier에서 각 stage 당 64개의 pre-amplifier가 사용되어야 하지만, interpolation을 사용하여 각 stage 당 pre-amplifier 개수를 각각 16개, 32개로 감소시켜 하드웨어 부담을 대폭 완화시켰다. 다량의 pre-amplifier와 latch가 사용되는 flash ADC 특성 상 offset calibration이 필수적으로 사용되는데, 본 논문에서 또한 이러한 현상을 해결하기 위해서 foreground offset calibration을 사용하였다. 본 논문에서 소개하는 calibration의 경우, 첫 번째 단의 pre-amplifier와 직접적으로 연결되는 두 번째 단 pre-amplifier와 latch로 이루어진 path인 main branch에 대해서만 calibration을 진행한다. 이 때, main branch 이외의 interpolated branch의 경우, main branch에 대한 offset calibration을 통해 상쇄시킬 수 있으며, 따라서 calibration에 필요한 하드웨어적 부담을 줄일 수 있다는 이점이 있다. 제안된 calibration은 code counting 방법을 기반으로 진행하며 출력단에 가까운 latch 단부터 시작하여 두 번째 단의 pre-amplifier, 그리고 마지막으로 첫 번째 단의 pre-amplifier 순서로 진행된다. 본 설계는 입력단의 스위치를 pre-amplifier와 결합시켜 동작 timing requirement를 줄이고 on-chip foreground offset calibration을 사용하여 결과적으로 5.12GS/s, 6-bit resolution에서 5.18-bit ENOB 및 216.6fJ/c-s의 FoMw의 좋은 결과를 도출하였다. 본 논문에서 설명한 calibration 기법의 경우, 자주 사용되는 code-counting 방법을 기반으로 하여 기존의 calibration 기법들과 유사하였기에, 간단하면서도 직관성이 좋았다고 생각된다. 또한, 본 논문에서 제시하는 ADC 구조 특성 상, timing skew에 영향을 받을 것으로 예상되는데, 이를 감안하고도 좋은 성능을 보였다는 점이 긍정적으로 평가된다.

저자정보



박건우

- 소 속 : KAIST 전기및전자공학과 박사과정
 - 연구분야 : High Speed & Resolution ADC
 - 이 메 일 : pkwoo435@kaist.ac.kr
 - 홈페이지 : <https://msicl.kaist.ac.kr>
-