A-SSCC 2022
IEEE Asian Solid-State Circuits Conference

성균관대학교 전자전기컴퓨터공학과 석박사통합과정 박재우

Session 12 Advanced Wireline Transceiver Techniques

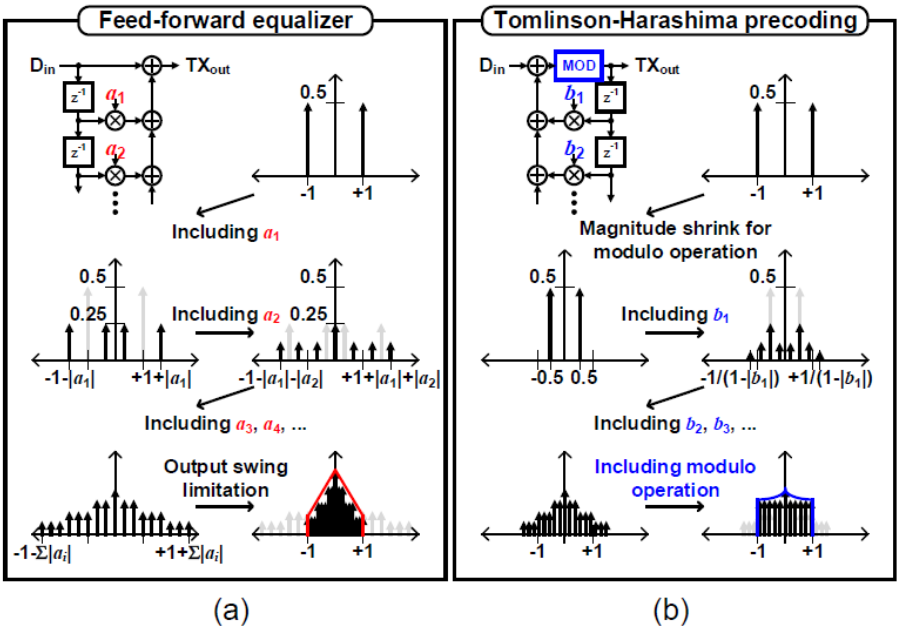
이번 A-SSCC 2022의 Session 12은 Advanced Wireline Transceiver Techniques라는 주제로 총 4편의 논문이 발표되었다. 그 중 2편의 논문은 CDR 회로를 제안하고 있으며, 다른 2편의 논문은 Tx Equalization technique을 제안한다. 논문들의 주제를 통하여, 고속 인터페이스 수요가 증가함에 따라서 equalization technique을 사용하여 채널의 대역폭 제약을 극복하기 위한 노력들이 계속되고 있으며, 한편으로는 고속 인터페이스에 적용할 수 있는 clock system에 대한 연구가 꾸준히 이뤄지고 있음을 알 수 있다.

#12-1: A 103 fJ/b/dB, 10-26 Gbps Receiver with a Dual Feedback Nested Loop CDR for Wide Bandwidth Jitter Tolerance Enhancement

송수신기를 정상적으로 동작 시키기 위해서는 데이터 심볼을 원하는 타이밍에 정확하게 판별하는 것이 중요하다. 하지만 데이터 속도가 올라가면서 데이터 심볼의 주기는 점점 짧아지고 있으며, 이에 따라서 clock system은 더욱 높은 resolution을 필요로 하고 노이즈도 엄격한 기준을 요구한다. 동시에 저전력 트렌드에 맞춰 전력소모를 최소화하려는 노력이 필요하다. Conventional 구조인 Dual-loop clock and data recovery circuits (DL-CDR) 구조는 이러한 조건을 맞추기 위해서는 전력소모량을 증가시킬 수밖에 없고, 결국 clocking system이 전제 송수신기의 전력소모량의 주요지표가 되 버린다는 문제가 발생한다. 또 다른 구조인 Nested loop CDR (NL-CDR)는 phase rotator를 하나만 사용한 구조로 전력소모 측면에서는 유리하나 loop delay가 길어진다는 문제가 있다. 본 논문에서는 전력소모와 loop delay를 줄일 수 있는 방안으로 Dual feedback nested Loop CDR (DF-CDR)을 제안하였다.

#12-2: A 42Gb/s PAM-8 Transmitter with Feed-Forward Tomlinson-Harashima Precoding in 28nm CMOS

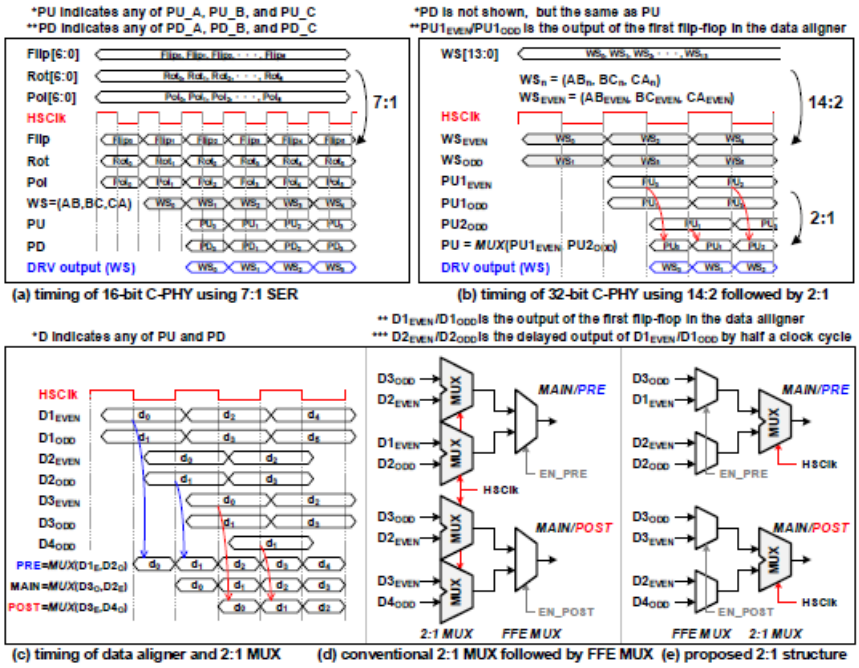
#12-2 에서는 채널의 대역폭 제약 문제를 극복하고 고속 데이터 전송속도를 달성하기 위하여 PAM-8 신호를 사용하였다. 하지만 구조적으로 PAM-N 신호는 NRZ 대비 1/(N-1)의 Vertical Eye Margin (VEM) 감소를 겪는다는 문제점이 있다. 여기에 FFE와 같은 일반적인 equalizer를 사용하게 되면 VEM은 다시 한번 크게 감소하기 때문에 SNR 측면에서 매우 불리하다. #12-2는 Tomlinson-Harashima precoding (THP) based FFE 구조를 제안한다. 그림1 (a)를 보면 기존의 FFE 방식을 사용할 경우 최종 출력신호의 PDF가 중앙에 집중되어 있는 것을 볼 수 있다. 반면에 그림1 (b)에서 볼 수 있듯이 제안하는 THP based 방식을 사용하면 PDF가 균일하게 분포되기 때문에 신호의 SNR을 높일 수 있다. 설계한 칩은 42Gb/s를 달성하였으며, VEM은 FFE를 사용했을 때 대비 55% 증가시켰다.



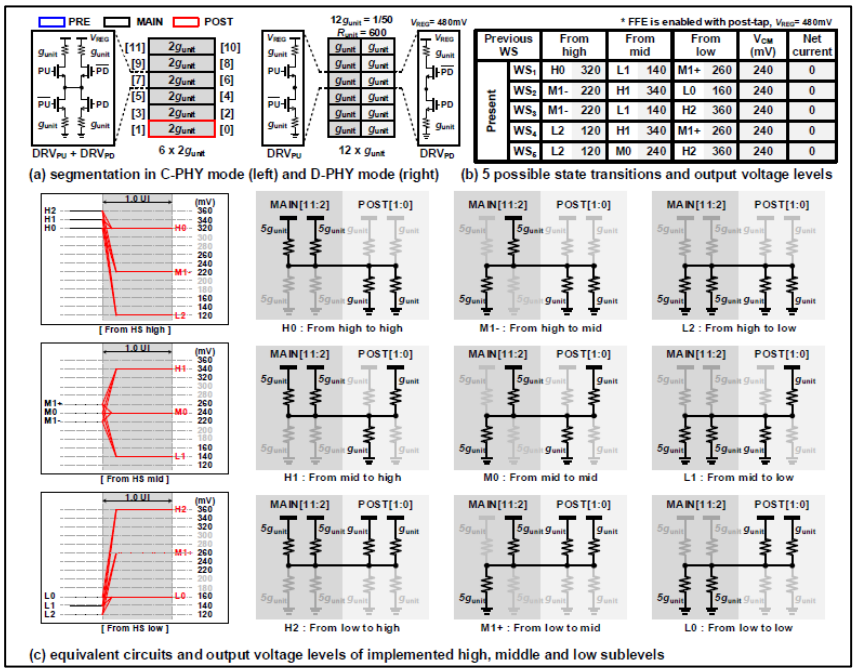
[그림 1] #12-2 power spectrum density of (a) FFE, (b) Tomlinson-Harashima precoding (THP)

#12-3: A 11.4-Gbps/lane MIPI 32-bit C-PHY and D-PHY combo transmitter with 3-tap FFE

#12-3 은 MIPI 32-bit CPHY and D-PHY combo transmitter 를 제안하였다. 하나의 하드웨어로 C/D-PHY 두가지 인터페이스를 모두 지원할 수 있도록 설계했으며, 이에 맞는 FFE 구조 역시 제안하였다. 그림 2(a)와 같이 일반적으로 사용하는 16-bit C-PHY 구조가 full-rate clock 으로 동작하는 것과 달리 그림 2(b)의 제안하는 32-bit C-PHY TX 는 half-rate clock 으로 동작하기 때문에 전력소모를 낮출 수 있었다. 드라이버는 100-ohm driver 두개가 병렬로 연결된 구조인데, 이 구조를 사용함으로써 기존 C-PHY 드라이버 구조인 50-ohm 드라이버와 100-ohm 드라이버가 연결된 구조보다 pre-driver 의 컨트롤 로직도 간단하게 구성할 수 있으며, 동시에 D-PHY mode 를 지원할 수도 있다. 그림 3 은 C-PHY mode 의 equalization 동작을 보여준다. 그림과 같이 제안하는 equalizer 는 이전 신호의 wire state (WS)에 따라서 현재 WS 의 출력전압 레벨을 다르게 가져간다. 따라서 그림과 같이 C-PHY WS 하나당 3 개의 sublevels (high, middle, low) 갖는 것이 특징이다. 설계한 칩은 C-PHY mode 와 D-PHY mode 에서 각각 11.4 Gbps (5 Gsps) 와 6 Gbps 를 달성하였다.



[그림 2] #12-3 timing diagram of 32-bit C-PHY and block diagram of 2:1 MUX



[그림 3] #12-3 Equivalent circuits of implemented high, middle, and low sublevels for equalization in C-PHY mode

저자정보

명예기자 박재우

- 소속 : 성균관대학교 전자전기컴퓨터공학과 석박사통합과정
- 연구분야 : High Speed I/O
- 이 메 일 : jaewoo7488@skku.edur
- 홈페이지 : https://sites.google.com/view/skku-comics/home?pli=1