

# A-SSCC 2022

## IEEE Asian Solid-State Circuits Conference

서울대학교 전기정보공학부 박사과정 박하정

### Session 20 Interfaces for High-Speed Memory

이번 A-SSCC 2022의 Session 20은 Interfaces for High-Speed Memory라는 주제로 총 4편의 논문이 발표되었다.

#### (#20.1 - 싱가포르 국립 대학교)

본 논문에서는 TSV와 50-Ohm으로 매칭된 transmission-line links에 적용할 수 있는 단일채널(CR1)과 다중채널(CR2/4/8) Charge-Recycling(CR) IO를 발표하였다. High bandwidth memory(HBM)은 빅데이터를 실시간으로 처리하는 데 중요하지만, dynamic power 소비가 높은 것이 문제이다. 이러한 문제를 해결하기 위하여 본 논문에서는 storage capacitor를 이용하여 출력이 H2L transition에서는 전하를 저장하고, L2H transition에서는 저장된 전하를 출력이 "jump-start"할 수 있도록 보충하는 용도로 사용하여 dynamic power 소비를 줄일 수 있는 방법을 제안하였다. Energy Reduction Ratio(ERR)를  $(\text{Power of conventional IOs} - \text{power of CR driver}) / \text{Power of conventional IOs}$ 로 나타내었을 때, 제안된 방식을 적용하면 이론상 50%까지 개선할 수 있다. 칩 구현 결과 2.56Gb/s periodic data를 입력으로 하였을 때, TSV link 에서는 CR1, CR2 CR8에서 21.7%, 30.4%, 32.2%의 에너지를 절약할 수 있었고, 5.12 Gb/s T-Line link에서 CR1, CR2, CR4은 40.4%, 43.7%, 47.0%의 에너지를 절약할 수 있다. 본 연구를 통해 단일 채널 및 다중채널의 고속 고밀도 IO에서 전력 소모를 효과적으로 줄일 수 있는 수 있을 것으로 기대해 본다.

#### (#20.2 스위스 EPFL)

본 논문은 LPDDR5 DRAM의 data strobe(DQS)와 write clock(WCK) 테스트를 하기 위한 built-out tester(BOT)를 발표한다. 기존의 방식인 built-in-self-tester(BIST)는 고 비용 automatic test equipment(ATE)의 테스트 부담을 줄일 수 있으나, 테스트 회로를 DRAM 내부에 배치하는 것이 DRAM의 면적과 전력을 소모하게 되는 것이고, 구현하지 않은 기능은 테스트하기 어려운 단점이 있다. 따라서 BOT가 이러한 문제를 해결하기 위해 제안되었고, BOT는 DRAM 내 테스트 회로의 오버헤드를 완화하고 고속 테스트를 지원하도록 설계되었으며, 자동 테스트 장비(ATE)와 DRAM 사이의 브리지로서 DRAM 읽기/쓰기 동작을 위한 다양한 기능을 수행할 수 있다. 제안된 BOT는 phase interpolator, serializer/deserializer, pattern generator 및 all-digital phase-locked loop(ADPLL)로 구성된다. Phase interpolator는 내부 클럭의 위상을 미세하게 조정하고 serializer/deserializer는 각 채널 출력의 위상을 정렬한다. Pattern generator는 DQS 읽기/쓰기 작업을 위한 preamble, burst, postamble 시퀀스를 생성하며, ADPLL은 고속 및 넓은 주파수 튜닝 범위를 지원한다. 또한 본 논문에서는 serializer/deserializer에 사용되는 샘플링 클럭의 위상을 정렬하기 위한 stacked 디

바이더와 전송 및 수신 모드를 모두 가능하게 하는 DQS 용 양방향 드라이버를 제안한다. 제안된 BOT는 40-nm GP CMOS 공정으로 구현되었으며 칩은 4-채널 양방향 DQS와 4-채널 단방향 WCK로 구성되어 있고, 10Gb/s에서 0.6UI horizontal margin을 보이는 등 테스트에서 우수한 성능을 보이는 것을 확인할 수 있었다.

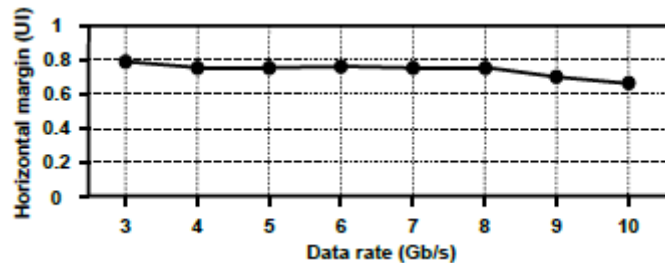


그림 1 주파수 대역별 DQS0\_t output에서 측정된 horizontal margin

### (#20.3 중국 Changxin Memory Technologies, Inc.)

본 논문에서는 T-자형 bit line(BL)과 고유한 pseudo-double-bit error-correction code(ECC) 기능을 가진 full-bank 아키텍처를 사용하는 12Gb LPDDR5x SDRAM 을 발표하였다. 칩 아키텍처는 고속 데이터 경로의 중앙 트래픽 제어로서 "spider" 모양의 8 방향 multiplex 를 포함하며, 이는 서로 다른 뱅크 아키텍처(8 뱅크 또는 4 뱅크 그룹) 또는 구성(x16 또는 x8)에 기초하여 읽기 및 쓰기 트래픽을 지시한다. 또한 이 칩은 링크 ECC 를 데이터 경로에 통합하고 DVFS(Direct Dynamic Voltage and Frequency Scaling)를 통해 서로 다른 전압 영역을 통과할 때 전력 소비를 줄인다. 이 칩은 또한 1 탭 decision feedback equalizer(DFE)와 채널을 response 를 포함한 데이터의 eye margin 을 평가하는 on-die eye monitor 를 갖춘 듀얼 테일 고속 데이터 수신기를 포함한다. Pseudo-double-bit ECC 는 인접한 solid와 dot 이 있는 비트 사이의 2비트 오류를 수정할 수 있게 해준다. T 자형 BL 을 갖춘 full-bank 아키텍처는 보다 효율적인 평면 구성과 데이터 신호 간의 크로스 토크 감소를 가능하게 한다.

### (#20.4 한국 성균관대학교)

본 논문에서는 28nm CMOS 공정으로 구현된 메모리 인터페이스용 PAM4/duobinary-PAM4 듀얼 모드 송신기를 발표하였다. Duobinary-PAM4 신호는 quarter-rate 클럭에 의해 2개의 half-rate PAM4 신호를 더하여 7 레벨 Duobinary-PAM4 신호를 생성하는 multilevel signaling 방식이다. 그림 2는 종래의 PAM4 및 PAM8 시그널링 방법과 duobinary-PAM4 시그널링을 비교한 것이다. Eye-diagram에 표시된 것처럼 duobinary-PAM4 신호는 7개의 전압 레벨을 사용하므로 고유 SNAR은 4개의 전압 레벨을 가진 PAM4보다 약 6dB 작다. 그러나, duobinary-PAM4의 최대 transition level이 PAM4와 같이 3단계로 제한되어 있기 때문에, 하단에서 상단으로의 완전 전이를 허용하는 경우에 비해 cross-talk과 ISI를 완화시킬 수 있다. Duobinary-PAM4의 Nyquist 주파수는 PAM4보다 1.5배 작은 정도로 PAM8과 거의 동일하며 사용된 채널의 insertion loss를 고려하였을 때 duobinary-PAM4를 사용하는 것이 설계에 유리하다. 송신기는 48개의 소스 계열 source-series

terminated 드라이버로 구성되며, 이들은 6개의 블록으로 분할되어 duobinary-PAM4 신호를 생성한다. 송신기에는 심볼 간 간섭을 완화하기 위한 2탭 feed-forward equalizer와 duobinary-PAM4 인코딩을 위한 quarter-rate 클럭을 생성하기 위한 위상 잠금 루프가 포함된다. 본 논문에서 제안한 회로는 18Gb/s에서 duobinary-PAM4 및 PAM4 모드에서 각각 1.11pJ/b 및 1.66pJ/b 에너지 효율을 가지며 quarter-rate 클럭이 있는 duobinary-PAM4 모드에서 에너지 효율이 half-rate 클럭이 있는 PAM4 모드에 비해 약 33% 향상됨을 보였다.

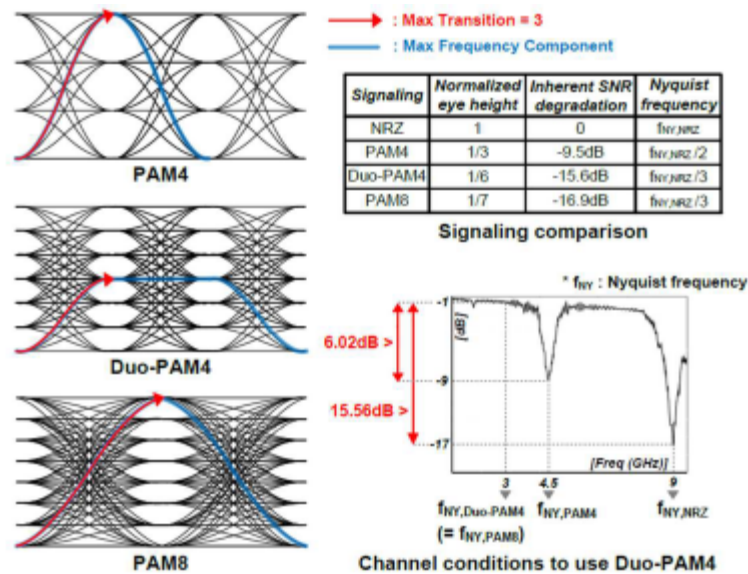
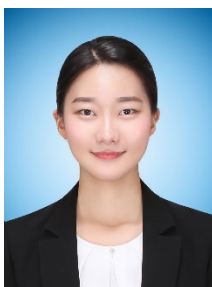


그림 2 Duobinary-PAM4 signaling과 conventional PAM4, PAM8 signaling 비교, 사용된 채널의 Insertion loss

## 저자정보



### 명예기자 박하정

- 소 속 : 서울대학교 전기정보공학부 박사과정
- 연구분야 : High Speed I/O
- 이 메 일 : hajung.park@snu.ac.kr
- 홈페이지 : <https://idec.or.kr>