

# 2023 International Solid-State Circuits Conference

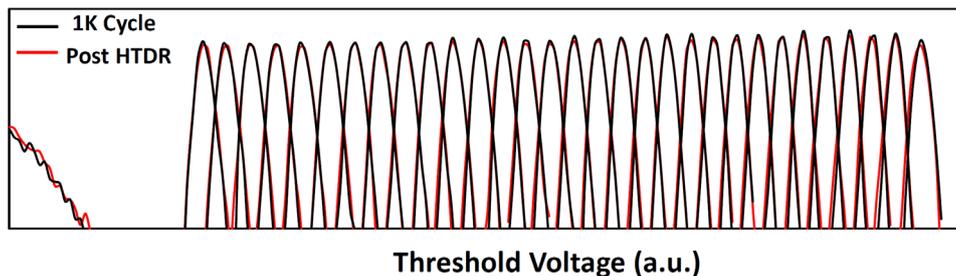
## (ISSCC) Review

인천대학교 전자공학과 나태희 교수

Topic : Memory

### Session 28. High-Density Memories

인텔에서 발표한 #28.1 논문에서는 하나의 cell에 5bit (32level)을 저장하는 **penta-level cell (PLC) floating-gate 3D NAND flash 메모리**가 소개되었다. 192-layer로 만들어진 이 flash 메모리는 73.3mm<sup>2</sup> 면적으로 1.67Tb의 die capacity를 구현하여 23.3Gb/mm<sup>2</sup>의 bit density를 가진다. 흥미롭게도 이 1.67Tb PLC는 1.33Tb QLC (4bit, 16level) 또는 1Tb TLC (3bit, 8level)로 재구성 가능하며, 기존에 소개된 QLC, TLC보다 높은 bit density를 달성한다. Read time ( $t_R$ )은 354 $\mu$ s, program time ( $t_{PROG}$ )은 5500 $\mu$ s를 가진다.



[그림 1] 32개의 Vth level을 가지는 PLC floating-gate 3D NAND flash

**SK하이닉스**에서 발표한 #28.2 논문에서는 읽기/쓰기 성능을 높이고 cost/bit을 낮추기 위해 stacked layer의 수를 **300층 이상**으로 증가시키면서 다섯 가지의 테크닉이 적용된 **1Tb TLC (3bit, 8level) 3D NAND flash 메모리**가 소개되었다. 각각의 테크닉은 다음과 같다. 1) program 성능 개선을 위한 triple verify scheme. 2) disturb와 program time을 줄이기 위한 adaptive unselected string precharge. 3) WL settling time 감소를 위한 programmed dummy string. 4) read time 개선을 위한 all-pass rising. 5) QoS 개선을 위한 plane-level read retry. (참고로, 예년과 마찬가지로 **삼성전자**도 이번에 차세대 NAND flash를 ISSCC에서 선보이려고 하였으나, 아직 wafer가 나오지 않아서 die photo 부재로 인해 발표하지 못했다는 후문이 있다).

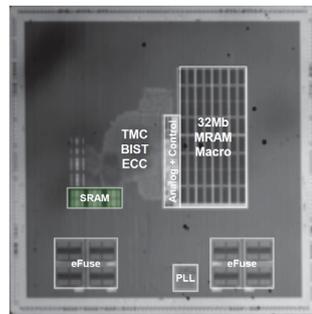


[그림 2] 300층 이상으로 구현된 1Tb TLC 3D NAND flash

### Session 33. Non-Volatile Memory and Compute-In-Memory

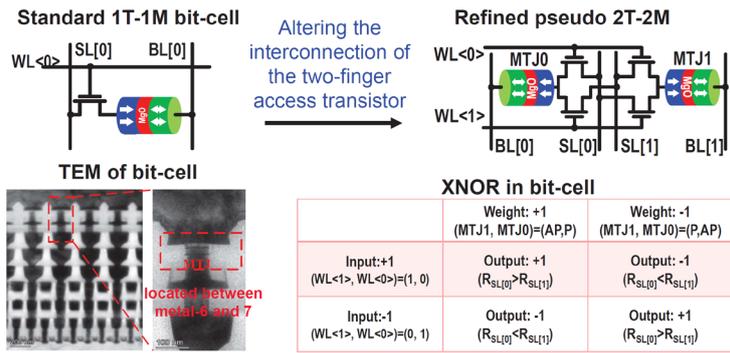
TSMC에서 발표한 #33.1 논문에서는 자동차 응용에 적합한 **16nm 32Mb embedded STT-MRAM** 이 소개되었다. 특징으로는 endurance 개선을 목적으로 쓰기 수율은 유지하면서 MTJ의 voltage stress를 줄일 수 있는 WL location-bias trimming (WL에 따라 write driver의 쓰기 전압 가변) 방식이 제안되었으며, 읽기 수율 개선을 목적으로 merged local reference sensing scheme (36개 reference MTJ current 평균을 통한 MTJ variation 감소)과 local reference trimming (WL에 따라  $R_p:R_{AP}$  ratio 가변) 방식이 제안되었다. Cell size는  $0.033\mu\text{m}^2 (= 128.9\text{F}^2)$ , read time은 6ns ( $V_{DD}=0.7\text{V}$ , ECC 시간 제외), write time은 100ns, write endurance는 1M cycle, retention time은  $150^\circ\text{C}$ 에서 20년을 가진다. 읽기/쓰기 수율 만족을 위해 비교적 큰 cell size를 이용했으며 WL 전압도  $\sim 1.8\text{V}$ 를 사용했다고 한다.

Technology	N16 MRAM
Cell size ( $\mu\text{m}^2$ )	0.033
VDD (V)	0.8
VDIO (V)	1.8
Operation Temperature ( $T_j$ , C)	$-40^\circ\text{C} \sim 150^\circ\text{C}$
32Mb Macro size ( $\text{mm}^2$ )	2.5
Redundancy	Yes
ECC	DECTED
Read current ( $\mu\text{A}/\text{MHz}/\text{effective-bit}$ ) @256IO, 25 C (excluding ECC)	0.8
32Mb Read speed (ns) at 0.7V	6ns excluding ECC
Write current (mA)	22
Burst mode Write throughput (Mb/s)	> 69
Stand-by current ( $\mu\text{A}$ )	107
Low power standby-current ( $\mu\text{A}$ )	67
Endurance (cycle)	1M
Retention (yr/ C)	20/150
Reflow	Yes



[그림 3] 16nm 32Mb embedded STT-MRAM chip의 key feature와 die photo

중국의 **Southeast University**에서 발표한 #33.4 논문에서는 standard foundry에서 제공하는 STT-MRAM 1T-1MTJ bit-cell을 이용하여 제작된 **28nm 2Mb STT-MRAM computing-in-memory (CIM) macro**가 소개되었다. Active 영역은 유지한 상태에서 BEOL의 수정을 통해, 일반적으로 사용하는 two finger 기반 2T-2MTJ cell을 4T-2MTJ (pseudo 2T-2MTJ) cell로 변형하여, 쓰기 동작시에는 full transistor가 켜지고 CIM 읽기 동작(XNOR)시에는 half-transistor가 켜지도록 설계되었다. 이 외에도 weak bit-cell을 repair하기 위한 column repair cross-coupled readout scheme과 3x3 binary convolution을 위한 두 readout scheme (hasty: activate 9 rows, moderate: 3 rows 3 steps)이 제안되었다. 참고로 hasty scheme에서 사용한 sense amplifier는 필자가 이전에 제안한 OCCS-SA이다.



[그림 4] Pseudo 2T-2MTJ bit-cell 및 XNOR 동작

## 저자정보



### 나태희 교수

- 소 속 : 인천대학교 전자공학부
- 연구분야 : 저전력 집적회로
- 이 메 일 : taehui.na@inu.ac.kr
- 홈페이지 : <https://sites.google.com/view/svclab>