

# 2023 International Solid-State Circuits Conference (ISSCC) Review

한밭대학교 전자공학과 김주성 교수

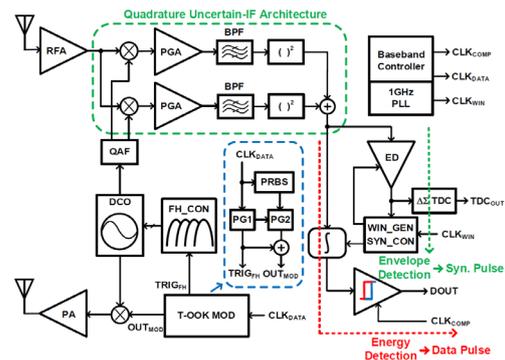
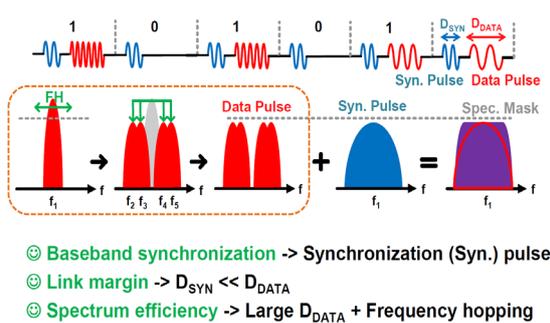
Topic : RF

## Session 31 : Energy-Efficient Radios for UWB, BMI, and IoT Systems

이번 ISSCC 2023의 Session 31: Energy-Efficient Radios for UWB, BMI, and IoT Systems 은 Wireless sub-committee (RF circuits and systems)에서 저전력 라디오 관련한 주제로 총 8편의 논문이 발표되었다. 4편의 논문이 저전력, 그리고 많은 수의 무선 노드를 요구하는 IoT (Internet of Things) 시스템으로 발표되었으며, IoT와 비슷한 요구 조건 (저전력, 높은 데이터 전송률)을 가진 UWB (Ultra Wide Band)와 BMI (Brain Machine Interface) 논문이 각각 2편 발표되었다.

UWB 논문의 경우 제한된 송신 전력, carrier-less 통신에서의 위상 동기화 방식을 극복하고 저가격/고성능을 목표로 하는 2편의 논문이 Tsinghua 대학 및 삼성전자에서 발표되었다. BMI 시스템은 체내 삽입형 환경에서 높은 전력 효율성, 그리고 향상된 데이터 전송률을 만족하기 위한 논문이 Tsinghua 대학, 그리고 Zhejiang 대학에서 발표되었다. 마지막으로 IoT 시스템의 경우 총 4편의 논문이 BLE Tag (Zhejiang 대학), ULP Tag (Macau 대학), NB-IoT/BLE를 위한 송신기 (Fudan 대학), 잡음 제거 기능 겸비한 ULP 수신기 (Oregon 대학) 주제로 발표되었으며, 다양한 요구 조건에 맞는 다양한 규격(스탠다드)들이 연구되고 있음을 보여주고 있다.

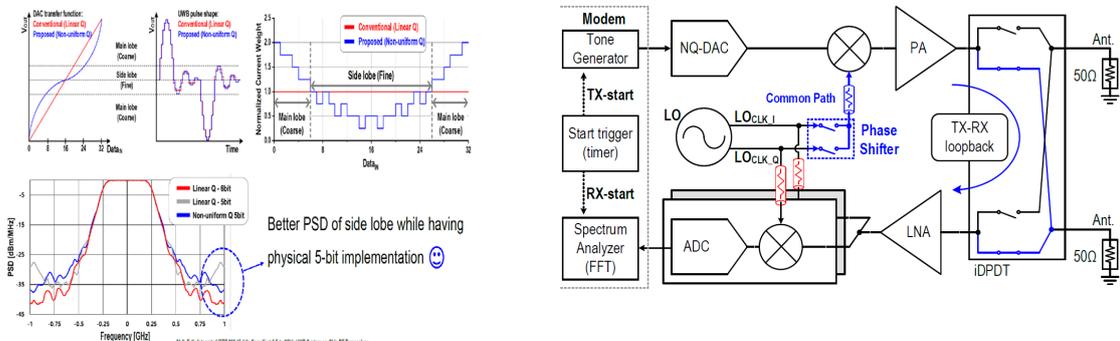
### Energy-Efficient Radios for UWB (초광대역 저전력 라디오)



[그림 1] #31.1에서 제안한 Twin-OOK 변조방식(좌측), 시스템 회로도(우측)

#31.1은 Tsinghua 대학에서 발표한 논문으로, 높은 에너지 효율성(energy efficiency) 와 세밀한 측위 (fine ranging)을 달성하기 위한 변조 방식 및 시스템 구조를 제안하였다. 변조 방식의 경우, 기존의 OOK, Split-OOK (Crepaldi, JSSC 2011)이 가지고 있는 위상 동기화 문제 그리고 제한된 스펙트럼 효율을 극복하기 위한 Twin-OOK 변조 방식 (그림 1, 좌측)을 제안하였다. 시스템 구조의 경우 주요 아이디어(novelty)는 Quadrature Uncertain-IF 구조를 차용한 수신단에 있다. 높은 전력 효율성을 달성하기 위해 제안된 바 있는 Uncertain-IF 구조 (Pletcher, JSSC 2009)는 2차 고조파에 의

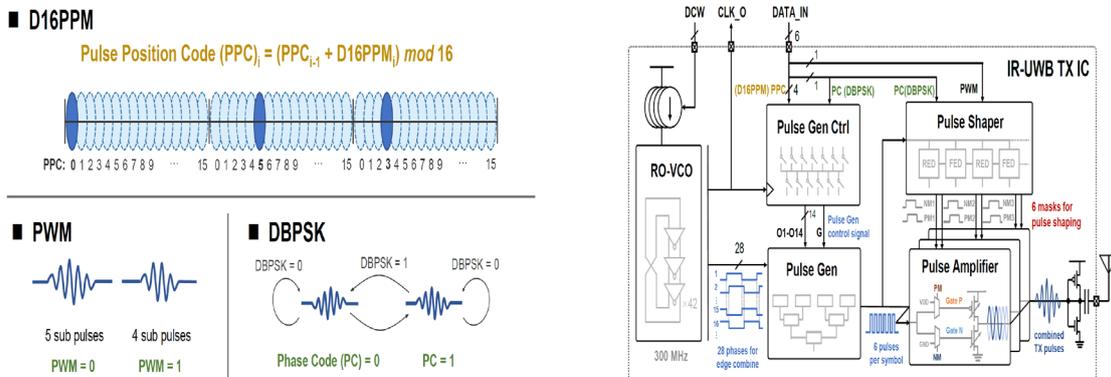
한 영향을 최소화하기 위해 높은 IF 주파수를 채용해야 하는 단점을 가지고 있다. #31.1에서는 복소(quadrature) 구조의 Uncertain-IF를 채용함으로써 기존의 문제를 극복하고, 높은 수준의 측위를 보장할 수 있는 구조를 제안하였다. 6-8GHz UWB 밴드에서 10Mb/s의 데이터 전송률, 1cm 이내의 측위, 그리고 -22.4dBm의 NBI (narrow-band interf.)에 강성(robustness)을 보여주고 있다.



[그림 2] #31.2에서 제안한 NQ-DAC (좌측), I/Q 미스매치 보정 기술 (우측)

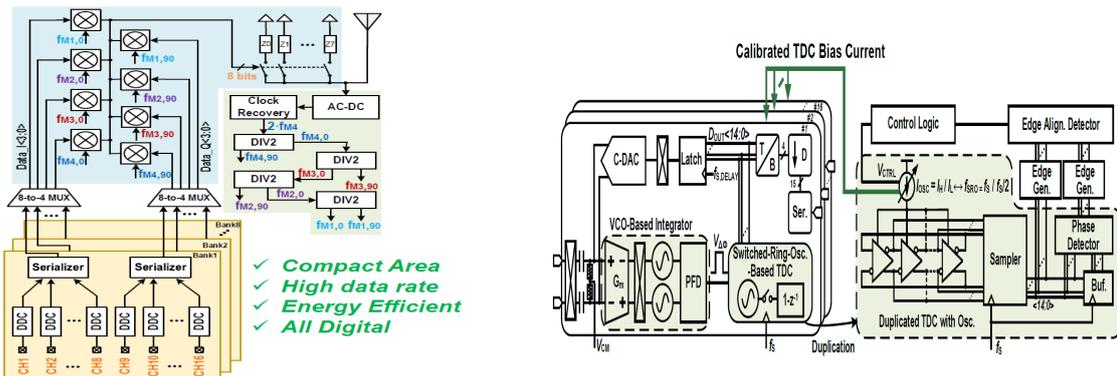
#31.2은 Samsung LSI에서 발표한 논문으로, 높은 측위 기술 (거리 및 각도 측위), 그리고 UWB 시스템의 보안을 개선한 Fully integrated SoC를 제안하였다. MCU/Modem/eFlash/SRAM/PMU/etc. 를 포함한 SoC 시스템 환경에서 RF의 경우 2 TX / 3 RX 를 제안하여, flexibility/diversity를 보장하고 있다. RF 회로를 보게 되면 크게 3가지 개선점(아이디어)를 제시하고 있는데, 이는 1) AC coupling capacitor를 사용하지 않는 Direct-Conversion 수신기 및 DC offset 보정 기술, 2) Non-uniform Quantization DAC를 사용하여 동일 resolution 대비 높은 수준의 측위부(sidelobe) 성능 개선(그림 2, 좌측), 그리고 3) 추가적인 하드웨어를 요구하는 SSB 신호가 아닌 DSB loop back 신호를 통한 I/Q 미스매치 보정 기술(그림 2, 우측)을 제안하고 있다. IEEE 802.15.4/z 규격의 UWB SoC는 14dBm 의 송신 출력, -95.6/-102 dBm의 수신부 감도(각각 6.81Mbps/0.85Mbps)를 보여주고 있다.

### Energy-Efficient Radios for BMI (뇌-기계 통신을 위한 저전력 라디오)



[그림 3] #31.3에서 제안한 D16PPM-PWM-DBPSK 혼합 변조 방식(좌측), IR-UWB방식의 송신기 회로도(우측)

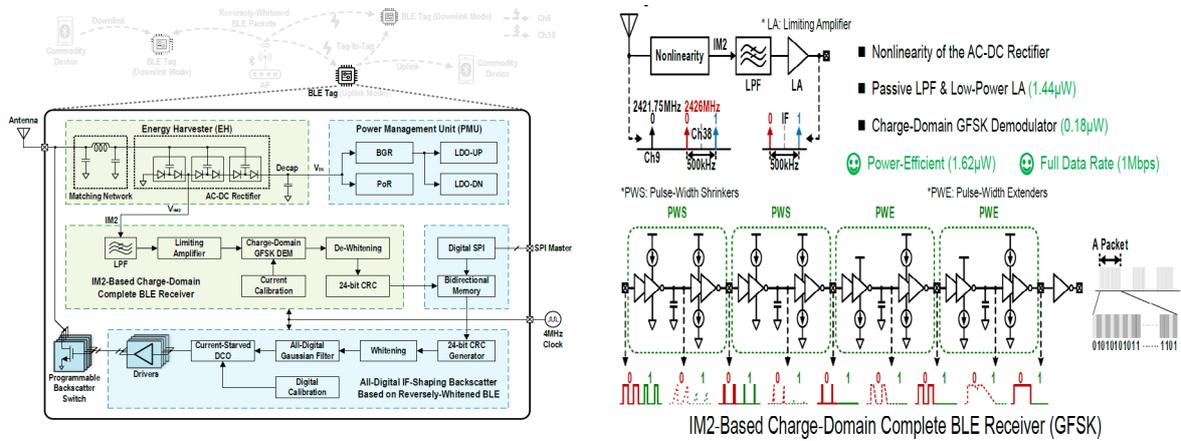
#31.3은 Tsinghua 대학에서 발표한 논문으로, 높은 데이터 전송률 및 transcutaneous 환경에서의 전송 효율 극복, 높은 가격 경쟁력을 달성하기 위한 변조 방식 및 시스템 구조를 제안하였다. 변조 방식의 경우, 16가지의 위치(position) 변조, 2가지의 폭(width) 변조, 그리고 Differential BPSK를 혼합함으로써 최대 6개의 modulation order를 달성하였다. 제안하는 변조 방식은 낮은 주파수의 잡음에 강성을 가짐으로써, crystal-less 시스템에 매우 적합하며, 이에 따른 높은 가격 경쟁력을 강조하고 있다. IW-UWB 송신기의 경우, 몇 가지 개선점을 제안하고 있는데, 이는 1) 다른 입력에 따라 지연 시간이 달라지는 것을 극복하기 위한 NOR 게이트 기반의 펄스 생성, 2) symmetrical한 특성을 가진 NOR/NAND 게이트 구조, 3) 개선된 Edge-detector 체인을 포함하고 있다.



[그림 4] #31.4에서 제안한 Multi-carrier orthogonal backscatter(좌측), Self-calibration Direct Digital Converter(우측)

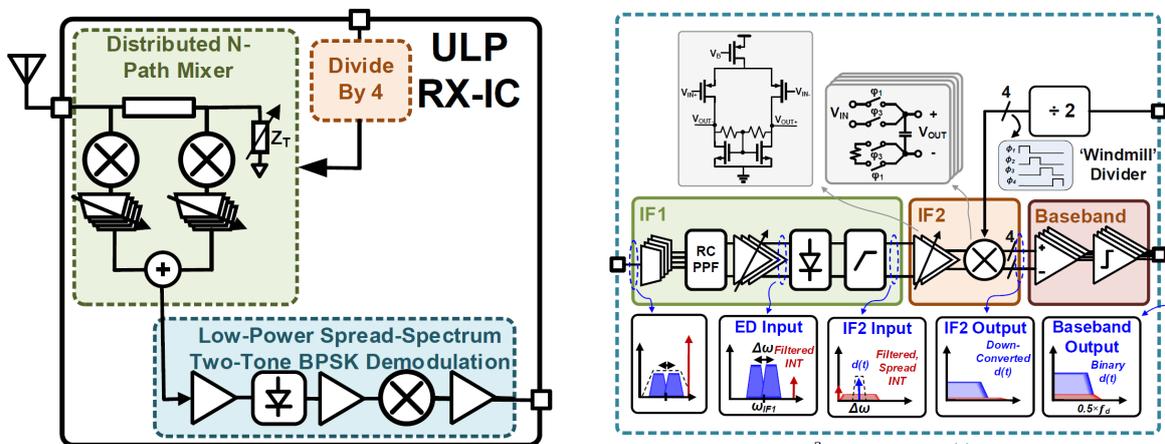
#31.4는 Zhejiang 대학에서 발표한 논문으로, Battery-less, Massive 채널을 지원하기 위한 회로 및 시스템 구조를 제안하였다. 다중 채널을 지원하기 위한 기존의 방식은 channel merging before ADC 혹은 channel merging before AFE를 포함하고 있다. 전자의 경우 높은 소모 전력, 그리고 넓은 반도체 면적을 차지하는 문제점을 가지고 있고, 후자의 경우 다수의 입력 연결로 인한 낮은 입력 저항의 문제점을 가지고 있다. 제안하는 Multi-carrier orthogonal backscatter (그림 4, 좌측)을 통해 이러한 문제점을 해결하고 있다. 또한 기존의 VCO-based AFE가 가진 발진기의 주파수 변동에 따른 문제점을 해결하기 위해 #31.4에서는 fast convergence 특성을 가진 self-calibration direct digital converter (그림 4, 우측)를 제안한다. 제안하는 BMI 시스템은 128개의 채널 지원, 20.16Mbps의 데이터 전송률, 그리고 채널 당 17.2uW의 높은 전력 효율을 달성하고 있다.

## Energy-Efficient Radios for IoT (사물 인터넷을 위한 저전력 라디오)



[그림 5] #31.5에서 제안한 BLE-Tag 시스템 (좌측), IM2 신호의 charge-domain 수신기 회로도(우측)

#31.5은 Zhejiang대에서 발표한 논문으로, Battery-free 동작, 양방향 BLE Tag를 달성하기 위해 1) reversely-whitened BLE 신호를 활용한 AP, 2) 칩 내부의 임피던스 정합 회로 및 에너지 하베스터, 3) all-digital IF-shaping backscatter 송신단, 그리고 4) IM2 신호 기반의 charge-domain 수신기를 제안한다. 4)의 경우 에너지 하베스터의 2차 고조파 (IM2) 성분을 활용하여, 베이스밴드의 신호 폭 변조 회로를 통해 GFSK 신호를 복원한다. 송신 소모 전력 1.94uW, 수신 소모 전력 1.62uW 환경에서, 제안하는 양방향 BLE Tag는 1Mbps의 데이터 전송률을 달성한다.



[그림 6] #31.8에 소개된 3-Way parallel-series Doherty PA

#31.8는 Oregon 대학에서 발표한 논문으로, N-path 필터 기법을 활용하여 잡음 제거, 외부 소자 최소화, 그리고 광대역 수신 기능을 달성한 논문이다. IoT를 위한 기존의 ULP 라디오는 저전력과 고감도를 동시에 달성하기 위해 다수의 외부 수동 소자를 사용하였으며, 이들은 높은 품질계수(Q) 값을 가짐으로 인해 높은 수동 이득(passive gain)을 달성할 수 있는 장점이 있다. 반면 이러한 외부 수동 소자로 인해 라디오의 가격이 상승함과 동시에, 협대역에서만 동작이 가능하다. #31.8는 Mixer-first 구조로서 칩 내부의 수동 소자를 활용한 C-L-C 파이 구조를 통해 Impedance

transformer 구현 ( $\lambda/4$  트랜스포머), 사용된 커패시터와 부하 저항의 변화를 통해 광대역 성능을 달성하였다. 다수의 위상을 사용한 N-path 필터는 부하 저항의 잡음은 반대 위상 (opposite phase), 그리고 신호 간은 동 위상(same phase)를 가짐으로써, noise-cancelling을 달성한다. 제안하는 ULP 수신기는 400-950MHz의 광대역 실현, <math>150\mu\text{W}</math>의 전력 소모, 100kbps 데이터 전송률에서 -83dBm의 수신 감도를 달성하였다.

## 저자정보

---



### 김주성 교수

- 소 속 : 한밭대학교 전자공학과
  - 연구분야 : ULP Radio, SDR, Cryogenic CMOS Transceiver
  - 이 메 일 : jusungkim@hanbat.ac.kr
  - 홈페이지 :  
<https://scholar.google.com/citations?user=KwRa0sYAAAAJ&hl=er>
-

# 2023 International Solid-State Circuits Conference

## (ISSCC) Review

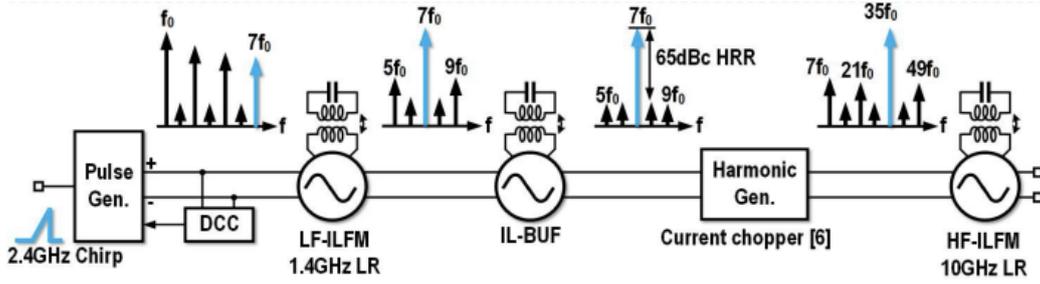
충남대학교 전파정보통신공학과 한정환 교수

Topic : RF

### Session 18 : mm-Wave & Sub-THz for Wireless and Sensing

Session 18 은 주로 W-band, D-band 대한 4편의 RF 블록 및 시스템 회로에 대해 다루고 있다.

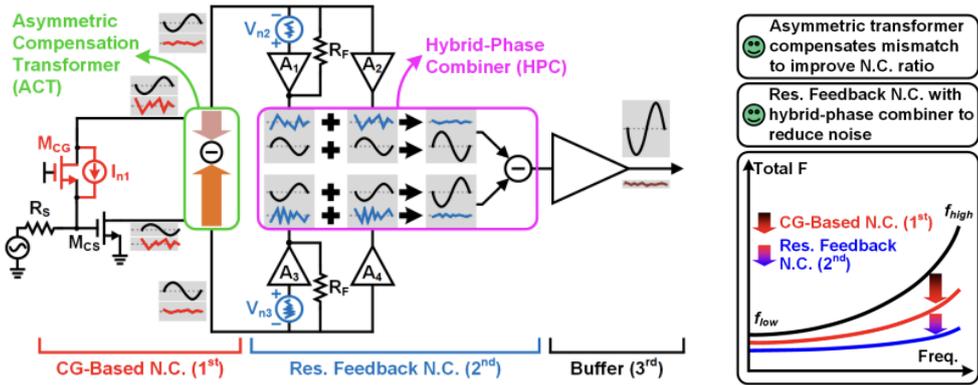
**#18.1** 논문은 스탠포드 대학 연구팀이 발표한 논문으로 FMCW 레이다 용 W-band transceiver array (4 receiver chip +1 transmitter chip) 를 소개한다. 특히 발표된 설계의 경우, x35 frequency multiplier를 적용함으로써 2.4 LO 를 이용하여 신호 분배가 가능한 full scalable transceiver를 구현했다는 점에서 주목할 만하다. 제안된 x35는 x7 저주파 injection-locking frequency multiplier (ILFM)와 x5 고주파 ILFM 나란히 연결하여 구현하였고, 높은 harmonic rejection ratio (HRR)을 위해 duty-cycle correction 과 injection-locked buffer (IL-BUF) 를 적용하였다. 40nm CMOS 공정을 사용하였고, 측정된 HRR 와 phase noise의 경우, 각각 55 dBc (81.2 GHz) 와 -112.4 dBc/Hz (1MHz offset) 보여준다. **#18.2**는 인텔 사에서 발표한 논문으로 PLL과 ADC를 22nm FinFET의 같은 공정 적용하여 집적화한 D-band 수신단을 소개한다 (2mm x 2mm). 5.8 GHz reference clock으로 동작하는 집적화 된 quadrature PLL의 출력은 tripler, LO buffer 를 통해 믹서에 인가된다. ADC는 총 12 개의 time-interleaved hybrid voltage/time domain sub-ADC 포함하며, 각 sub-ADC는 4개의 time-to-digital converter-assisted SAR ADC로 구성되어 있다. 전체 측정결과에서 19 dB 이득, 12 dB 잡음지수, -18.3 dB EVM (16QAM)의 인상적인 결과를 도출하였다. **#18-3** 은 논문은 중국전자과학기술대학에서 발표된 논문으로 high-efficiency 71-to-89 GHz 송신기 보여준다. RF digital-to-analog converter (RFDAC)의 경우, mmWave 송신단에서 DAC 과 믹서 필요없이 높은 효율, 구조 간략화, 출력파워 증가 등의 장점을 가지지만, 높은 data-rate 필요에 따른 high sampling rate을 필요로 한다. 이 논문에서는 double-edge-triggered (DET) RFDAC 제안함으로써 기존 대비 채널 대역폭 및 data-rate를 개선하였다. 40nm CMOS 공정으로 구현된 전체 송신단은 20.5 dBm peak output power 와 20.4 % system efficiency 를 보여준다. **#18-4**는 새로운 이미징 솔루션을 제시하기 위한 sub-THz 대역 (607 GHz)의 harmonic Injection-locked receiver 를 소개한다. 특히 CMOS 기술을 적용한 이미징 솔루션의 경우, 저전력 및 저비용 구현이 가능해진다. 본 논문에서의 기존 이미징 분야의 CMOS 수신단에 비해 noise-equivalent power (NEP) 특성을 개선한 28nm CMOS 607 GHz 4x4 수신단 array를 보여준다. 설계된 수신단은 200 GHz cross-coupled 구조와 인터더를 포함하고 있으며, 3차 injection-locked 수신 동작을 수행한다. 이 논문에서는 실제 구현된 픽셀을 이용 이미징을 실제 구현하여 검증한 점 인상적이다.



[그림] #18.1 제안된 x35 frequency multiplier

## Session 25 : RF TRANSCEIVER BUILDING BLOCKS

Session 25 은 RF Transceiver building block에 대한 세션으로 전력증폭기와 저전압 증폭기, RFDAC, N-path 필터에 대한 총 5편의 논문으로 구성되어 있다. #25.1 논문에서는 기지국용 5G 통신에서 기존 아날로그 송신단 구조 대신 디지털과의 interface 나 시스템 집적도에서 장점을 가진 quadrature 디지털 송신단 구조에 적합한 quadrature doherty digital power amplifier (DPA) 구조를 소개한다. Digital-to-analog conversion 과 주파수 상향변환이 가능한 기존 switched-capacitor PA (SCPA)에서 IQ-reuse 회로기법을 적용하여 개선된 효율과 출력최대전력 특성을 보여준다. 또한 8-way differential IQ-reuse SCPA 를 적용함으로써 최대 출력 전력과 효율 특성을 더욱 개선하고자 하였다. 28nm bulk CMOS 공정으로 설계된 PA는 36.1 dBm peak  $P_{OUT}$  과 33.6% 효율을 보여준다. #25.3 논문은 중국전자과학기술대학에서 발표된 논문으로 70~86 GHz 대역 deep-noise-canceling 을 적용한 저잡음 증폭기 (low-noise amplifier, LNA) 를 보여준다. 기존 common-gate (CG) 또는 resistive-feedback common-source (CS) 기반 잡음 상쇄 기술의 경우, 상쇄를 위한 적용된 auxiliary path 와 main path 간의 amplitude 와 phase mismatch 로 잡음 상쇄에 한계점이 존재한다. 본 논문에서는 asymmetric compensation transformer (ACT) 와 4-to-1 hybrid-phase combiner 를 적용하여, 크기 및 위상에 대한 mismatch 를 최소화 하면서 first stage 뿐만 아니라 second-stage의 잡음도 함께 상쇄하였다. 40nm CMOS 공정을 통해 70~86 GHz 주파수에서 4.8~6.5 dB 잡음지수 특성을 보여준다. #25.4 논문은 인피니온 사에서 발표한 논문으로 RFDAC 기반 FMCW 시스템과 이에 적용된 4bit RFADC 를 소개한다. FMCW chirp 를 생성하기 위해 direct digital frequency synthesizer (DDFS)는 digital-to-RF-upconversion을 수행하는 RFDAC 를 필요로 한다. Retimer, modulator, current-steering DAC설계된 RFDAC과 DDFS 은 4GHz에 이르는 대역폭을 보여준다. #25.5는 워싱턴 대학과 콜롬비아 대학 연구팀이 발표한 논문으로 1~5 GHz 대역에 적용 가능한, frequency-translational N-path 필터를 보여준다. 일반적으로 high-order clock 신호 생성과 스위치 기생성분으로 N-path 필터 성능이 2G 이상 주파수에서 성능이 제한적이다. 이 논문에서 제안된 N-path 필터는 주파수 변환 특성은 물론 power handling 성능이 개선된 저전력 switched-capacitor clock boosting 기술, clock pulse 를 줄이기 위한 inductively coupled N-path layer 가 적용된 것이 기존 일반적인 N-path 필터와 차별화된다.



[그림] #25.3 ACT 와 hybrid-phase combiner를 적용한 deep-noise-canceling LNA

## 저자정보



### 한정환 교수

- 소 속 : 충남대학교 전자정보통신공학과
- 연구분야 : RFIC 설계
- 이 메 일 : jh.han@cnu.ac.kr
- 홈페이지 : <https://sites.google.com/view/rface-lab>