

2023 International Solid-State Circuits Conference

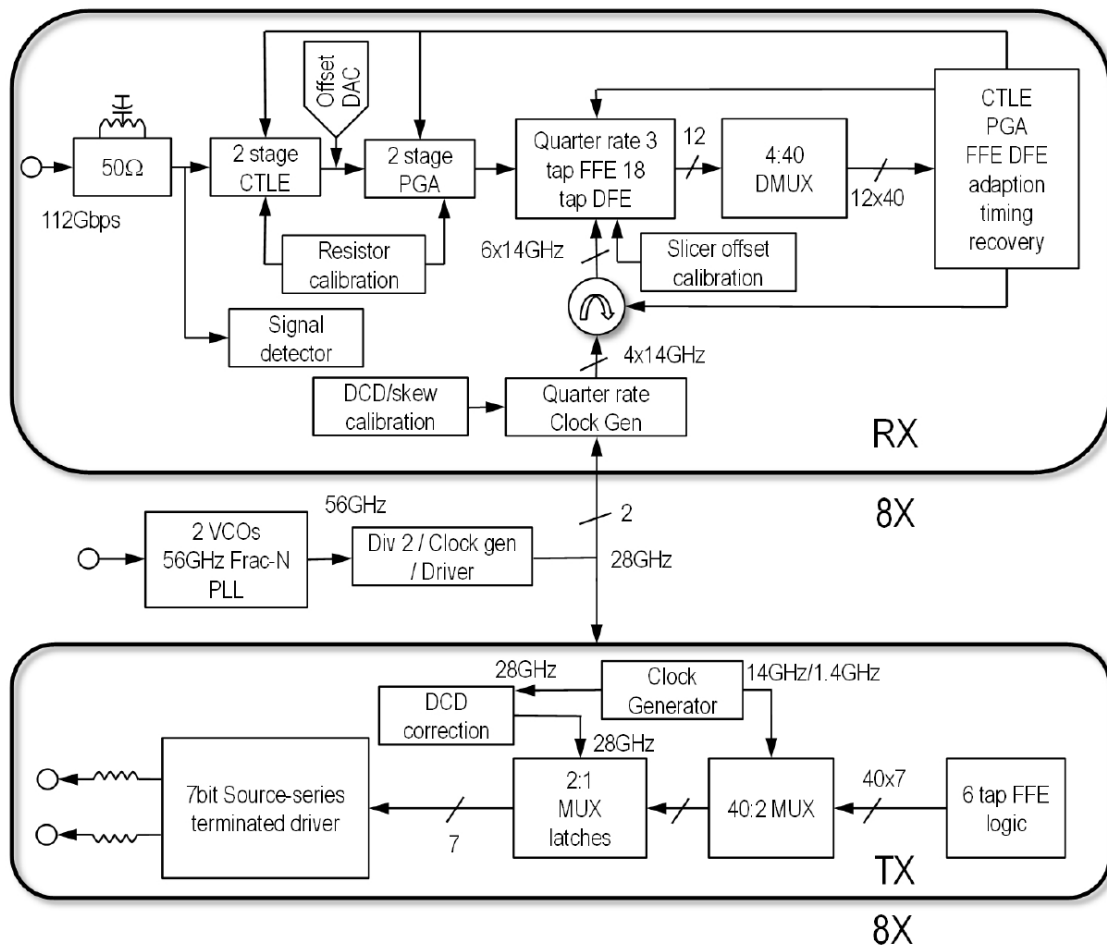
(ISSCC) Review

DGIST 전기전자컴퓨터공학과 김가인 교수

Topic : Wireline

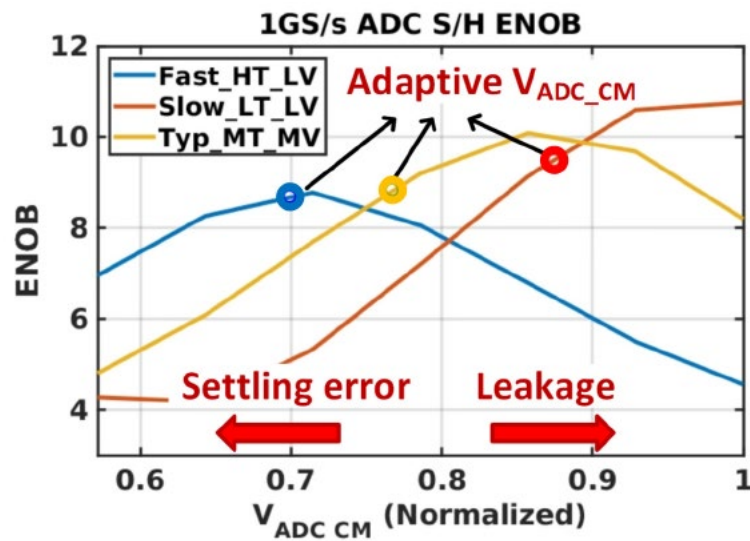
Session 6 : Advanced Wireline Links and Techniques

(#6.1 - Broadcom) 논문은 아날로그 타입의 7nm공정으로 설계된 112Gb/s SerDes에 대해 발표하였다. 송신기는 half-rate SST드라이버 기반의 7비트 DAC 구조이며 수신기는 3-tap FFE, 18-tap DFE 이퀄라이저를 가진다. 4-way 인터리브 구조의 수신기 FFE를 제안하였고, 18-tap DFE를 통해 노이즈 및 크로스토크 부스팅 없이 채널 손실과 반사파를 제거하였다. 또한 아날로그 타입 이퀄라이저로 인해 ADC, DSP기반의 수신기 대비 CDR대역폭이 향상되어 높은 수준의 jitter tolerance를 요구하는 어플리케이션에 적합하도록 설계하였다. 4-way 인터리브 FFE는 DFE회로의 복잡도를 증가시키나, 56GBaud에서 3-tap FFE의 설계를 가능하게 함으로써 pre-cursor 상쇄 및 전체 이퀄라이저의 안정성을 향상시켰다.



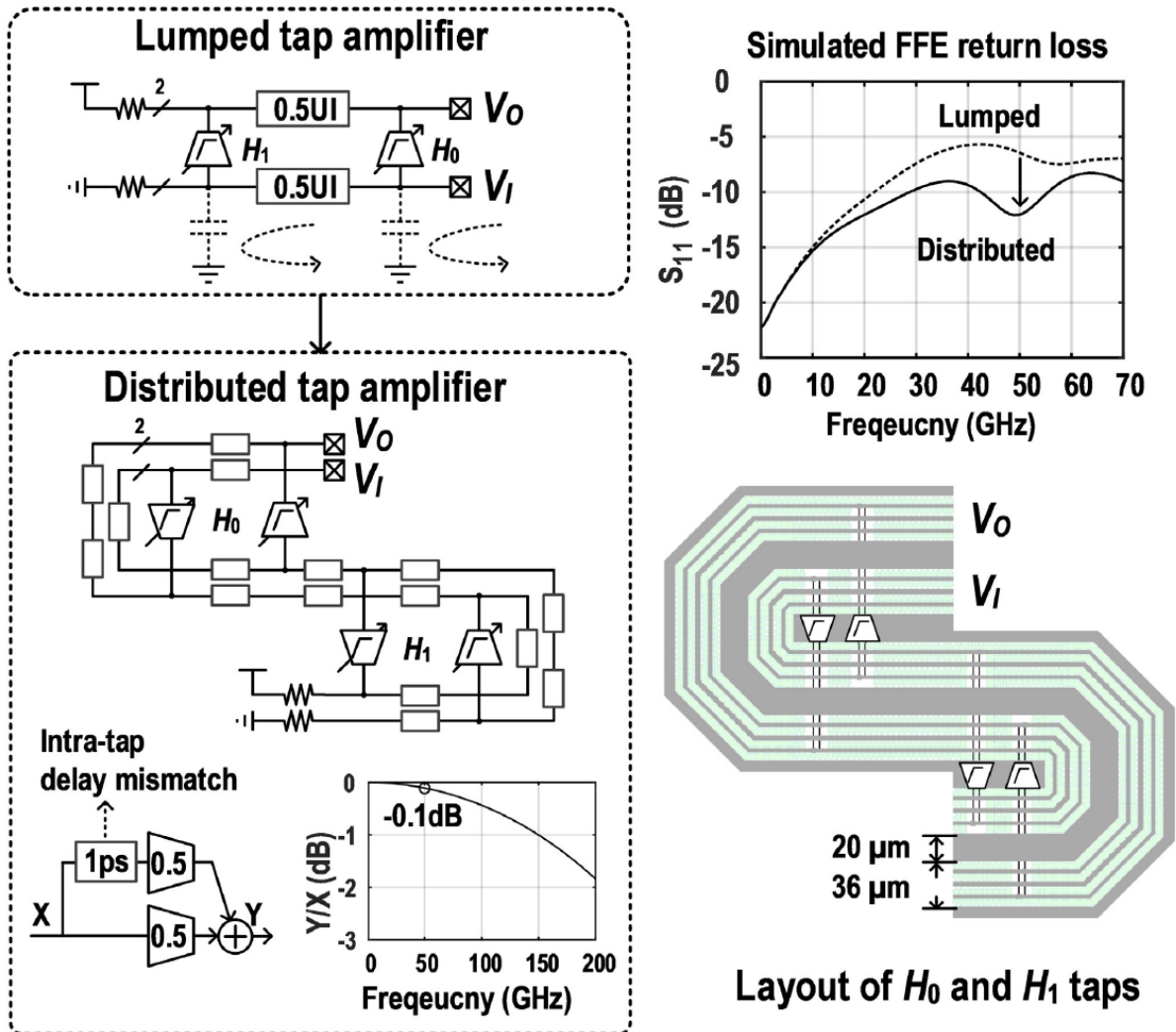
[그림 1] 112Gb/s 트랜시버의 전체적인 구조를 나타내는 블록 다이어그램

(#6.2 - MediaTek) 논문은 DSP기반의 112Gb/s PAM-4 TRX에 대해 발표하였다. 112Gb/s에서 최대 48dB 채널 손실을 보상하여 $7e-6$ 이하의 비트 에러율을 달성하였다. 본 논문에서는 송신기 드라이버 회로에 replica MUX를 활용하여 아웃풋 common-mode 를 드라이버 VDD의 절반으로 고정하였다. 본 논문에서 발표한 수신기의 CTLE 아웃풋은 8개의 7GS/s ($7 \times 1GS/s$ asynchronous SAR sub-ADCs) ADC path로 연결되며, 각각의 경로상에 발생할 수 있는 bandwidth mismatch로 인한 ISI를 방지하기 위해 28GHz이상의 광대역 버퍼를 설계하였다. ADC의 sample & hold 스위치의 선형성을 개선하기 위해 adaptive common-mode biasing을 활용하였고, 스위치 ASIC의 유연한 동작을 위해 TRX레인별로 하나씩의 PLL을 할당하였다. 소모전력과 칩의 면적은 큰 편이지만 뛰어난 이퀄라이저 성능이 돋보인다.



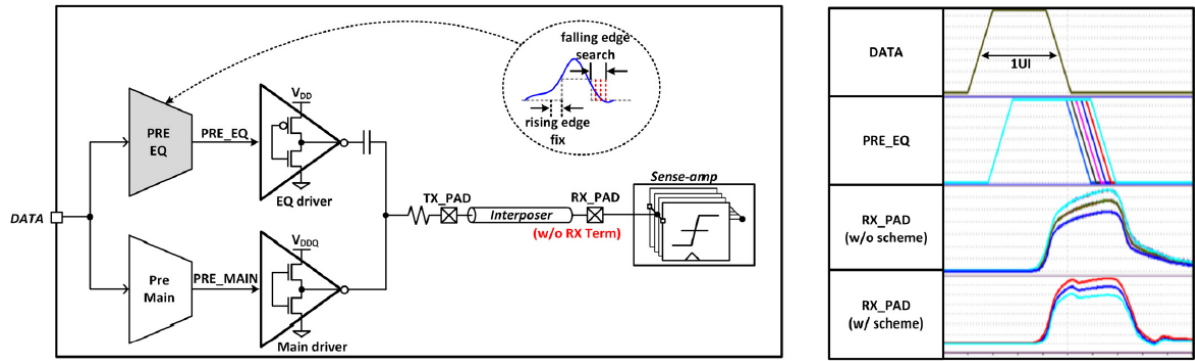
[그림 2] 디바이스의 PVT코너에 따른 adaptive common-mode level이 ADC의 ENOB에 미치는 영향

(#6.3 - Peking University) 논문은 레인당 200Gb/s에서 동작 가능한 continuous-time FFE이퀄라이저 회로에 대해 발표하였다. 본 연구에서 제안한 FFE는 passive on-chip wiring (grounded coplanar waveguide, GCPW)을 통해 FFE tap delay line을 구현하였고, distributed tap amplifier를 활용하여 capacitive loading을 분산시켜 lumped tap amplifier대비 반사파의 크기를 감소시켰다. On-chip GCPW는 ground shielding을 통해 crosstalk suppression효과가 있으며, delay line의 임피던스는 distributed tap amplifier의 capacitive load로 인한 임피던스 값의 감소를 고려하여 60옴으로 설계하였다. 본 연구에서 발표한 이퀄라이저는 0.43pJ/b 및 0.32mm²의 높은 에너지 및 면적 효율을 보여주었으며, 고속 data rate으로 갈수록 짧아지는 unit interval의 시간 및 tap delay에 필요한 passive delay line의 물리적인 길이를 고효율 이퀄라이저 설계에 효과적으로 활용할 수 있음을 보여주었다.



[그림 3] Lumped tap amplifier(좌측 상단)와 distributed tap amplifier(좌측 하단), FFE return loss 시뮬레이션 결과(우측 상단) 및 H0, H1 tap 레이아웃.

(#6.4 - 삼성전자) 논문은 Universal Chiplet Interconnect Express (UCIe) 표준을 지원하는 high-bandwidth interconnect를 발표하였다. 2.5D 패키징 기술을 적용하였고, 송신기에는 impedance mismatch로 인해 발생하는 반사파를 상쇄하기 위한 reflection-cancellation driver (RCD)를 적용하였다. 수신기에서는 저지연 direct feedback DFE로 ISI를 상쇄하며, offset calibration, duty-cycle distortion correction, skew calibration을 위해 필요한 회로들을 전부 on-chip에 디지털 회로로 구현하여 static power consumption을 최소화 하였다. 4nm-FinFET 공정으로 설계된 칩은 32Gb/s/wire의 data rate에서 0.44pJ/b의 전력 효율을 보였으며, 8Tb/s/mm의 beachfront bandwidth로 현재까지 공개된 논문들 중 가장 우수한 성능을 보였다.



[그림 4] Reflection-cancellation driver (RCD)

저자정보



김가인 교수

- 소 속 : DGIST 전기전자컴퓨터공학과
- 연구분야 : High-speed wireline interfaces
- 이 메 일 : gain.kim@dgist.ac.kr
- 홈페이지 : <https://sites.google.com/view/gainkim/home>