

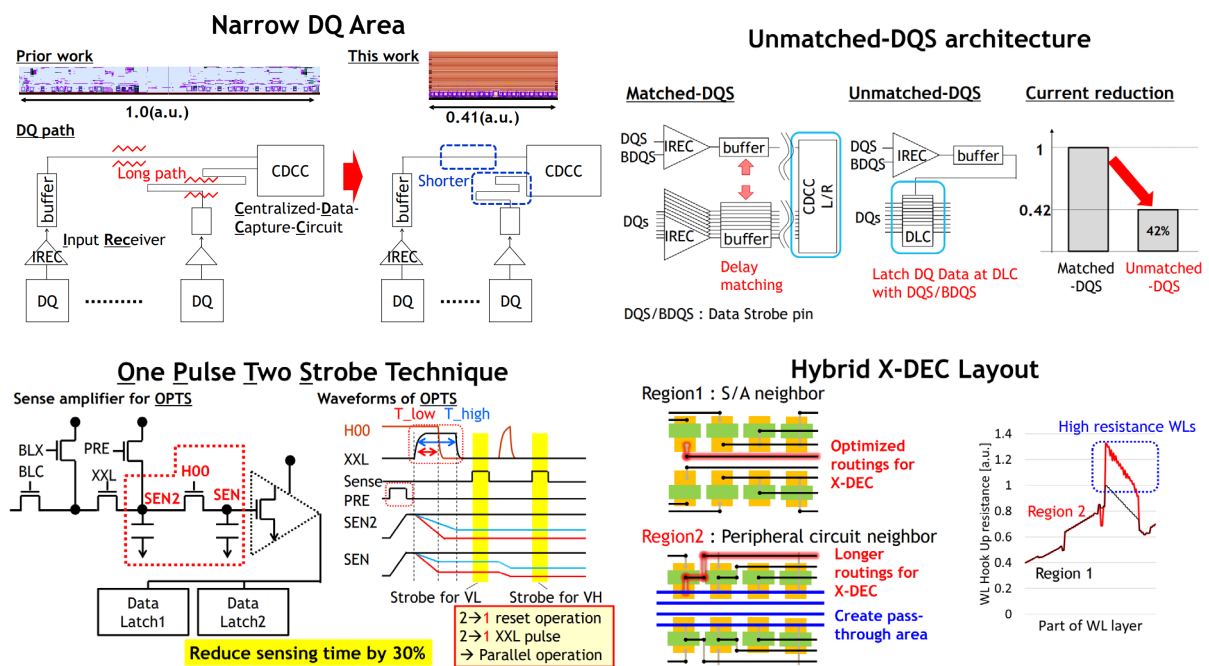
2023 IEEE VLSI Review

성균관대학교 전자전기컴퓨터공학과 석박통합과정 박재우

Session 2 Non-Volatile Memory and Low Power SRAM

2023 IEEE VLSI의 Session 2는 Non-Volatile Memory and Low Power SRAM이라는 주제로 총 5편의 논문이 발표되었다. 이 세션의 논문들은 저전력, 고속, 고밀도 Memory 구조 대한 연구내용을 중점적으로 다루고 있다.

#2-1 이 논문은 전체적인 chip architecture의 적절한 배치를 통하여, 밀도있게 칩을 설계를 하였으며, 이로 인하여, 칩 면적의 증가없이 40us이하의 read latency를 달성하였다. 또한 고속 I/O interfaces를 위한 Narrow DQ Area Unmatched-DQS 구조와 Hybrid X-DEC 등을 제시하였으며, 두개의 기준전압과의 비교를 동시에 진행할 수 있는 one-pulse-two-strobe techniques (OPTS)를 구조를 제안하여 sensing 시간을 단축시켰다. 그 결과로, 기존 연구들과 비교했을 때 DQ speed는 가장 빠르며, Bit density, program throughput 등에서 우수한 수치를 보여주고 있다.



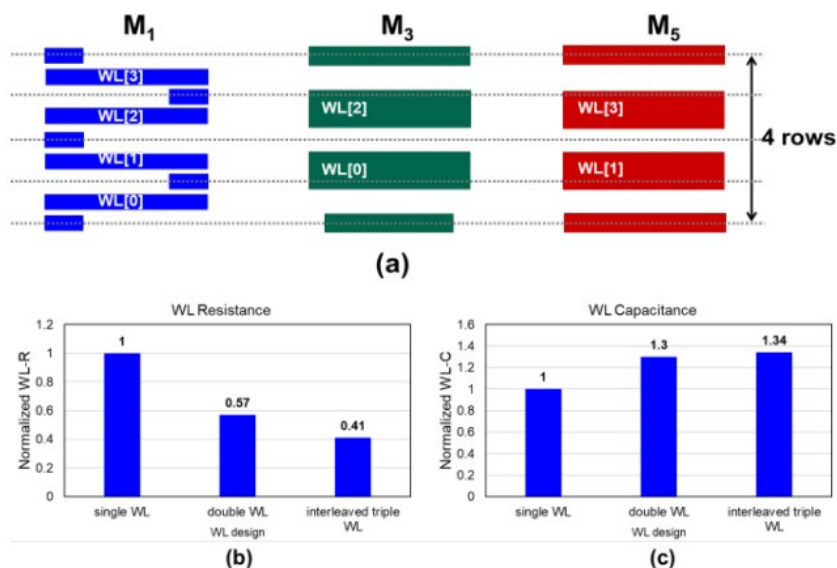
[그림 1] #2-1 key technologies

#2-2 논문은 성능 향상을 위하여 macro 크기를 최소화해 집중하였다. 그 결과 기존연구들과 비교하였을 때 가장 좋은 FOM 수치를 달성하였다. #2-3 논문은 4 세대 F-chip을 제안한 논문이다. Hybrid delay locked loop (DLL)과 3-step duty cycle correction (DCC)를 통하여 3.0Gb/s의 I/O speed를 달성하였으며, multi-termination을 사용하여 3세대 F-chip 대비 23.3%의 power efficiency 개선을 이뤄냈다. #2-4 논문은 area efficiency 개선과 store energy 감소, #2-5 논문은 leakage current 감소를 통한 성능 개선을 이뤄냈다.

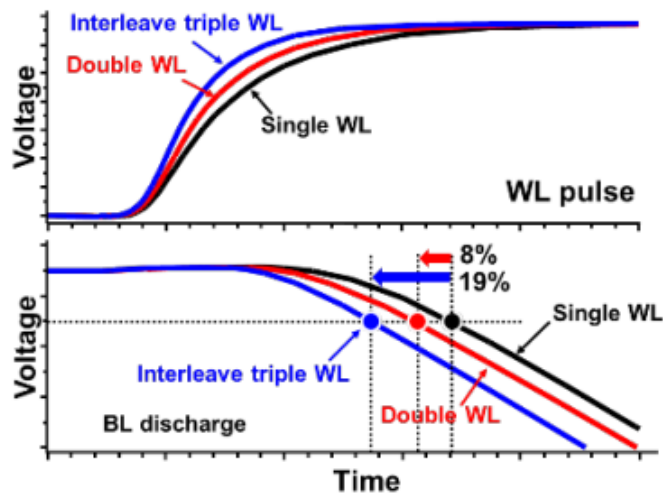
Session 9 Advanced SRAM Design

2023 IEEE VLSI의 Session 9에서는 Advanced SRAM을 주제로 총 5편의 논문이 발표되었다. 이 세션의 논문들은 3,4,5nm 공정을 사용하며, 저전력 고속 구조를 중점적으로 연구하고 있다.

#9-1 논문에서는 3nm FinFet 공정을 사용하여 256Mb SRAM을 제안하였다. Low Vmin application을 위하여, triple WL scheme 와 array banking architecture를 사용하였다. Triple WL scheme을 사용하여, BL discharge time을 기존의 double WL 과 single WL 대비 9%, 18% 개선을 시켰으며, banking architecture는 SRAM macro access time을 1.7% 개선을 시켰다.



[그림 2] #9-1 (a) Interleaved triple WL with layout plane view and (b) WL resistance comparison and (c) WL capacitance comparison.



[그림 3] #9-1 Simulated waveforms of WL and BL discharging signals with single WL, conventional double and interleaved triple WL schemes

#9-2 논문에서는 5 nm FinFet 공정을 사용하고 있으며, A product-ready L2 cache (L2C) design based on 6T ultra-dense SRAM cells with novel circuits을 제안하고 있다. #9-3 SRAM 속도를 최대하기 위하여, Clamped BL Discharge (CBLD) 과 Flying Word Line (FWL) 을 사용한 BL charge time Reduction (BLCTR) 방법을 제안한다. #9-4 논문도 고속 동작을 위한 연구를 진행하고 있다. 5nm Finfet 공정에서의 high speed 1R1W two port 32Kbit (128x256) SRAM을 제안하였다. #9-5 논문에서는 far-end pre-charge (FPC) circuit 과 weak-bit (WB) tracking circuit을 사용하여 3-nm single-port (SP) 6T SRAM macro를 제안하였다.

저자정보



박재우 석박통합과정 대학원생

- 소속 : 성균관대학교
- 연구분야 : High Speed I/O
- 이 메 일 : jaewoo7488@skku.edu
- 홈페이지 : <https://sites.google.com/view/skku-comics/home?pli=1>