반도체설계교육센터
IC DESIGN EDUCATION CENTER

2014 IDEC 뉴스레터 통합본 (VOL.199-210)

2015.02.03

반도체설계교육센터

2014
VOL. 199-210

IDEC Newsletter I 2014 뉴스레터통합본
⊙ **발행일** 2014년 12월 31일 ⊙ **발행인** 박인철 ⊙ **편집인** 남병규 ⊙ **제 작** 푸울디자인
⊙ **기 획** 전항기 ⊙ **전 화** 042) 350-8535 ⊙ **팩 스** 042) 350-8540 ⊙ **홈페이지** http://idec.or.kr
⊙ **E-mail** jhg0929@idec.or.kr ⊙ **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

시스템 반도체, 메모리 반도체 스마트 시스템 분야의 전문 인력을 양성하기 위하여 모든 노력을 다 하겠습니다. 함께 참여해 주시고 도움을 주시기 바랍니다.

안녕하십니까? 갑오년 새해가 밝았습니다.

평소에는 무슨 해 인지도 모르고 살지만, 신년사를 쓰면서 문득 갑오년이라는 것을 알게 되면서 갑오경장, 동학운동, 정봉준 이런 단어가 떠오릅니다. 120년이나 지난 후이지만, 예나 지금이나 어렵기는 마찬가지였나 봅니다. 작년은 새로운 정권이 시작하는 해여서 더구나 우리나라 역사상 처음으로 엔지니어링을 전공한 분이 대통령이 되었기 때문에 기대가 많았습니다. 그러나 예년처럼 힘들게 오히려 더 힘들게 한 해를 지냈다는 느낌이 드는 것은 저 만의 추억이기를 바랍니다.그래도 IDEC의 가치를 인정하고 지원해주는 많은 기업과 격려와 독려를 아끼지 않으시는 많은 분들이 있어서 힘을 얻고 있습니다.

IDEC은 1995년에 설립된 이래로 꾸준한 발전을 거듭하였습니다.

이제는 70개의 대학 워킹그룹과 7개의 지역센터를 운영하고 있고 매년 300여 개의 반도체 칩 제작 기회와 3000 copy 이상의 다양한 EDA 설계 도구를 대학교에 지원하고 있습니다. 그 사이 우리나라 반도체 산업은 비약적인 성장을 지속해 왔으며, 최근 들어서는 시스템 반도체 분야도 메모리 반도체와 더불어 우리나라 발전을 견인하는 핵심 동력이 되었습니다.

이러한 성장은 우리나라 반도체 관련 기업, 패키지 기업, EDA 벤더, 그리고 정부 기관의 지속적이고 적극적인 협조를 통하여 이루어 진 것이며, IDEC도 반도체 설계 인력 양성을 통하여 조금이나마 그 역할을 하였다고 자부합니다.

반도체 칩 하나가 응용 시스템인 시대가 되면서 반도체 부품과 소프트웨어를 구분하는 것은 더 이상 의미가 없어졌으며, 오히려 설계 초기부터 응용 시스템을 고려하여 모든 것을 동시 개발해야 하는 시대가 되었습니다.

IDEC은 이러한 변화를 수용하여 보편적인 교육 환경은 물론 전문적인 시스템 교육 체계를 구축해 가고 있고, 특히 지난해에는 여러 가지 의미 있는 시도를 하였습니다. **홈페이지도 새로 개편하였고, 실제 설계를 위한 연구원 강의와 녹화된 강의의 VOD 서비스도 시작하였고, 아날로그 회로 설계를 위한 디지털 표준 셀도 개발하여 모든 대학에서 사용할 수 있도록 하였습니다.** 항상 한정된 예산에서 그리고 오랜 기간 동안 많은 시도를 해 온 상태에서 모두에게 이로운 새로운 방향으로 결과를 만들어 가는 것은 어려운 일이지만, 올해도 IDEC은 새로운 시도를 지속해 나갈 것입니다.

한층 넓어지고 전문화된 반도체 설계 교육과 교육 인프라를 구축하기 위해서는 더 많은 열정과 여러 분야의 협력이 필요합니다. IDEC은 우리나라의 시스템 반도체, 메모리 반도체, 더 나아가 스마트 시스템 분야의 전문 인력을양성하기 위하여 모든 노력을 다 하겠습니다. 함께 참여해 주시고 도움을 주시기 바랍니다.
끝으로 웃음과 기쁨이 넘치는 새해 맞으시고 항상 건강하시기를 기원합니다.

IDEC 소장 **박인철 배상**

초고해상도 UHD급 비디오 코덱의 최근 기술 동향

대용량 고품질 비디오 콘텐츠를 효율적으로 압축 처리하여 전송하는 방송통신 융복합 기술의 비약적인 발전으로 초고해상도 미디어가 등장하고 TV뿐만 아니라 스마트 모바일 단말에서도 고해상도를 지원하는 시대가 열리고 있다.

이에 따라 3D 미디어의 등장, 실감방송, 교육, 회의, 의료 및 게임 서비스의 수요가 증가하는 추세이다. 현장의 감동과 생동감을 현실감 있게 수요자에게 전달하기 위해서 미디어 서비스는 Full HD급(1920x1080) 해상도를 넘어 4K/8K UHD급(4096x2160/8192x4096) 초고해상도 발전해 갈 것으로 예측되며 아울러 실시간 비디오 코덱(Codec) 솔루션이 시장에서 요구되고 있다.

JCT-VC 표준화 동향

초고해상도 비디오를 처리하기 위해서는 고효율 압축 비디오 코덱 개발이 필수적이므로 이를 위해 2010년 1월 비디오 표준기관인 ISO/IEC의 MPEG과 ITU-T의 VCEG이 공동으로 JCT-VC(Joint Collaborative Team on Video Coding)을 구성하기로 합의 하였다. 그에 따라 JCT-VC 에는 약 188명의 전문가가 참여하여 2010년 4월 제1차 독일 드레스덴 회의부터 표준 제정에 착수하여 2013년 1월 제12차 스위스 제네바 회의에서 HEVC(High Efficiency Video Coding) 표준 최종안(FDIS: Final Draft International Standard)을 완성하였다.

HEVC는 기존 비디오 압축기술인 H.264/AVC에 비하여 주관적 화질평가를 기준으로 압축률이 50% 이상 개선된 차세대 비디오 코덱 기술로서 UHD급 비디오의 대용량 데이터를 효과적으로 압축 부호화하기 위한 핵심기술로 사용될 것이다. JCT-VC 표준화 맵은 그림 1과 같다. 2013년 12월 현재 JCT-VC는 스케일러블 HEVC(SHEVC)와 3차원 HEVC(3D-HEVC) 관련 Ad hoc 그룹을 구성하여 HEVC 기반 스케일러블 비디오 코딩기술과 3차원 코딩 기술에 대한 표준화를 진행하고 있다[1-2].

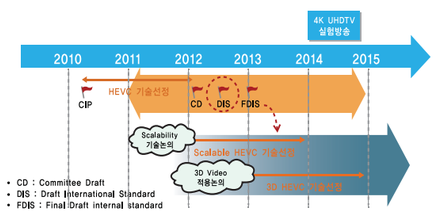


그림 1. JCT-VC 표준화 로드맵

국내에서는 2014년 인천 아시아 게임에서 4K UHDTV 실험방송, 2018년 평창 동계올림픽에서 8K UHDTV 실험중계를 목표로 하고 있으며 UHDTV 기술을 주도하고 있는 일본은 2014년 6월부터 HEVC 압축기술을 시범적으로 도입한 케이블 4K UHD 실험방송에 들어갈 예정이다.

UHD급 HEVC 코덱 주요기술

HEVC는 기존 H.264/AVC와 같은 블록 코딩 방식이며 화면 내 예측 (Intra Prediction)과 화면 간 예측(Inter Prediction: Motion Estimation)을 동시에 수행하여 코딩효율이 우수한 모드를 선택하는 그림 2와 같은 하이브리드 구조를 가진다[3-4]. 디블록킹 필터

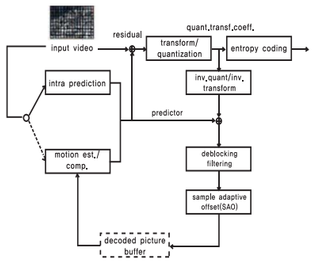


그림 2. HEVC 인코더 블록도

링 이후 남아있는 영상의 오류를 보정하기 위해 HEVC 표준화에서 제안된 새로운 방법의 인루프 필터링 기술인 적응적 샘플 오프셋(Sample Adaptive Offset, SAO)을 제외하면 대부분의 기본적인 부호화 기술들은 이전의 비디오 압축표준인 H.264/AVC에도 존재하지만 각 기능 요소들의 세부적인 부분은 코딩 효율을 높이기 위하여 다양한 모드가 추가 되었다[5].

(1) HM-12.0 부호기 주요 기술

2013년 7월 14차 스위스 제네바 회의에서 결정된 HEVC 테스트 모델(HEVC Test Model, HM 12)에서 정의하고 있는 주요기술은 표 1과 같다[4-5].

표 1. HM 12.0 인코더 주요기술

Main/Main10 Profile
Coding, Prediction, Transform Unit
Coding: 8x8 부터 64x64 크기의 쿼드트리 구조
Prediction: Symmetric, Asymmetric 블록
Transform: 4x4 부터 32x32 크기 블록 (Always Square)
Special Signal Transformation
4x4, 8x8, 16x16, 32x32 크기의 DCT 정수 변환
화면내 4x4 블록을 위한 DST 정수 변환(Luma)
무손실 압축 PCM 부호화
Intra-Perdition
DC, Planar Prediction
35개의 방향성을 갖는 Angular Prediction
Inter-Prediction
Luma 1/4 Sample Prediction (8-tap DCT-IF)
Chroma 1/8 Sample Prediction (4-tap DCT-IF)
Advanced Motion Vector Prediction (AMVP with Merge)
Entropy Coding
Arithmetic entropy coding (CABAC)
Rate-Distortion Optimized Quantization (RDOQ)
In-Loop Filtering
Deblocking filter
Sample-adaptive offset filter (SAO)
Picture Storage and Output Precision
8/10 bit

대부분의 기본적인 기능은 이전 표준과 유사하지만, 부호화 단위인 코딩 유닛의 크기가 64x64로 확장되었으며 정수배변환에서 DST (Discrete Sine Transform) 추가, 화면 내 예측모드(Intra Prediction)에서 방향성 추가 그리고 인루프 필터링에서 SAO(Sample-Adaptive Offset)가 추가된 것이 가장 큰 차이이며 부호화 및 복호화를 위한 구성요소의 집합한 프로파일은 메인, 메인 10, 메일 스틸 픽쳐 프로파일로 정의되어 있다.

(2) 부호화 단위

MPEG-4, H.264/AVC의 비디오 표준에서는 하나의 화면을 16x16 크기 블록단위인 매크로 블록(Macroblock, MB)으로 분할하여 부호화했으나 HEVC 에서는 부호화 기본단위로 코딩 트리 유닛(Coding Tree Unit, CTU)을 사용하며 이는 이전표준에서 매크로 블록과 유사한 개념이다. 표준이 확정된 HEVC의 메인 프로파일(Main/Main10) 에서는 8x8 에서 64x64 크기의 CTU 크기를 그림 3과 같이 화면의 해상도에 따라 유연성 있게 지정할 수 있으며 고해상도의 영상의 경우 큰 블록으로 부호화된 우측 영상의 화질이 우수함을 알 수 있다. 이는 이전 표준보다 압축효율을 높을 수 있는 가장 중요한 역할을 한다 [5-6].

그림. 3 좌측 16x16 CTU 와 우측 64x64 CTU 사이즈에 따른 HEVC 부호화 결과

CTU 크기가 결정되면 그림 4와 같이 CTU 내에서 정사각형의 쿼드트리 형태로 최소 8x8 크기까지 코딩유닛(Coding Unit, CU) 단위로 영상이 분할되어 부호화와 복호화가 수행되는 기본단위가 된다.

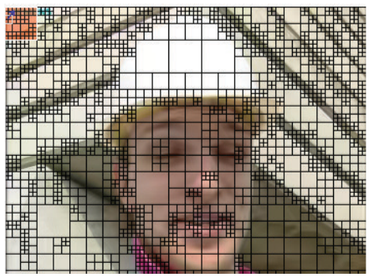


그림 4. 코딩 트리 구조

CU 사이즈의 결정은 CU 내에서 다양한 형태의 예측 유닛(Prediction Unit, PU)에 따라 최소 4x4 단위까지 화면 내 예측과 화면간 예측 결과에 대하여 4x4 에서 32x32 크기의 정수 배 변환을 각각 수행하고 최종 최소 비트를 발생시키는 모드를 결정(Rate Distortion Optimization, RDO) 하게 된다. 이는 HEVC 구현 시 계산량과 복잡도를 H.264/AVC 표준과 비교하여 4배 이상 증가시키게 되어 실시간 압축복원을 어렵게 하는 요인이다. 이를 해결하기 위하여 다양한 실험을 통한 고속화 알고리듬에 대한 연구가 활발히 진행 중이다.

(3) 정수배 변환

H.264/AVC 에서는 모든 블록사이즈에 대해 4x4 크기의 정수배 변환과 하이프로파일의 경우에만 8x8 크기의 정수배 변환이 사용되었지만 HEVC 표준에서는 새로 추가된 16x16 와 32x32의 크기의 DCT 변환이 사용되어 압축 효율을 증가시킨다. 특징으로는 화면 내 4x4 예측 블록에 대해서는 DST (Discrete Sine Transform)가 사용되는데 이는 원본 영상의 텍스쳐가 평탄한 영역에서는 DCT가 좋고 그 외의 영역에서는 DST가 좋기 때문에 비교적 화면이 복잡하여 화면 내 예측이 사용된 4x4블록에 대해서는 DST를 사용한다. DCT를 이용하면 저주파수 영역에 대한 필터링 특성이 좋으며 DST는 고주파 영역에 대한 특성이 좋아 특정 영역으로 필터링한 결과를 한곳으로 수렴할 수 있어 정수배변환 이후 양자화(Quantization)를 수행 시 그 외의 부분은 연속된 '0'으로 채워지게 되어 엔트로피 부호화를 수행할 때 압축효율을 높일 수 있다 [5-8]. 양자화 시에는 정수배변환의 결과 값인 양자화 계수(Coefficient) 레벨을 조정하여 필요한 비트량과 PSNR의 변화를 예측하여 가장 최소의 비트를 발생시키는 계수 값을 결정하는 RDOQ (Rate-Distortion Optimized Quantization)을 수행한다.

(4) 화면내 예측

H.264/AVC 표준에서는 4x4와 8x8 크기의 블록에 대하여 9개의 방향성 모드를 16x16 크기의 블록에 대해 4개의 방향성 모드를 사용하였지만 HEVC 표준은 모든 블록크기에 대하여 그림 5와 같이 최대 35개의 방향성 예측모드를 제공한다[3].

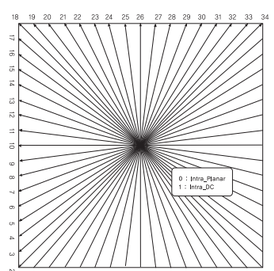


그림 5. HEVC 화면내 예측모드

예측 모드가 증가하게 되면 복잡도가 증가하고 이러한 정보를 전송하기 위한 비트가 늘어나게 되지만 다양한 예측을 사용함으로써 더 정확한 예측을 수행해 예측 오류가 줄어든다[5-8]. 색차 신호(Chroma)의 경우에는 H.264/AVC에서는 8x8 크기에 대해서만 화면 내 예측을 수행하였지만 HEVC에서는 최소 휘도(Luma) 예측단위인 4x4 크기에 대한 2x2 크기의 색차신호 4개를 모아서 4x4단위의 예측을 수행함으로써 좀 더 정확한 색차신호에 대한 예측 부호화를 수행한다. JCT-VC에서 제공하고 있는 테스트 시퀀스에 대한 화면 내 예측 부호화에 대한 실험결과 H.264/AVC와 비교한 결과 최대 35.5%, 평균 22.3%의 비트 감소율을 보인다. 그림 6은 1280x720 HD 해상도 영상의 경우에 HM과 H.264/AVC의 테스트 모델인 JM(Joint Model) 으로 영상을 부호화한 결과를 동일 비트레이트에서 비교한 영상인데[9], 그림에서 보는 바와 같이 상단 영상의 화질이 우수함을 알 수 있다.

그림 6. HEVC 와 H.264/AVC 부호화 비교영상: 상단: HM 6.0 vs. 하단: JM 18.2 at 4.9 Mb/s

(5) 기존 표준과의 HEVC 성능비교

HEVC 메인프로파일과 기존 비디오 표준과의 왜곡률(Rate-Distortion) 비교는 그림 7과 같다[10].

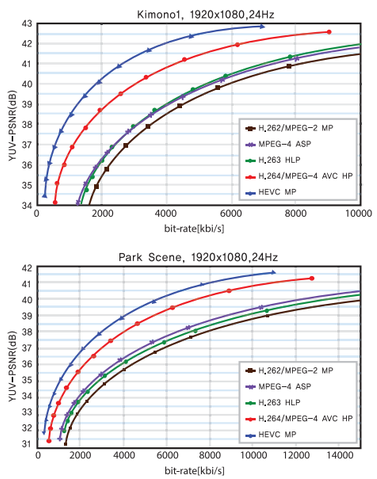


그림 7. HEVC와 이전 비디오 표준에 대한 왜곡률 비교

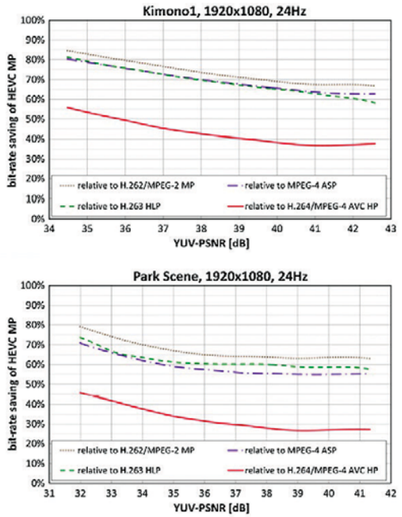


그림 8. HEVC와 이전 비디오 표준 별비트 레이트 감소율 (Bit-Rate Savings) 비교

1920x1080 해상도의 영상에서 동일 비트레이트 상에서 HEVC는 H.264/AVC와 비교하면 PSNR 이 평균 1dB 이상, MPEG-2와는 평균 3dB 이상 화질의 차이가 발생한다. 또한 동일 화질(PSNR)의 영상에서 HEVC 표준과 이전 비디오 표준과의 비트레이트 감소율 차이를 비교하면 그림 8과 같으며 이를 정리하면 표 2와 같다.

Encoding	Bit-Rate Savings Relative to		
	H.264/AVC HP	MPEG-4 ASP	MPEG-2 MP
HEVC MP	35.4 %	63.7 %	70.8 %
H.264/AVC HP	–	44.5 %	55.4 %
MPEG-4 ASP	–	–	16.2 %

표 2. 동일 화질 (PSNR)에서 비디오 표준 별 평균 비트 감소율 비교

HEVC 메인 프로파일은 H.264/AVC 하이프로파일과 MPEG-2 메인프로파일에 비해 각각 35.4%, 70.8%의 코딩효율 개선을 달성했으며, 낮은 비트 레이트일수록 차이는 더 벌어짐을 알 수 있다[10].

해외주요 기관의 표준화 및 기술개발 동향

2013년 1월 HEVC 표준 제정 이후에 스케일러블 HEVC와 3차원 HEVC에 대한 표준화 노력이 지속되고 있으며 2014년 1월에 미국

산호세에서 16차 회의가 진행될 예정이다. 주요 참여기관으로는 초기부터 HEVC 표준화를 주도한 삼성(Samsung), 한국전자통신연구원(ETRI), 에릭슨(Ericsson), 미디어텍(MediaTek), 샤프 (Sharp), 소니(Sony), 퀄컴(Qualcomm) 및 하모닉(Harmonic) 등이 있으며 현재까지 활발한 표준화 활동을 하고 있다. 2013년 9월 네덜란드에서 개최한 국제방송장비 전시회(IBC 2013)에서는 HEVC, UHD, 그리고 클라우드 기반의 서비스를 향후 멀티미디어 시장의 미래를 선도할 기술로 선정하였다.

세계 각국에서 추진 중인 HEVC 고해상도 코덱 기반의 응용분야로는 UHD급 지상파 TV를 위한 방송장비 시스템, IPTV, CATV 및 위성방송 서비스를 위한 셋탑박스(STB) 내의 비디오 프로세서, 멀티스크린(Multiscreen) 서비스 그리고 클라우드 기반의 네트워크 비디오 레코더(Cloud-based network PVR) 등이 있으며 이와 같은 다양한 고해상도 미디어 콘텐츠를 처리하기 위한 비디오 코덱은 그림 9에서처럼 H.264/AVC 에서 HEVC로 진화하고 있다[11-12].

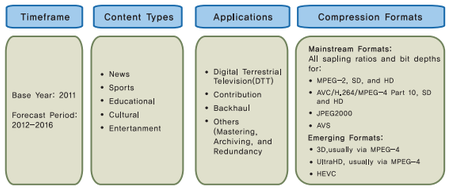


그림 9. HEVC 응용분야와 비디오 표준 진화

비디오 코덱 칩셋 개발을 선도하고 있는 해외 업체로는 아템(Ateme), 디지털 래피드(Digital Rapids), 하모닉(Harmonic), 미디어엑셀 (Media Excel)이 HEVC를 지원하는 인코더 및 트랜스코더(Transcoder)를 시연하였으며, 시스코 (Cisco)는 차세대 사용자 인터페이스(UI)인 스노우플레이크(Snowflake)를 채택한 4K HEVC 방송장비를 개발하였다. 알레그로(Allegro), 브로드컴 (Broadcom)은 위성, CATV 및 IPTV 4K HEVC 해상도의 비디오를 압축 복원하고 전송할 수 있는 방송용 코덱 칩셋을 개발하였으며 독일의 프라운호퍼(Fraunhofer) HHI 연구소에서는 1920x1080 해상도를 갖는 초당 60프레임 HEVC 압축 영상을 클럭속도 150MHz에서 복호화할 수 있는 실시간 전용 하드웨어 디코더를 개발하였다.

멀티 스크린 기술과 관련된 4K UHD급 초고해상도 서비스 기술은 에릭슨, 소니, 뉴텍(Newtec) 그리고 브리티시 텔레콤 (British Telecom)을 중심으로 개발이 활발하게 이루어지고 있다[13]. 2013년 9월 독일에서 개최된 가전 전시회(IFA 2013)에서는 멀티미디어 전송인터페이스인 HDMI(High Definition Multimedia Interface)의 차세대 규격인 HDMI 2.0 이 발표되었다. 규격은 전송대역폭이 기존 10.2Gbps에서 18Gbps로 확장되고 4K 비디오 해상도로 초당 50/60 프레임의 영상을 전송할 수 있게 되었다.
이로 인하여 방송 및 통신네트워크를 통하여 전송된 생동감 있는 4K UHD 해상도의 HEVC 압축된 영상을 복원하여 고해상도의 멀티스크린 혹은 사용자의 디스플레이에 손실 없이 전달하는 역할을 할 수 있게 되었다.

국내 HEVC 코덱 개발 상황

한국전자통신연구원(ETRI)은 2010년 4월 HEVC 표준화 초기부터 현재까지 JCT-VC 국제 표준화 회의에 참석하여 압축 효율을 높이기 위한 부호화 기술에 대한 제안을 지속적으로 하고 있으며 표준채택을 위한 활동에 노력하고 있다. ETRI는 2013년 1월 스위스 제네바에서 열린 제12차 JCT-VC 국제 표준화 회의에 참석하여 HEVC 표준을 만족하고 SoC로 구현할 경우 1920x1080 해상도 영상을 초당 60장 처리할 수 있는 그림 10의 전용 하드웨어 기반 HEVC 디코더 프로토타입[14]의 공개 시연을 세계 최초로 가졌으며 2013년 12월 4K/8K-UHD급 멀티코어 기반의 하드웨어 디코더의 개발을 완료하였다.

특징으로는 전용 하드웨어 기반으로 초당 120프레임의 4K(4096x2160) 해상도를 갖는 HEVC 압축영상을 복원할 수 있으며, 병렬처리를 위하여 타일(Tile), 슬라이스(Slice) 및 웨이브프론트 병렬처리(Wavefront Parallel Processing) 형태로 압축된 영상을 다수의 하드웨어 디코더 코어(Multi Decoding Core)를 이용하여 동시에 실시간 처리할 수 있다.

그림. 10 제12차 JCT-VC 국제 표준화 회의에서 공개 시연한 ETRI HEVC 디코더

ETRI 외에도 ㈜삼성전자, ㈜LG전자 등 대기업 및 비디오 IP 전문기업인 ㈜칩스앤미디어 등에서 HEVC 코덱을 자체적으로 개발하고 있는 것으로 알려져 있다.

결론

MPEG-2 이후 2003년 비디오 표준으로 제정된 H.264/AVC 표준은 고해상도의 영상압축 표준으로 자리 잡아 왔으며 현재 디지털 방송뿐 아니라 미디어 압축복원을 위해 가장 널리 사용되는 기술이다. 그러나 낮은 비트율에서 화질의 손실 없이 사용자에게 UHD급의 초고해상도 실감영상 서비스를 제공하기 위해서는 차세대 비디오 코덱 표준인 HEVC 도입이 시급하다.

이제 도입기로서 구현의 복잡도로 인하여 상용화까지 해결해야 할 문제들이 많이 남아 있지만, 해외에서는 이미 HEVC 코덱칩셋 및 시제품 개발이 진행되고 있으며 H.264/AVC의 예처럼 향후 10년간 발전이 예상된다. 국내외 시장에서는 4K UHD급 해상도를 지원하는 디스플레이 장치가 출현하고 있으며 방송 및 통신 사업자는 2014년 UHDTV 서비스의 실험 방송을 기반으로 2018년 UHD급 초고해상도 미디어 서비스의 상용화를 준비하는 등 멀티미디어 시장이 급변하고 있다. 또한, 전송기술의 비약적인 발전으로 인한 유무선 네트워크 대역폭의 안정적인 확보는 초고해상도 미디어 서비스에 대한 수요를 폭발적으로 증가시킬 것으로 예상하며 이를 처리하기 위한 초고해상도 HEVC 코덱 SoC 기술의 요구도 동반 성장할 것으로 기대된다. 현재 수입에 의존하고 있는 국내 비디오 칩셋 시장에서 HEVC 코덱 핵심 IP를 조기에 국산화한다면, HEVC 표준화를 선도한 기술을 기반으로 향후 비디오 코덱 시장에서 주도적인 역할이 기대하며 우리나라 시스템반도체 산업의 위상도 제고될 것이다.

엄 낙 웅 부장
소속 : ETRI 시스템반도체연구부
연구분야 : EDA, SoC 설계 등
이메일 : nweum@etri.re.kr
www.etri.re.k

Reference

(1) MPEG포럼, "2013년 MPEG 포럼 Winter school", 2013.
(2) MPEG포럼, "2012년 HEVC 및 MPEG 3DV 표준화 기술 심화 교육", 2012.
(3) ISO/IEC JTC 2/SC 29/WG 11, "High efficiency video coding (HEVC) text specification draft 10," 2013.
(4) ISO/IEC JTC 2/SC 29/WG 11, "High efficiency video coding (HEVC) test model 12 (HM12) encoder description," 2013.
(5) 효요성, 최정아,"UHD 고화질 영상압축기술: HEVC 알고리듬 이해와 프로그램 분석", 진샘미디어, 2013.
(6) Ii-Koo Kim, Junghye Min, Tammy Lee, Woo-Jin Han, and JeongHoon Park, "Block partitioning structure in the HEVC standard," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1697?1706, Dec. 2012.
(7) "The H.264 advanced video compression standard," Wiley, 2010.
(8) ISO/IEC 14496-1,"Information techno logy: Coding of audio/visual objects-Part 10: Advance video coding," 2008.
(9) Jani Lainema, Frank Bossen, Woo-Jin Han, Junghye Min, and Kemal Ugur, "Intra coding of the HEVC standard," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1792-1801, Dec. 2012.
(10) Jens-Rainer Ohm, Gary J. Sullivan, Heiko Schwarz, Thiow Keng Tan, and Thomas Wiegand, "Comparison of the coding efficiency of video coding standards-Including high efficiency video coding," IEEE Trans. Circuits Syst. Video Technol., vol. 22, no. 12, pp. 1669?1684, Dec. 2012.
(11) Frost & Sullivan, "A reflection after IBC 2013," http://www.frost.com, 2013
(12) Frost & Sullivan, "Global Broadcast and DTT video encoders market," http://www.frost.com, 2012
(13) Frost & Sullivan Homepage, "High efficiency video coding: Status and strategy," http://www.frost.com, 2012
(14) ISO/IEC JTC 2/SC 29/WG 11,"Hardware implementation of a HEVC decoder," 2013.

A-SSCC 2013 학회후기

반도체 기술의 최대 축제

남 병 규
충남대학교 컴퓨터공학과
연구분야 : 모바일 GPU, 애플리케이션 프로세서, 저전력 SoC, 임베디드 SW
Email : bgnam@cnu.ac.kr

아시아 반도체 기술의 최대 축제인 A-SSCC (Asian Solid-State Circuits Conference) 2013이 2013년 11월 11일부터 13일까지 3일간 싱가포르에서 개최되었다. A-SSSCC는 반도체 기술 분야에서 아시아 최고 권위를 자랑하는 학회이며 IEEE SSCS (Solid-State Circuits Society)의 공식 후원을 받는 4대 학회 중의 하나이다.

A-SSCC는 올해로 9회째를 맞이하였으며 한국을 비롯한 대만, 일본, 중국을 돌아가며 매년 개최되고 있는데, 금년에는 처음으로 싱가포르에서 개최되었다. 이 학회는 세계에서 가장 성장률이 높은 아시아를 중심으로 미국, 유럽을 포함한 세계 산업계 및 학계의 반도체 분야 전문가들이 최신의 연구성과와 정보를 교환하고 반도체 산업의 미래와 기술을 의논할 기회의 장을 제공하고 있다.
이번 A-SSCC는 "Integrated Circuits and Systems for Mobile Society"라는 주제로 진행되었으며, 세계 각국에서 총 316편의 논문이 제출되어 엄격한 심사를 통해 최종 111편이 선정되었다. 학회의 위원회는 한국, 일본, 대만, 중국 등의 학계와 산업계 전문가들로 구성되어 있으며, 한국에서는 KAIST 유회준 교수와 삼성전자 우남성 사장이 학회 이사회 위원을 맡고 있다. 이 밖에도 전체 프로그램위원 97명 중 17명이 국내 반도체 설계 전문가들로 이루어져 있다.올해 한국에서 채택된 논문은 10편으로 대만, 일본, 미국뿐만 아니라 중국과 싱가포르에 밀려서 6위에 머물렀다. 중국의 논문 채택률이 한국을 앞서게 된 이유는 정부 차원에서 SoC 분야에 대한 다양한 연구 활동을 적극 지원하고 있기 때문인데, 최근 우리 정부에서는 소프트웨어만을 강조하고 있지만, 우리의 강점인 SoC 분야의 경쟁력을 유지하고 발전시켜 나아가기 위한 정부 차원의 꾸준한 지원이 필요하다고 생각된다.

> 반도체 기술의 최대 축제
> **A-SSCC**
> (Asian Solid-State Circuits Conference)
> 2013이 2013년 11월 11일~ 13일까지 3일간 싱가포르 개최

금년 기조연설은 ETRI 유현규 본부장님께서 "Reliable Hand-top Many-core SW-SoC Platform"이라는 주제로 연설하셨으며, SoC와 SW의 동반성장에 대한 중요성을 역설하셨다.

튜토리얼 프로그램에서는 중국 칭화대학교의 이우근 교수께서 "Frequency Synthesizer: From Basics to Advanced Bundle"이라는 주제로 강연하셨고, UAE의 유 담 교수께서는 "Energy-Efficient Health Monitoring Sensors using Body Area Network"이라는 주제로 강연하셔서 A-SSCC에서 한국인 전문가들의 활약이 크게 눈에 띄었다.

이 외에도, 동경대학교의 Makoto Ikeda 교수께서는 CMOS image sensor에 관한 강연을, 마카우 대학교의 Seng-Pan U 교수는 SAR-type ADC에 관한 강연을 성황리에 진행하였다.

〈유현규 본부장님 기조연설〉

본 기고문에서는 현재 A-SSCC의 각 기술분과에 TPC 멤버로 참여하고 계시는 한국 위원들께서 분과별 세션의 주요 논문들과 기술 동향을 정리하였다.

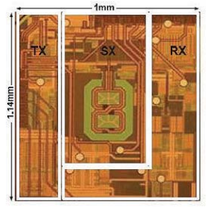
RF 분과

김 태 욱 교수
연세대학교 전기공학과
연구분야 : RF 회로, wireless 회로
Email : taewook.kim@yonsei.ac.kr

최근 아시아 지역의 칩 설계에 대한 관심이 높아지는 것과 비례하여 RF 분야도 아시아 지역에서 많은 발전을 이루고 있다. RF 관련된 세션은 세션 12, 세션 18, 세션 22의 총 3개의 세션에서 17편의 논문이 발표되었다. 중국에서 4편의 논문이 발표되었고 주최국인 싱가포르에서 4편 대만과 일본은 각각 2편이 발표되었으며 한국은 1편의 논문이 발표되었다. 최근 중국과 싱가포르 등 동남아 지역에서의 논문 편수와 질적인 면에서 향상이 돋보인다.

RF 시스템 논문이 주를 이룬 세션 12에서는 Bluetooth 수신기, WLAN SoC, 바이오 메디칼 응용을 위한 송신기 등 다양한 RF 송수신 시스템을 발표되었다. RF 개별 블록 회로 관련 논문이 발표된 세션 18에서는 VCO, PLL 관련된 논문과 GNSS 와 TV 관련 수신기가 발표되었다. 밀리미터 대역 회로 설계가 주를 이룬 세션 22 에서는 60-130GHz에 이르는 다양한 수신기와 증폭기 회로 VCO 회로 등이 선보였다.

주요 논문들을 살펴보면 다음과 같다. 싱가포르의 NUS 에서 발표된 논문(12.1)은 Injection Locked Ring Oscillator를 사용하여 위상과 진폭을 직접 모듈레이션 하는 디지털 PA를 사용하여 효율적인 송신기를 구현하였다. Media Tek에서 발표된 FM transmitter 관련 논문 (12.4) 은 휴대폰에서 차량의 FM 래디오 등의 연결을 위해 사용되는 송수신기를 발표하였는데 휴대폰 등에 거의 부담 없이 설치할 수 있도록 최소의 BOM을 만족할 수 있도록 설계되어 Antenna tuning 이 자동으로 될 수 있는 기능을 넣은 것이 인상적이었다. 일본 히로시마대학 발표된 논문 (22.1) 밀리미터 대역 (130GHz)에서 11Gbps의 속도로 통신이 가능한 CMOS 송수신기를 발표하여 주목을 받았다.



〈Media Tek 에서 발표한 FM Transmitter [12.4]의 레이아웃〉

Digital 분과

김 병 섭 교수
포항공과대학교 전자전기공학과
연구분야 : 저전력 회로 및 고속 I/O회로
Email : byungsub@postech.ac.kr

최근 모바일 기기의 사용이 확대됨에 따라 저전력 디지털 회로에 대한 수요가 꾸준히 증가하고 있으며, 이러한 영향으로 이번 2013년 Asian Solid-State Circuits Conference (A-SSCC)에서는 저전압 디지털 회로 설계 기법 및 그에 따른 신뢰성 문제를 다루는 논문들이 많이 발표되었다.

일본의 도시바 Microelectronics에서는 (7.1)논문에서 단지 21개의 트랜지스터를 가지고 구현한 fully static 저전력 flip-flop을 발표하였다. 이 flip-flop은 40-nm 공정으로 구현되었으며, 논리적으로 동등한 트랜지스터들을 효과적으로 병합하여 트랜지스터 수를 줄이면서도 fully static한 operation을 유지하는 기술을 선보였다. 이러한 기술의 장점은 fully static operation을 유지하였기 때문에, supply noise 및 input slew variation에 강력한 특성을 보인다.

이번에 사용된 기술은 특히 clock input 트랜지스터 수를 줄이는데 초점을 맞추어 디지털 회로에서 많은 전력소모를 차지하는 clock 전력을 크게 줄였으며, 그 결과로 0%의 data activity 상태에서 75%의 전력소모를 감소시키는 효과를 보였다. 이번 기술은 디지털회로에 topologically-compressing 기술을 적용하여 성능은 유지하면서 트랜지스터 개수 및 전력 소모를 크게 줄이는 효과를 보여 인상적인 발표였으며, 비슷한 기법을 잘 적용하면 아직도 디지털 회로에서 개선할 여지가 남아 있다는 교훈을 주고 있다.
일본의 교토 대학에서는 (7.1)논문에서 면적-효율이 높은 reconfigurable한 on-chip MOSFET monitor를 발표하였다. 65 nm CMOS 공정으로 제작된 이 칩은 외부에서 digital 회로를 통해 다양하게 configuration을 바꿈으로써 global/local/dynamic variation을 측정할 수 있도록 설계되었다. 기존의 variation monitor 회로들은 각각 global, local, dynamic variation을 측정하기 위해서 따로 설계되었는데, 이

논문에서 흥미를 끄는 점은, 이러한 다양한 delay variation 측정을 위한 회로들을 단 하나의 회로로 통합하여 간단하게 구현하였다는 점이다.

그 외 이번 2013년도 ASCCC의 low voltage & variation-tolerant digital circuit세션에서는 다양한 논문이 발표되었다. 싱가포르의 난양 공과 대학(Nanyang Technological University, Singapore)에서는 (7.3)논문에서 Charge-pump를 이용한 energy-delay production을 개선한 low-voltage D flip-flop을, 싱가포르의 Institute of Microelectronics에서는 (7.4)와 (7.5)논문에서 각각 low-voltage digital circuit의 variation-tolerant를 향상 시키기 위해 In-situ timing error prediction/prevention 및 빠르고 효율적인 level-shifter를 제안하였고, 일본 오사카 대학에서는 (7.6)논문에서 variation-tolerant한 oscillator 기반의 true random number generation 회로를 발표하여 새로운 기술들을 선보였다.

이번 A-SSCC의 low voltage & variation-tolerant digital circuit 세션에서는 한국에서 발표된 논문이 없어서 많이 아쉬웠으며, 꾸준한 기술적 진보를 위해 정부/산업계/학계의 지속적인 투자와 노력이 필요할 것으로 생각된다.

Data Converter 분과

이 종 우 수석
삼성전자 System LSI 사업부
연구분야 : RFIC, Data converter
Email : jw01.lee@samsung.ac.kr

2013년 A-SSCC의 data converter와 관련하여 3개의 session이 구성되었는데, 2개의 Nyquist-rate data converter와 하나의 oversampling data converter에 대하여 총 13편이 발표되었다. 구조별로 SAR ADC가 6편, CT DSM이 2편, Pipeline ADC가 2편, two step ADC가 1편, Time-interleaved Nyquist DAC가 1편, oversampling DAC가 1편으로 대부분 ADC와 관련된 논문이 발표되었으며, 그중에서도 SAR type이 큰 비중을 차지하였다. 이는 공정이 더욱 미세화되면서 빨라진 digital processing 속도와 SAR type이 갖는 저전력 특징을 반영함을 알 수 있다.

National Cheng Kung 대학에서 3D mesh capacitor array를 구성하여 unit cap size를 0.5fF로 줄여 면적을 최소화한 ADC를 2편을 발표하였고, National Taiwan 대학에서도 40nm CMOS 공정으로 0.004mm2 SAR ADC를 발표하여 면적을 효율적으로 사용할 수 있음을 보여주었다. 그러나 실제 큰 면적을 차지하는 reference generation과 관련된 부분은 모두 측정 장비에 의존하고 있어 다소 아쉬움을 남겼다.

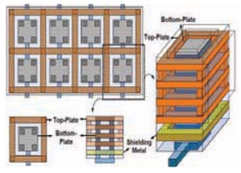
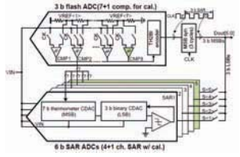
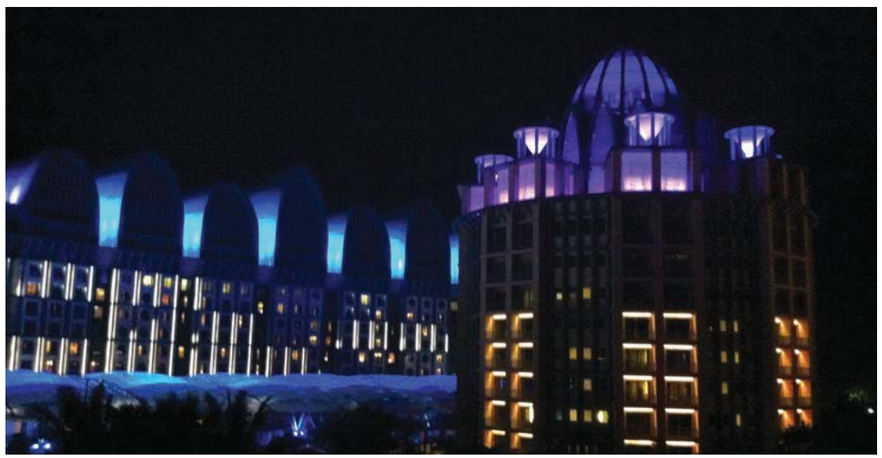


그림 1 3D meshed cap array



KAIST에서는 2Gs/s 고속의 SAR ADC 구현을 위하여 3bit Flash ADC를 이용하여 time-interleaved SAR channel을 선택함으로 25% 이상 전력 효율을 개선할 수 있는 구조를 제안하였다.
Renesas에서는 GSM/WCDMA/LTE 각 mode에 따라 속도와 해상도를 reconfigurable하게 조정할 수 있는 triple-mode SAR ADC를 발표하였는데, 시장이 요구하는 trend를 잘 반영하였을 뿐만 아니라 reference generation과 digital calibration/correction을 모두 on chip으로 구성하여 완성도 높은 논문을 보여주었다.



종합적으로 저전력 미세공정화 경향에 따라 SAR type 구조가 가장 많이 쓰이고 있으며, 공정 부정합 등에 의한 신호왜곡을 보상하기 위하여 digital calibration이 필요하게 되었다. 이에 따라 면적 및 FoM이 상당히 작아졌으나, 올해 발표된 A-SSCC 논문들은 대부분 reference generation과 digital calibration을 외부에서 처리하고 있어 발표되는 숫자들이 얼마나 의미가 있을지 의문점을 남기게 된다.

DC-DC converter: University of Tokyo

저전력 Buck converter 선보여...

zero crossing detector에는 tail 전류원의 body switching을 통해 low-voltage operation이 가능토록 하여 0.6V 입력에서 출력전압 0.5V를 생성함에 있어 최대 94%의 효율을 달성

Analog 분과

류 승 탁 교수
KAIST 전기 및 전자공학과
연구분야 : Analog, Data converter
Email : stryu@kaist.ac.kr

아날로그 분과가 주관한 4개의 세션에서는 총 24편 논문이 발표되었는데, 이들 세션 명은 각각 DC-DC Converters, Wireless Power and Energy Harvesting, Analog Sensing and Computation, Filter and Amplifier이었다. 제목에서 보듯이 두 개의 세션이 전적으로 전력 IC와 관련된 주제를 다루었고, 나머지 두 개의 세션에서도 전력 관련 회로들이 포함되어 있어서 최근 전력관리 IC에 대한 높은 관심을 확인할 수 있었다(전력변환기, LDO, 및 에너지 하베스팅에 관한 논문이 16편으로 전체의 67%를 차지했으며, 이 중에서도 inductive coupling based wireless power transfer에 관한 기술이 4편 이상 소개되었다). 반면, 전통적인 아날로그 회로의 주제라고 할 수 있는 opamp와 filter는 각각 두 편씩만 발표되었다. 국가별로는 대만이 6편으로 가장 많았고, 대만의 논문들은 모두 전력회로에 집중되어 있었다. 한국은 카이스트와 서울대에서 역시 전력 관련 논문을 발표하였다. 아래에 대표적인 논문 몇 가지를 소개한다.

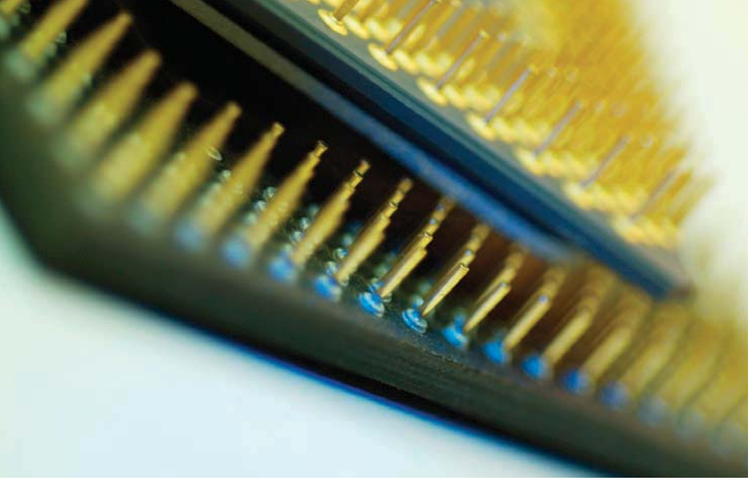
DC-DC converter: University of Tokyo에서는 wireless sensor node 등의 응용을 위한 낮은 입력을 받는 저전력 Buck converter를 선보였다. 간단한 combinational logic을 이용하여 automatic CCM/DCM controller를 구현하여 low voltage 동작에 적합하게 하였고, 이를 위한 zero crossing detector에는 tail 전류원의 body switching을 통해 low-voltage operation이 가능토록 하여 0.6V 입력에서 출력전압 0.5V를 생성함에 있어 최대 94%의 효율을 달성했다.
Switched-Capacitor DC-DC converter: National Chiao Tung University에서는 step-up과 step-down의 dual output을 출력하는 switched-capacitor DC-DC converter 구조를 제안하였고, pseudo 3-phase swap-and-cross control 기법을 제안하여 flying capacitor의 charge mismatch를 줄여 두 출력의 ripple을 uniform하게 낮추었다. 500kHz switching 클럭에서 동작하여 최대 330mW 출력을 제공할 수 있었는데, 효율 90.5%를 달성하였다.

Inductive link: National University of Singapore에서는 biomedical implantation을 위한 inductive coupling based wireless power transfer system 용 power management circuit을 제안하였다. 2차 측 코일 전체를 이용하여 고전압을 생성하고 중간 탭을 따서 저전압을 생성하던 기존의 기법은 두 전압을 모두 optimum하게 제어하는 것이 불가능하므로, 본 설계에서는 2차 측 코일을 이용해서는 낮은 전압만을 생성하고, 이를 boosting하여 높은 전압을 생성함으로써 두 전압을 개별적으로 최적조건으로 제어할 수 있도록 하였다.
Temperature sensor: Chinese university of Hong Kong에서는 새로운 구조의 온도센서를 제안하였는데, poly resistor 온도에 대한 linearity 특성을 이용하여 온도에 따른 pulse delay 신호를 생성하고 이를 time-to-digital conversion하는 구조이다. 기존방식처럼 resistor에 일정 전류를 인가하여 발생한 전압정보로 온도를 센스하지 않고, 저항값 R(T) 자체를 온도 변화 신호로 사용하는 점이 참신한 접근으로 보였다.

Wireline 분과

김 종 선 교수
홍익대학교 전자전기공학부
연구분야 : Analog and Mixed-Signal IC Design, I/O Interface, Clocking Circuits, PMIC design
Email : js.kim@hongik.ac.kr

2013년 A-SSCC의 Wireline & Mixed-Signal 분야에서는 두 개의 Session으로 총 10편의 논문이 발표되었다. Session 13 (Low-Power, High Speed Wireline Transceivers) 에서



5편의 초고속 transceiver 관련 논문과 Session 19 (Clocking and Mixed-Signal Circuits)에서 5편의 DLL/CDR 및 Read-out IC 관련 논문이 발표되었다. 두 세션에서 발표된 주요 논문은 다음과 같다.

Session 13의 첫 번째 논문 "A 32-Gb/s Backplane Transceiver with On-Chip AC-Coupling and Low Latency CDR in 32-nm SOI CMOS Technology"은 IBM에서 발표한 것으로 4-tap FFE와 15-tap DFE를 이용하여 32-Gb/s 의 data rate을 구현하였으며, passive feed-forward restore (FFR) scheme을 사용하여 on-chip AC-coupling network 상의 pattern-dependent baseline wander를 제거한 것을 특징으로 한다. 두 번째 논문 "An Equalizer-Adaptation Logic for a 25-Gb/s Wireline Receiver in 28-nm CMOS"은 Fujitsu에서 발표한 것으로, high-frequency equalizer (HFEQ)와 low-frequency equalizer (LFEQ)를 모두 내장한 feed-forward equalizer (FFE)와 decision-feedback equalizer (DFE)로 구성된 25-Gb/s의 receiver를 소개한다. 세 번째 논문 "A Power Reduction of 37% in a Differential Serial Link Transceiver by Increasing the Termination Resistance"은 POSTECH에서 발표한 것으로 차동 serial link상에 있는 Tx와 Rx의 Termination저항을 4*Zo로 증가시킴으로써 37%의 transceiver 전력소모를 감축시킬 수 있는 기술을 소개하고 있다.

Session 19의 첫 번째 논문 "A 0.1-1.5 GHz All-Digital Phase Inversion Delay-Locked Loop"은 홍익대에서 발표한 것으로, delay line을 구성하는 delay-element의 증가 없이 동작 주파수 영역을 최대 2배로 확장할 수 있는 phase inversion scheme을 적용한 세계 최초의 all-digital DLL로 새로운 feedback delay element (FDE)를 이용한 delay line과 duty-cycle corrector를 적용하여 저전력과 광대역 및 low-jitter 특성을 확보하였다. 두 번째 논문 "Pulse Width Controlled PLL/DLL Using Soft Thermometer Code"은 University of Tokyo에서 발표한 것으로 soft thermometer code를 이용한 pulse width 조정 형식의 PLL/DLL을 소개한다. 세 번째 논문 "A 3x Blind ADC-Based CDR"은 Fujitsu와 University of Toronto에서 발표한 것으로, 3-bit ADC를 이용하여 3x blind sampling을 이용하여 저전력을 구현하였다. 네 번째 논문 "10.3-Gb/s Burst-Mode CDR with Idle Insertion and Digital Calibration in 40-nm CMOS for 10 G-EPON Systems"은 NTT에서 발표한 CDR기술로서 10.3 Gb/s의 전송능력을 보였다.

Memory 분과

김 태 형 교수
Nanyang Technological University
연구분야 : 초저전력 직업회로, 고성능 저전력 메모리
Email : thkim@ntu.ac.kr

전통적으로 메모리 분야의 회로 기술들은 Moore의 법칙에 근거한 Device Scaling과 관련된 설계 문제들을 해결하는데 초점을 맞춰왔다고 볼 수 있다. 이 경향은 최근에도 ISSCC나 A-SSCC에서 지속하고 있으며 꾸준히 연구 결과들이 발표되고 있다. 이와 더불어 메모리 회로기술 분야에서 뚜렷이 나타나는 추세는 새로운 non-volatile 메모리 소자들을 이용한 non-volatile 메모리 설계의 비중이 높아지고 있다는 점이다. 기존의 Flash 메모리를 뛰어넘어 embedded 메모리로도 사용할 수 있는 Resistive RAM (ReRAM)이나 Spin-Transfer Torque Magnetic RAM (STT-MRAM) 등이 소자뿐 아니라 회로기술 분야에서도 꾸준히 눈에 띄는 연구 결과들을 발표하고 있다. 모바일 기기의 발전과 지속해서 증가하고 있는 성능 요구를 만족시키기 위해서 동작성능의 큰 저하 없이 stand-by 전력을 최소화할 수 있는 non-volatile 메모리에 대한 연구는 앞으로도 상당기간 메모리 분야에서 큰 주목을 받을 것으로 예상한다.

이번 싱가포르에서 열린 A-SSCC 2013에서도 위의 추세들이 지속하고 있음을 확인할 수 있었다. 이번 A-SSCC 2013에는 총 5편의 메모리 논문이 발표되었다. SRAM과 DRAM 논문이 각각 1편씩 발표되었으며 Flash, ReRAM 그리고 STT-MRAM 논문이 각각 1편씩 발표되었다.

SRAM은 전통적으로 Device Scaling과 관련된 누설전류나 저전압, 저전력에 대한 연구가 주를 이루어왔다. 이번에 발표된 SRAM 논문도 이 추세와 크게 다르지 않았지만 응용 면에서 기존의 가전제품이나 PC, 휴대폰 등과는 상당히 다른 석유 굴착 장치나, 자동차, 항공기 등을 위한 메모리 기술을 소개하였다. 이들 응용에서는 온도에 따라 기하급수적으로 증가하는 누설전류가 회로 동작에 미치는 영향을 최소화하는 것이 매우 중요한데 300도의 동작 온도를 제공하기 위해서 온도에 따른 누설 전류를 고려하여 data sensing에 크게 영향을 주는 bit-line swing 을 최적화하는 회로를 발표하였다. 또한, 고온에서의 신뢰성을 위해서 텅스텐을 interconnection 재료로 사용하였다. 누설전류의 영향을 최소화하는 것은 기존의 SRAM에서도 동일하게 중요한 연구 과제이지만 이번에 발표된 SRAM 논문은 더 극한 동작 조건을 만족해야 한다는 점에서 기존의 SRAM 논문들과 차별이 된다.

DRAM 분야에서는 DRAM core나 high-speed memory interface가 아닌 sense amplifier와 관련된 논문이 발표되었다. 일반적으로 DRAM에서는 VDD/2 bitline precharging 기술이 sense amplifier를 위해서 많이 사용되었는데 이번에 발표된 sensing amplifier는 dual asymmetric bitline sense amplifier로 최근의 저전압 DRAM에 적용 시 sensing speed와 sensing margin을 20% 이상 최대 47%까지 개선할 수 있는 것으로 보고되었다. 기존의 sensing 방법에 필요한 reference cell이나 VDD/2 generator를 사용하지 않고 회로 면적의 큰 증가 없이 sensing speed와 sensing margin을 개선한 것이 관심을 끈다.

Flash 분야에서는 고성능 모바일 기기의 발전으로 대용량과 고속 reading을 위한 embedded Flash (eFlash)에 대한 연구가 활발하게 이루어지고 있다. 일반적으로 사용되는 전압모드 sense amplifier는 작은 cell 전류와 long bitline 구조하에서 고속 sensing에 제한이 있어 전류모드 sense amplifier가 eFlash 분야에서 광범위하게 사용되어 왔다. Sense amplifier에서 속도를 결정하는 가장 중요한 요소 중의 하나는 입력 offset 전류로 이를 최소화 하거나 보상하는 기술에 대한 요구가 증가하고 있다. 이번 A-SSCC 2013에서도 eFlash를 위한 전류모드 sense amplifier가 소개되었다. Precharge 동작 시에 offset 전류를 전압의 형태로 저장하여 sensing 시에 순간적으로 보상하여 줌으로 offset을 효과적으로 보상하여 고속 sensing에 적합한 sense amplifier 구조를 선보였다.

ReRAM은 endurance의 한계로 normally-off computing 응용에 적합한 메모리로 적합한 구조이다. 소자 연구도 활발히 진행되고 있지만 최근에는 전통적인 embedded 메모리와 ReRAM을 결합하여 새로운 형태의 메모리들이 소개되고 있다.

A-SSCC 2013에는 SRAM과 ReRAM을 결합한 7T2R non-volatile SRAM이 발표되었다. 이 구조는 일반적인 동작모드 시에는 SRAM으로 동작하며 stand-by 모드 시에는 데이터를 ReRAM에 저장하는 non-volatile 메모리로 동작하게 된다. 이는 SRAM과 ReRAM의 장점을 살리면서 단점을 극복할 수 있는 구조로 많은 고성능 저전력 응용에 유용할 것으로 보인다. STT-MRAM은 고성능과 뛰어난 endurance로 차세대 embedded 메모리 솔루션으로 많은 관심을 받고 있다. 현재 STT-MRAM 회로 분야에서 가장 많이 연구되고 있는 주제는 sense amplifier이다. 이는 현재의 STT-MRAM이 logic '1'과 logic '0'의 저항값이 기존의 메모리나 다른 메모리 소자에 비해서 작으므로 고속 동작의 장점은 있지만, sensing에 어려움이 있다.

이번에 발표된 STT-MRAM 논문은 0.38V에서도 동작하는 sense amplifier로 boosted 전압을 사용하여 sensing margin을 개선하고 device variation에도 저항력이 큰 구조를 가지고 있다. 일반적으로 저전압에서 구동이 어려운 것으로 알려진 STT-MRAM의 동작 전압을 트렌지스터의 문턱 전압까지 낮추었다는 점이 주목할만하다.

SoC 분과

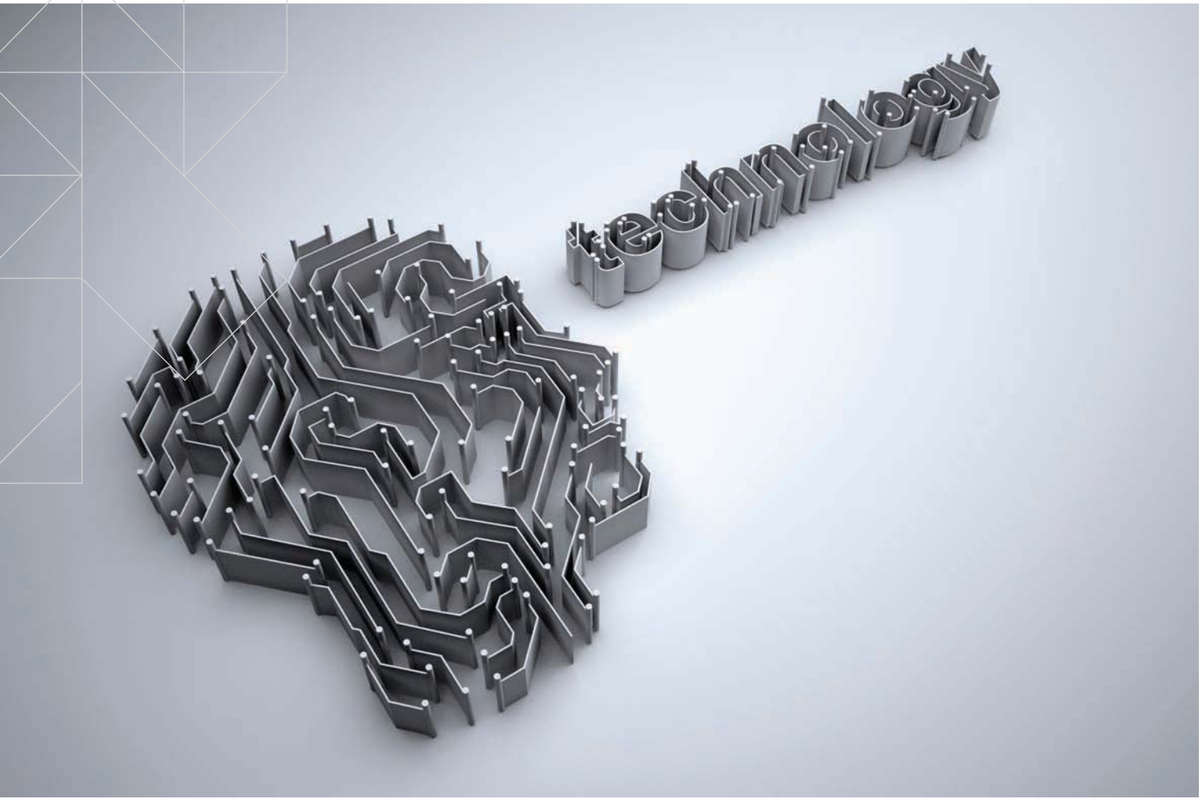
남 병 규
충남대학교 컴퓨터공학과
연구분야 : 모바일 GPU, 애플리케이션 프로세서, 저전력 SoC, 임베디드 SW
Email : bgnam@cnu.ac.kr

최근의 높은 대역폭을 제공하는 이동통신의 발달로 인해, 이동 단말기 상에서의 통신과 멀티미디어 처리를 위한 다양한 알고리즘이 개발되고 있다. A-SSCC 2013의 SoC 분과에서는 이러한 알고리즘들이 가지는 높은 연산복잡도를 처리할 수 있는 신호처리 SoC 논문들이 다양하게 발표되어 향후 SoC의 발전 방향을 가늠해볼 수 있었다.

So7C 분과 관련 논문들은 디지털 통신용 SoC를 다룬 세션 8과 멀티미디어 SoC를 중심으로 한 세션 17에서 총 12개의 논문이 발표되었다. 올해 SoC 분과에서는 대만의 강세가 두드러졌으며, 중국 논문들의 약진이 두드려졌다. 디지털통신과 바이오-메디컬 신호처리를 함께 다룬 세션 8에서는 고속 디지털 통신을 위한 MIMO detector 및 LDPC 관련 논문들이 다수 발표되어 최근의 LDPC를 비롯하여 차세대 FEC 기법에 대한 학계의 높은 관심을 나타내었다. 또한, 이 세션에서는 헬스케어를 위한 ECG 신호처리 SoC들이 함께 발표되어 눈길을 끌었다. 멀티미디어 SoC를 다룬 세션 17에서는 저전력 모바일 GPU를 구현한 논문과 함께 차세대 동영상을 위한 HEVC 코덱을 구현한 논문들이 다수 발표되었다. 한편, 이 세션은 디지털 분과와 공동으로 구성하여서 MTJ 기반의 비휘발성 플립플롭을 이용한 저전력 MPU가 함께 발표되어 높은 관심을 받았다. 주요 논문들을 살펴보면, 대만 NTU에서 발표한 모바일 GPU 논문(17.1)은 저전력 설계를 위해 근사화된 연산기법을 사용함으로써 16개의 코어를 집적하면서도 130mW의 낮은 전력 소모를 나타내었다. 일본의 Waseda 대학에서 발표한 논문(17.2)은 H.264에서 사용되던 FME (fractional motion estimation) 기법을 HEVC에 적용하여 약간의 PSNR을 감수하면서 throughput을 높인 설계를 제안했다. 대만의 NCTU에서 발표한 논문(8.4)은 tail-biting 기법을 적용한 LDPC-CC decoder chip을 제안하여 LTE-Advanced와 같은 패킷기반의 전송에도 LDPC-CC를 사용이 가능하도록 하였으며 대만 NTHU에서 발표된 논문(8.6)은 MIMO 시스템을 위해 QR decomposition과 lattice reduction을 통합한 연산블록을 소개하였다.

〈대만 NTU에서 발표한 16-core 모바일 GPU〉

SoC 설계를 비롯한 반도체 기술은 최근 아시아를 중심으로 급속도로 발전하고 있으며, A-SSCC 학회가 점점 핵심적인 교류의 장으로 받아들여지고 있다. 이를 반영하여 반도체 설계분야의 최고 권위지인 IEEE JSSC (Journal of Solid-State Circuit)에서도 A-SSCC에서 발표되는 우수한 논문들을 엄선하여 매년 11월 특집호로 발간하고 있으므로, 앞으로 많은 한국의 연구자들이 본 학회에 관심을 두고 적극적으로 참여할 수 있기를 기대하면서 학회 후기를 마칩니다.



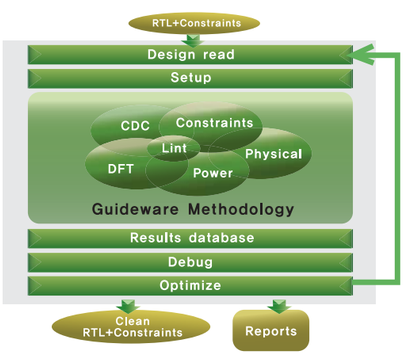
Atrena사 SPYGLASS

A. 목적 : RTL단계에서의 Design 문제 분석.

B. 구분 : Atrenta사의 Spyglass는RTL 설계 단계에서 예측 가능한 Lint, CDC, DFT, Constraints, Power, Physical 등 문제를 미리 검증하여 설계기간 단축과 비용 절감을 위한 Solution을 제공

C. Supported Platform and O/S System
- Linux (32/64bit), Solaris (32/64bit)
- RHEL 4.8, RHEL 5.2, RHEL 5.6, RHEL 6.0, CENTOS 5.4
- SLES 9.0, SLES 10 SP2, SLES 11 SP1

D. 특성 및 기능
Spyglass는 향상된 알고리즘과 분석 기술을 바탕으로 초기 RTL단계에서 Design에 대한 분석을 완벽하게 수행할 수 있도록 도와준다.



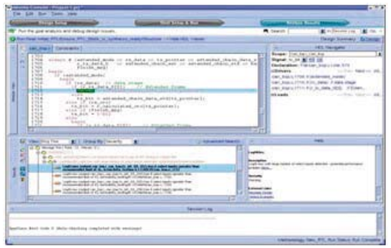
• Lint, CDC, DFT, Constraints, Power and Cogestion 문제를 RTL단계에서 검증 할 수 있는 완벽한 Platform

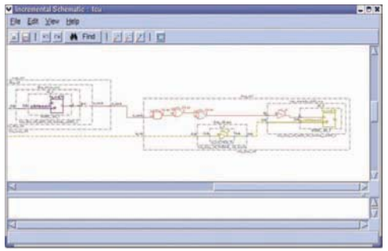
• Guidware는 가장 필수적이고, 효과적인 rule set으로 구성

• RTL상의 문제를 보다 쉽게 검출

• Spyglass 자체 여러 engines이 탑재되어 implementation 단계 에서의 실제 issue를 일치시킴

Spyglass는 GUI/BATCH 모드의 환경을 제공하며, GUI에서는 Source Code, Result, Schematic, Help Viewer 등이 제공된다. 이 Viewer들은 서로 간의 Cross Probing을 통해 쉬운 Debugging 환경을 제공한다.





Lint
Spyglass Lint는 Simulation, Synthesis 등의 단계에서 발생 가능한 문제를 미리 검증하기 위해 Design Rule Checking을 진행하며, Verilog, VHDL, SystemVerilog 등 여러 format의 RTL를 지원한다.

CDC
Spyglass CDC는 Asynchronous Clock 간의 Domain Crossing에서 발생할 수 있는 Meta-Stability, Reset Synchronization 등의 문제를 Check 한다.
추가로 Design 내에 CDC를 위해 사용된 장치에 대한 Formal Analysis를 진행하여 Functional Issue (Re-Convergence, Data Loss, FIFO Underflow/Overflow 등) 발생 여부에 대한 검증도 진행한다.

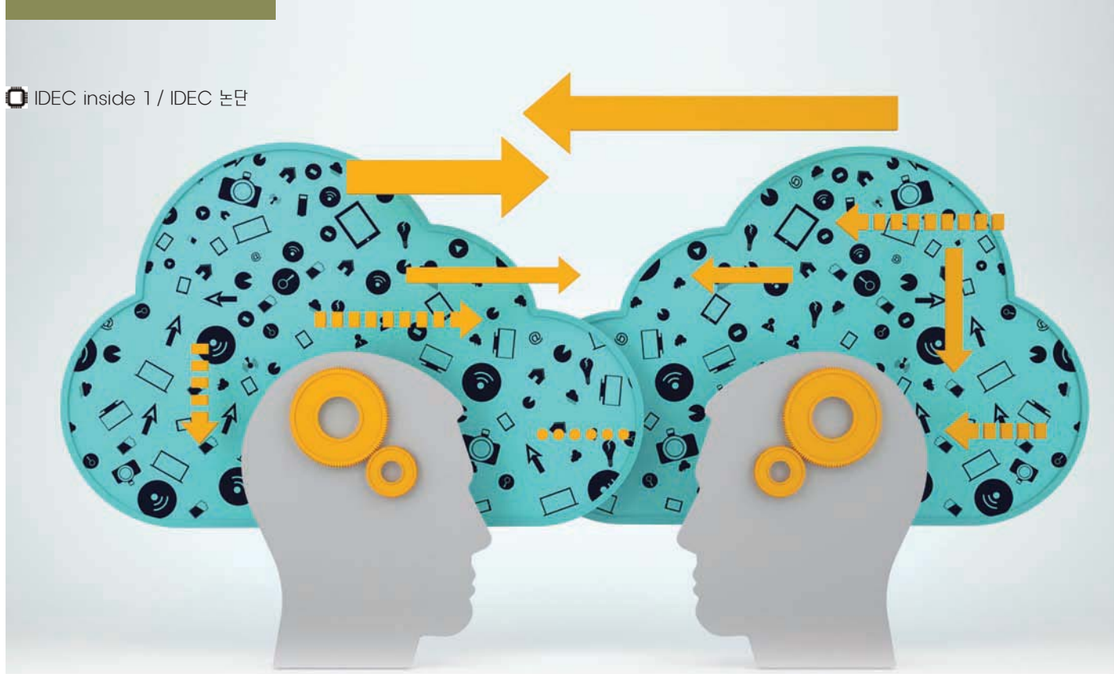
DFT
Spyglass DFT는 RTL단계에서 Stuck-At-Fault, Transition Fault에 대한 Test Coverage를 Estimation 한다.
Coverage Drop이 발생하는 Point에 대해 Report 하여, Coverage를 높이기 위한 Guide를 준다. RTL 단계에서 DFT 문제를 미리 Fix 하는 것은 Scan-Insertion과 ATPG 단계에서의 불필요한 Iteration을 최소화할 수 방법이다.

Constraints
Spyglass Constraints는 Synthesis, STA, Layout에 필수적인 SDC를 RTL단계에서부터 Generation, Validation, Managing 할 수 있다. RTL/Nestlist와 SDC의 간의 일치성을 확인하며, 누락되거나 잘못된 Constraints가 있는지를 Check 한다.

Power
Spyglass Power는 Design에서 소모되고 있는 Dynamic Power/Leakage Power를 Estimation하고, Clock Gating을 통하여 소모되는 Power를 줄일 수 있는 Point를 찾아내어 Design의 Power Saving을 Guide 한다.
또한, CPF, UPF를 지원하여 Voltage Domain, Power Domain을 위한 Component들이 올바르게 Implementation 되었는지를 검증한다.

Physical
Spyglass Physical은 Layout 전에 RTL/Netlist를 이용하여 Layout 상황 예측을 통해, Layout에서의 Congestion 발생 여부를 확인할 수 있으며, Timing Critical Path 및 Physical Area를 예측한다.

SPYGLASS
회사명 : ATRENTA
웹주소 : www.atrenta.com
한국대리점 : 다우엑실리콘
주소 : 경기도 성남시 분당구 서현동 대현빌딩 4 F
전화 : 070-8707-2500



IDEC 논단

시스템반도체의 미래, SW융합에 달려있다

1993년쯤으로 기억한다. 범 부처사업으로 수행되었던 4M DRAM을 성공적으로 마무리하고, 다음 단계인 16/64M DRAM의 성과도 가시화되면서 메모리반도체 개발에 모두들 자신감을 가지고 가속도를 내기 시작할 즈음이었다. 자문위원회의 끝마무리쯤 해서 우리는 왜 유독 주문형 반도체 (시스템반도체의 옛 이름)에 약한지가 화두로 떠올랐다. 이에 대해 KAIST의 어느 교수님은 "서양 사람들은 개인별로 주문하는 것에 너무나 익숙한 반면, 우리는 한 사람이 '짜장면' 이라고 외치면 대부분 '나도요.' 하면서 통일시켜 주문한다. 이러한 문화적 특성 때문에 메모리는 잘할지 몰라도 시스템이 요구하는 다양한 성능을 설계해야 하는 시스템반도체(SoC: System On Chip)가 뿌리를 내리려면 아마도 상당한 시간이 걸릴 거다." 라고 일갈했다.

필자의 지도교수이기도 하셨던 그분은 이제 은퇴하셨고, 메모리반도체는 기술에서나 시장점유율에서 세계 일등이 된 지도 오래되었지만, 그 시장의 4배나 되는 SoC 시장에서는 아직도 5% 내외의 시장밖에 점유하지 못하고 있다. 이 수치도 그나마 최근 대기업의 약진에 힘입은 바 크지만, SoC 산업의 꽃이라 할 수 있는 중소 설계전문회사들의 매출액 비중은 여전히 미미하다. 정부는 SoC 시장 크기와 산업고도화에 미치는 파급효과의 중요성을 일찌감치 간파하고 지난 20여 년간 집중 육성해왔다. 역량 있는 사람들도 주위에 많아졌고, 수많은 프로그램과 과제를 통해 개발된 기술들도 주변에 널려있다. 더구나 우리도 이제는 각자가 주문하는 문화에 더 이상 불편해하지 않는다. SoC 산업이 한 단계 더 도약하기 위한 에너지가 있음이 느껴진다. 뭔가의 트리거가 필요하다.

SoC는 여러 가지로 정의할 수 있겠지만, 쉽게 이야기하자면 시스템 혹은 서비스의 요구사항과 운용방식을 반도체 칩에 심어 놓은 것이다. 그런데 이러한 사용자의 요구사항은 다름 아닌 SW (주로 임베디드 SW)로 기술되고 실행된다. 시스템이 복잡화, 고도화되면서 SW의 비중은 크게 증가하고 있는 만큼, 앞으로는 SW의 적용성과 효율성을 얼마나 더 용이하게 수용할 수 있는가의 여부가 SoC의 경쟁 포인트가 될 것이다. SoC가 SW의 덩어리라고 이야기한 지가 얼마 되지 않았는데, 벌써 주도권이 SW로 넘어간 듯하다. 이제 시스템반도체는 System On Chip이라기보다 차라리 Software On Chip으로 불러야 할까 보다. 이 같은 SW-SoC 융합 추세는 지난해 8월 가트너가 분석한 자료에서도 명확히 드러난다.

요약하면, 첫째, 지난 2011~12년의 18개월간 가장 활발하게 M&A가 일어난 분야가 바로 SW와 SoC 산업계이며 이들은 M&A의 수단을 통해 SW-SoC 융합화를 가속화 하고 있다.

둘째, 앞으로의 SoC 업계는 단순히 칩을 공급하는 기존의 회사와 SW-SoC 융합을 통한 솔루션을 제공하는 회사로 구분될 것이며, 당연히 기존의 회사는 경쟁에서 탈락할 것이라고 예견한다.

셋째, SoC 개발에 소요되는 개발비용의 비중이 종래의 HW 위주에서 점차 SW 비중이 높아지며 첨단 공정 (예: 22nm)으로 갈수록 최고 36%라는 막대한 비중으로 높아진다.

이쯤 해서 대만을 비롯한 중국, 싱가포르 등 중화권의 SoC 산업생태계를 살펴보자. 다양한 분석이 있겠지만, 이들의 경쟁력을 한마디로 요약하자면 적어도 현재까지는 파운드리 (즉, SoC 제작전문회사)를 중심으로 구축된 강력한 생태계에 있다고 본다. 우리 중소업체들은 일부 아날로그 칩을 제외한 대부분의 디지털 칩 제작을 이들 외국 파운드리에 의존하고 있으며 이 과정에서 단가 경쟁력이 상대적으로 불리한 입장에 있음을 지적하지 않을 수 없다. 대규모 투자가 필요한 파운드리 산업을 정부가 강제할 수는 없지만, 마냥 두고만 볼 수도 없는 노릇이다.

'공유형 SW-SoC 융합플랫폼' 을 제안한다. 파운드리가 전형적인 Hardware 형태의 Factory라면, 그 대안으로 우리의 현실을 반영한 Soft 한 Factory를 구축하자는 것이다. 2013년 현재, 약 170여 개의 SoC 회사와 200여 개의 임베디드 SW 업체가 근근이 영업하고 있다. R&D를 통해 도출된 다양한 핵심기술들이 녹아 들어가고 검증된 IP들로 구성된 SW-SoC 플랫폼을 공유할 수 있다면 중소업체들의 개발비용과 기간이 획기적으로 줄 것이다. 원가경쟁력 향상, 핵심기술의 활용, 세트업체 연계를 통한 물량확보, 이에 따른 지속성장은 이들 업계로선 너무나 절실한 요소들이다. 중소업체가 개발에 필요한 모든 IP를 모두 확보하기란 현실적으로 무척 버겁다. 이 점은 신생 벤처 출현의 직접적이고도 현실적인 진입 장벽이기도 하다. 최근 SW-SoC 분야의 창업기업 출현이 거의 전무하다는 현실은 바로 이러한 요인을 잘 반영하고 있다. 정부는 창조경제의 실현을 위한 새로운 시스템 및 서비스를 발굴하고 있다. 이들이 성공적으로 자리 잡으면 그 과실의 대부분이 약 3,900억 불의 거대한 SoC 및 임베디드 SW 시장으로 결국 편입된다. 이 점은 지난 기간의 학습을 통해 잘 알고 있다.

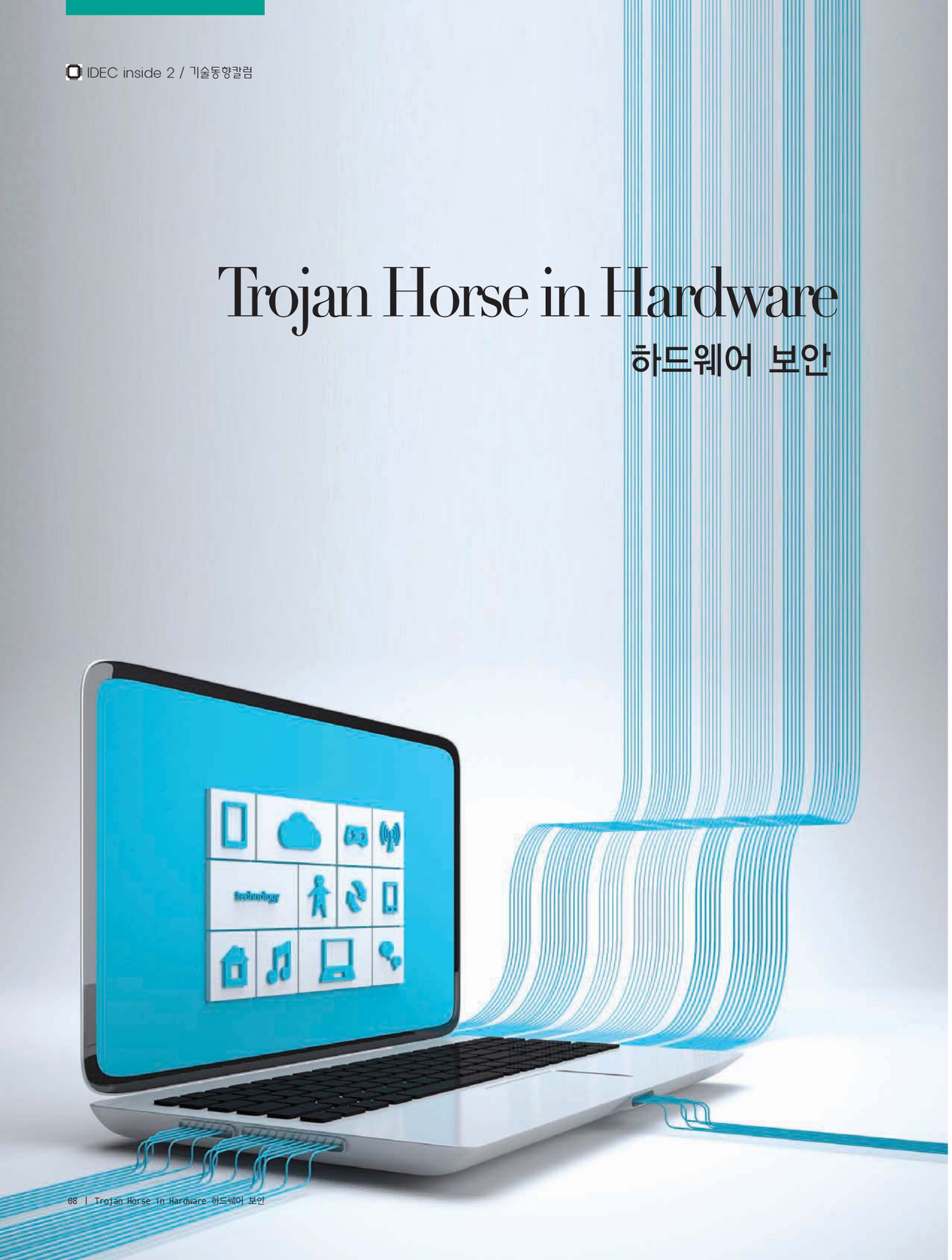
SW-SoC 융합플랫폼은 그 기능상 시스템 · 서비스산업과 그 후방에 위치한 부품산업을 연결하는 허리(중추) 역할을 한다. 플랫폼이라는 장치를 통해 시스템의 개발 초기부터 SW-SoC 중소업체들을 효과적으로 묶어주자. 플랫폼의 형태를 개방형으로 만들어 국가 R&D의 요소기술들을 수용하고 다수가 활용할 수 있게 하자. 기술의 사업화 및 확산을 현재의 개별 과제, 사업책임자 개개인 중심에서 이제는 좀 더 구조화된 형태로 발전시킬 때도 됐다. 플랫폼을 통해 개발한 IP들은 세트업체의 요구사항을 만족하기 때문에 그 신뢰성을 제품수준으로 끌어올릴 수 있다. IP 유통의 실질적인 걸림돌이었던 활용에 대한 위험부담을 획기적으로 낮출 수 있는 것이다. SW-SoC Bank에 이들 IP를 등록시키고 플랫폼과 연계하여 활용성을 높여주자. 수많은 파생 IP의 생성과 관리, IP 거래의 활성화는 말 그대로 기술은행의 실질적인 출현을 의미한다. 기술거래에 대한 실효적인 제도보완이 뒷받침된다면, 이 같은 SW-SoC 산업생태계는 생기를 가지며 선순환의 단계로 진입하게 될 것이다. 수요(시스템 · 서비스)와 공급(SW-SoC)을 연결고리를 초기부터 단단하게 구성하는 것이야말로 우리 중소업체의 절실한 바람인 동시에 건강한 수평적 산업생태계 구축을 위한 출발점이기도 하다.

'모~두 짜장면' 이라고 외치던 집단문화가 바뀌는데 20년 걸렸다. 또 다른 20년을 기다리기엔 우리 중소업계에 불어오기 시작한 황색 태풍은 너무나 강력하다. 시간이 별로 없다. 우선 SW-SoC 융합플랫폼이라는 장치를 통해 흩어져 있던 우리의 역량과 자원을 도메인별로 특화하고 효과적으로 잘 엮어보자. 수평적 생태계를 조성해서 기존의 열악한 중소업체를 살리는 것은 물론 창업자의 출현을 쉽게 하자. 유능한 학생들의 참신한 아이디어를 실체화하는 아키텍트급 인재양성의 수단으로도 활용하자. 창조경제 실현이 멀리 있는 것만은 아니다.

유 현 규
ETRI SW-Soc 책임연구원

*외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.

Trojan Horse in Hardware
하드웨어 보안



배경

소프트웨어의 트로이 목마 (Trojan Horse) 악성 코드는 익히 알려진 악성 루틴이 숨어있는 프로그램으로, 겉보기에는 정상적인 프로그램으로 보이지만 실행 시 악성 코드가 컴퓨터, 스마트 폰 등의 기기에 실행이 된다. 겉으로 보기에는 정상적인 프로그램인 듯하지만 실제로는 사용자 몰래 백도어 (Back Door) 프로그램 등이 설치되어 해커가 외부로부터 컴퓨터에 침입하거나, 사용자가 키보드로 입력하는 자판 정보를 외부에 알려주어 신용카드번호 혹은 비밀번호가 유출될 가능성이 있다.

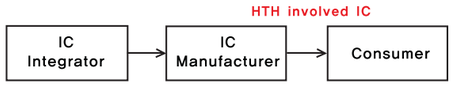
또한, 스마트 폰에서 연락처 등을 유출 시키거나 소액 결제 등을 하기도 한다. 트로이 목마 (Trojan Horse)의 이름은 그리스가 트로이를 무너트릴 때 목마에 군인들을 매복시키고 트로이 성을 함락시킨 대서 유래하여, 상대방이 눈치채지 못하게 몰래 숨어든다는 의미에서 소프트웨어 트로이 목마 악성 코드로 이용된다. 기존까지는 소프트웨어 분야에서 주로 언급이 되었지만, 칩 (Chip)이 매우 복잡해지고 거대해지면서 하드웨어 분야에 등장하기 시작했다. 하드웨어의 트로이 목마 (HTH : Hardware Trojan Horse)는 소프트웨어 트로이 목마 악성 코드와 유사한 문제점을 일
으키지만, 그 영역이 하드웨어라는 차이를 가진다. 본 기고에서는 HTH의 등장 배경과 분류, 일반적인 탐지법에 대해 알아보고자 한다.

HTH는 궁극적으로 하드웨어의 신뢰성에 관한 문제로 환원될 수 있다. HTH는 설계자의 의도와는 관계없이 추가로 포함된 하드웨어로, 삽입된 HTH는 결과적으로 하드웨어의 성능 저하, 하드웨어 복제, 칩의 인증 체계 무력화, 칩의 완전한 파괴, 기밀 정보 유출 등 전반적인 칩의 신뢰도에 치명적인 영향을 미치게 된다. 이러한 위험성을 인지하고 미 국방성은 하드웨어 안정성을 평가에 중요성을 두고 있다. 또한, 2011년에 미국 정보는 백악관 Cyber Policy Review를 출간하고 이의 문제점을 언급하기도 하였다. 미국, 영국, 호주 정보국에서는 일부 컴퓨터의 하드웨어 백도어 (Back Door) 가능성 및 해커들로부터 하드웨어를 통한 외부 접근 가능성의 이유로 레노버 (Levnovo) PC의 사용을 금지한 예도 있다.

HTH란 하드웨어 제조자의 신뢰성과 관련된 문제 중 하나로, 설계자와 제조자가 서로 다른 회사인 경우 설계자 측에서 전달한 디자인에 제조자가 악의적인 목적으로 특수한 기능을 수행하는 회로를 추가하는 경우를 뜻한다. 날로 복잡해지는 Integrated Circuit (IC)는 수많은 IP Core가 집적되어 있으며 이에 따라 칩의 테스트 과정 또한 상당한 시간이 소요된다. 이에 모든 설계를 내부적으로 하지 못하고 IP Vendor 들로부터 IP를 구매하여 IC 설계에 이용하는 경우가 잦아지게 되었다. 이 경우, IP 내에 HTH가 포함되어 있으면 해당 IP를 이용하여 IC를 설계하는 경우 HTH가 포함되게 된다. 아래의 그림 1은 IC에 HTH가 IP를 통해 칩에 삽입되는 경로를 보여주고 있다.

〈그림 1〉 IP Vendor 측에서 HTH가 포함된 IP를 제공하는 경로

또한, 설계와 공정이 세분화되어 전 세계적인 협업 체계가 이루어지고, 중국 및 동남아 지역의 값싼 인건비로 인해 해당 지역들에 많은 생산 라인이 만들어지면서, 반도체 생산 라인을 가지고 있지 않은 Fabless Company가 등장함에 따라 대두하였다. 따라서 설계와 생산이 구분된 환경에서 설계자들이 생산된 칩에 대한 100% 신뢰를 할 수 없는 환경이 만들어지게 된다. 생산자가 설계자 모르게 HTH를 삽입하고 칩을 생산하게 되면 이는 HTH가 포함된 칩이 사용자에게 전달되는 것이다. 〈그림 2〉는 반도체 생산 라인에서 HTH를 삽입하는 경로를 보여주고 있다.

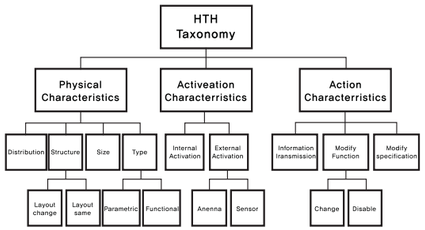


〈그림 2〉 IC Manufacturer 측에서 HTH를 칩에 삽입하는 경로

위와 같은 상황에서 HTH를 찾기 위한 뚜렷한 해결책이 나오지 않은 상태이며, HTH에 대응해야 하는 당위성은 증가하고 있다. 이러한 상황을 반영하여 최근에 제안된 HTH를 방지 혹은 예방하는 방법을 개발하기 위한 연구들이 진행되고 있는 상황이다.

HTH 분류

HTH의 분류는 X. Wang, M. Tehranipoor, J. Plusquellic이 처음으로 구체적으로 제시하였으며, 〈그림 3〉과 같이 물리적/기능적 요소에 따라 나누어진다. HTH 종류를 구체적인 기준으로 분류하는 것은 HTH 탐지에 접근하는 방법을 제시하는데 의의가 있다. 또한, 아직 HTH 탐지 방법의 효과성을 평가하는 기준이 마련되어 있지 않기 때문에, HTH 분류를 통해 기준을 정할 수 있는 토대를 마련할 수 있는 점 또한 주목하여야 한다.



〈그림 3〉 HTH 구분

Physical characteristic은 HTH가 물리적으로 구현된 방식을 말한다. Distribution은 HTH가 삽입된 위치에 따라 분류되며, Structure는 Layout의 변경 여부를 구분한다. Type의 Functional은 HTH가 기존의 게이트를 삭제하거나 추가하는 경우를 뜻하며, Parametric은 기존 로직이나 와이어만 변경된 경우를 말한다. Activation Characteristics은 어떻게 HTH가 활성화되는가를 구분하며 크게 외부적인 활성화와 내부적 활성화로 나뉜다.
외부적 활성화의 경우 칩의 외부에서 오는 신호에 HTH가 반응하는

경우를 뜻하며 내부적 활성화는 칩의 내부 신호만으로 HTH가 활성화되는 것을 말한다. 외부적 활성화는 안테나나 센서 등을 통하여 이루어질 수 있다. Action Characteristic은 HTH의 행동 양식에 의해 구분된다. 크게 칩 내부의 정보를 외부로 빼돌리는 행위 (Information Transmission), 칩의 기능 (Modify Function)과 Specification을 변경함 (Modify Specification)으로써 성능 저하, 더 나아가서 칩을 불능상태로 만드는 파괴적인 역할을 하기도 한다. 위에서 기술한 바와 같이 HTH는 정보 유출, 성능 저하, 파괴, 오작동 유도 등 악의적인 의도로 IC에 삽입되는 것을 알 수 있다. 따라서 IC의 활용도가 극대화되었고, 사용도과 기능이 기하급수적으로 늘어나는 오늘날 칩의 신뢰도를 유지하기 위한 HTH 탐지, 예방은 필수적이다. 하지만 HTH를 탐지하는데 있어서 여러 문제점으로 인해 아직까지 효과적이면서도 Coverage와 Accuracy를 모두 만족시키는 HTH 탐지, 예방 방법론은 요원하다. HTH 탐지, 예방을 어렵게 만드는 주요인 요인들은 다음과 같다. 기본적으로 HTH는 일반 모드에선 잠잠하지만, 특정조건이 만족하면 동작하는 '은밀한' 회로이므로 일반적인 칩 테스팅 방식으로는 탐지되지 않을 가능성이 매우 높다.

또한, HTH가 상대적으로 IC에서 차지하는 면적은 매우 작은 관계로 10억 개 이상의 트랜지스터가 집적되어 복잡도가 매우 높은 칩에서 상대적으로 매우 작은 Logic 영역을 차지하는 HTH를 탐지하는 것은 매우 어려우며, 많은 수의 트랜지스터가 집적된 만큼 HTH를 삽입하는 측은 HTH를 삽입할 수 있는 조합의 수는 매우 다양하다는 점도 탐지를 매우 어렵게 만드는 요인이다. M.Tehranipoor와 B.Sunar는 다음과 같이 HTH 탐지의 어려움을 정리하였다.

a) 많은 수의 Soft, Firm, Hard IP가 SoC에 집적되어 있고, SoC의 복잡도가 기하급수적으로 증가함에 따라 상대적으로 매우 작은 회로로 이루어진 HTH를 탐색하기는 매우 어렵다.

b) 각 트랜지스터의 크기는 나노미터 스케일로 작아졌으므로 물리적인 방법을 사용하는 탐지 방법은 거의 불가능 하다. 역설계 방법(Reverse Engineering)으로 HTH를 찾아내기엔 비용과 시간이 많이 들며, 이 방법으론 모든 칩을 확인할 수 없으므로 HTH가 일부 칩에만 삽입되었을 경우 탐지하기 매우 곤란하다.

c) HTH 회로는 매우 특수한 조건에서만 동작하도록 설계되어있으므로 일반적인 칩 테스팅과정에서 탐지하기 매우 어렵다.

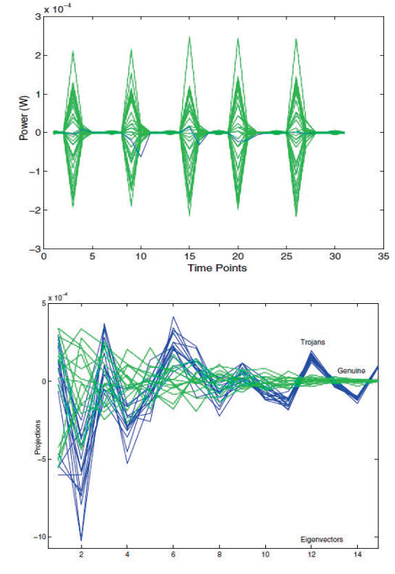
d) 트랜지스터의 채널 길이가 매우 짧으므로 공정, 환경에 의한 트랜지스터 변수들이 변화가 심하다. 따라서 단지 이들 변수로 HTH를 탐지하는 것은 효과적이지 않다.

HTH 탐지 방법들

HTH를 찾아 칩의 신뢰성을 향상시키는 방법으로 1) Side-Channel Signal Analysis를 활용한 탐지 전략과 2) 삽입된 HTH를 강제로 활성화해 탐지하는 Trojan Activation Method로 분류된다.

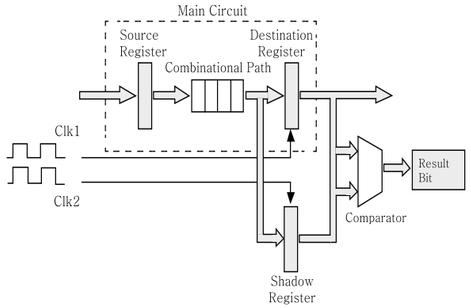
HTH가 칩에 삽입되었을 때 Trojan의 종류와 관계없이 기존 칩의 논리 게이트, 와이어의 Power, Delay 특성에 영향을 미친다. Side-Channel Signal Analysis 방법은 Power와 Delay 특성을 이용하여 Trojan을 탐지하는 방법이다. Power-Based Analysis는 삽입된 Trojan을 완전히 활성화 시키지 않으면서도 칩의 내부 구조와 활성화 상태에 관한 정보 획득을 가능하게 한다. D. Agrawal 등 이 발표한 논문에서 Trojan Circuit 탐지를 위해 Power와 전자기파 방출 등의 Side-Channel 방식을 이용할 것을 최초로 제안하였다. 실험 방법으로는 1) 동일한 설계, 동일한 레이아웃으로 구현된 칩을 선정하고 2) 반복적인 I/O 테스트를 통해 칩의 Side-Channel 특성(Power, EM, Thermal Emission 등) 자료를 수집하며 3) 2)에서 모인 자료를 기반으로 IC Fingerprint를 형성 후 5) 다른 칩의 Fingerprint를 측정하여 Golden Chip(Reference Chip)의 Fingerprint와 비교, 대조하였다.

〈그림 4〉는 Golden Chip과 HTH가 삽입된 칩 사이의 Side-Channel을 통해 얻은 차이를 보여주고 있다. 이 방법의 장점으로는 다양한 사이즈, 기능을 구현하는 Trojan Circuit이 발생시키는 Power Consumption, Heat Dissipation 특성을 기존 회로의 특성과 비교 분석하여 탐지 가능하다는 점과 Trojan Circuit을 반드시 활성화 시킬 필요가 없다는 점이다. 하지만 단점으로 Golden Chip의 프로세스 노이즈가 지나치게 심할 경우 탐지에 실패할 수 있다는 점이다.



〈그림 4〉 녹색선: Golden Chip의 Fingerprint, 청색선: HTH 삽입된 Chip의 Fingerprint

Delay 특성을 이용한 HTH 탐지 방법은 HTH가 칩에 삽입되면 상당한 path delay가 변하는 것을 활용한다. 기존 칩의 Path Delay 특성과 의심스러운 칩의 Path Delay 특성을 비교, 대조하여, HTH의 포함 여부를 발견하는 기법이다. 〈그림 5〉는 Path Delay 특성을 측정하는 회로를 보여주고 있고, clk1은 주 회로에, clk2는 clk1 기준으로 Phase offset을 두고 Shadow Register에 인가되며 비교기를 통해 주 회로와 비교를 한다. 이 방법은 여타 기법들과 달리 효율적이라는 장점을 지닌다. 그러나 추가 테스트 회로가 필요하고, 이것이 차지하는 면적이 다른 경쟁 기법들에 비해 상대적으로 넓은 편이며 Trojan 회로를 활성화 시키지 않은 상태로 탐지하므로 비활성화 상태인 Trojan 회로를 탐지하지 못할 가능성이 존재한다.



〈그림 5〉 Path Delay 특성을 이용한 HTH 탐지 회로

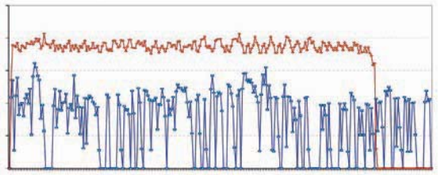
항상 작동하는 형태의 HTH는 HTH가 존재하지 않는 레퍼런스 회로만 얻을 수 있다면 위의 방법들로 비교적 손쉽게 판별 가능하나, 특정 입력이나 상황에서 활성화되도록 설계된 HTH의 경우 일반적인 Test Vector를 입력했을 때 그것이 작동되지 않는 상태이기 때문에 활성화 방법 (Activation Method)의 적용이 없이는 판별이 어렵다. 이러한 HTH 활성화 방법은 크게 Region-Free Trojan Activation과 Region-Aware Trojan Activation의 두 가지 분류로 나뉜다. Region-Free는 회로 내부가 어떻게 구성되어 있는가에 대한 정보를 가지지 않은 상태로 활성화를 유도한다는 것이다. Region-Aware Trojan Activation은 HTH를 찾기 위해 정밀하게 만들어진 Test Vector를 이용하는, 회로 내부를 고려한 방법이다.

Region-Free 방법은 Region-Aware 방법에 비해 테스트 생성 시간과 비용 면에서 유리하다 할 수 있지만, HTH 활성화 자체는 우연에 의존한다는 점에서 활용도에서는 의문점이 있다. Test Vector 자체는 회로에 특화되어 있지 않으므로, 회로 인풋의 개수만 일치한다면 어떤 회로에나 적용하는 방법이므로 Test Generation 관점에

서 볼 때는 시간과 예산을 절약할 수 있는 방법이다. 하지만 회로 하나를 테스트하는 시간이 필연적으로 길어지기 때문에, 이러한 접근은 HTH가 없음을 확신해야 하며, 만일의 경우 출력 하나하나를 구체적으로 분석할 수 있어야 하는 경우, 즉 Detection의 기반으로 삼기 위한 Golden Chip을 선택하는 데 사용하는 것이 더 적합할 수 있다.

Region-Aware Trojan Activation 방법은 위해 회로를 보다 작은 Sub-Circuit으로 만들어, 즉, 영역 (Region)을 만들고 해당 영역을 테스트하기 위한 벡터를 생성한다. Trojan이 작동되어 있지 않다고 가정했을 때, HTH는 Trojan을 활성화 시키기 위한 신호를 기다리고 있는 입력 감시 상태 (Trigger Monitoring State)라 가정할 수 있다. 즉, 회로 내부의 Flip-flop과 같은 회로 상태 로직들 (Circuit State Element) 들과 HTH은 연관이 되어 있다고 가정할 수 있다. 모든Flip-flop을 기준으로 영역을 정하는 것이 이상적이겠지만, 그 수가 너무 많은 경우에는 Trojan이 있을 만한 Flip-flop들을 클러스터로 만드는 접근법이 유용하다. 이 경우, Flip-flop의 임계치를 정하고, 임계치를 넘는 수의 Flip-flop을 담고 있는 영역들만을 테스트에 반영할 수 있다. 테스트시에 한 번에 하나의 영역 안에서 Switching, 즉 파워 소모가 일어나게 하고, 영역 밖에서의 파워 소모를 최소화하는 테스트 벡터를 입력하는 방향으로 테스트 벡터가 만들어져야 한다. 이런식으로 영역을 제외한 부분의 파워 소모가 거의 0에 가까워져, 만약 영역 안에 Trojan이 존재할 경우, 그 존재가 파워 소모의 증가로 더욱 명확하게 드러나게 된다.

또한 기본적으로 영역 안에서만 Switching이 잦도록 유도하여 회로 전체 수준으로 보면 저 전력으로 동작하게 되어, HTH를 발견하기 더욱 쉬워진다. 즉, 해당 영역 안의 Dynamic Power Consumption 증가를 통해 HTH를 찾는다. 이러한 접근 방법은 실제 게이트의 Layout을 모두 알고 있지 않으면 영역 설정이 불가능하다는 문제점을 가지고 있지만, 실제 HTH가 어디에 삽입이 되었는지 발견할 수 있으며, 측정 오차 등으로 알아보기 어려운 경우를 방지한다는 점에서 장점을 가진다. 하지만 테스트 벡터를 만드는데 시간과 비용이 드는 단점이 있다. 〈그림 6〉은 ISCAS 벤치마크 회로 s3271 회로에 적용된 Region-Aware Trojan Activation 방법을 통해 얻어낸 Dynamic Power Consumption의 결과를 보여주고 있다. 이 회로에 삽입된 Trojan gate는 전체 gate count의 1%에 불과하지만, 2% 이상의 Switching 증가가 나타나고 있다.



〈그림 6〉 s3271 회로의 Toggle Count Magnification결과. 파란색이 Golden Chip, 붉은색이 HTH를 포함한 Chip

HTH 예방 전략

현재의 IC design 방법론은 HTH를 탐지하는데 중점을 두지 않았으므로 효과적인 Side-Channel Signal 분석을 가능하도록 도움을 주지 못하다. 따라서 하드웨어 보안, 신뢰성에 주안을 두고 HTH 방지, 탐색을 돕는 IC 설계 방법론인 Design-for-Hardware-Trust의 중요성이 커지고 있다. 이의 일환으로 CAD Tool 자체에서 Side-Channel Analysis가 가능한 형태의 설계 레이아웃을 지원하는 방법이 주목받고 있으며, 현재까지 알려진 방법으로 대표적인 것은 Dummy FF를 삽입하여 활성화 확률을 높이는 방법과 테스트 상황에서 역전압을 걸어도 작동하게끔 설계하여 HTH 활성화 확률을 반전시키는 방법들이 제안되고 있다. 또한, 입출력을 감시하는 별도의 프로그램 가능하고 외부 입력으로부터 분리된 모듈을 SoC 내부에 삽입하여, 잘못된 동작이 감지될 경우 안전 모드로 작동하거나 해당 부분을 비활성화시키는 방식의 DEFENSE 로직의 개념이 소개되었다. 마지막으로 원래는 IP를 보호하기 위해 만들어진 개념인 Circuit Obfuscation 역시 HTH를 예방하는 방법으로 제시된다. 무엇을 하는지 알아볼 수 없도록 코딩하는 소프트웨어 보안 기법인 Code Obfuscation에서 출발한 이 방법은 회로설계에서도 비슷한 개념으로 적용이 가능하며, 이미 IP의 역설계를 방지하기 위해 사용되고 있는 기술 중 하나이다. 간단하게 요약하면 제조사가 HTH를 어디에 어떻게 주입해야 할지 알아볼 수 없도록 하여 HTH를 예방하는 방법이라 할 수 있겠다.

양 준 성 교수
소속 : 성균관대 반도체시스템학과
연구분야 : SoC 설계, 보안 및 테스팅
이메일 : js.yang@skky.edu
http://sites.google.com/site/datesskku/

Reference

1) Wang, Xiaoxiao, Mohammad Tehranipoor, and Jim Plusquellic, "Detecting malicious inclusions in secure hardware: Challenges and solutions." Hardware-Oriented Security and Trust, 2008. HOST 2008. IEEE International Workshop on. IEEE, 2008.
2) D. Agrawal et al, ""Trojan detection using IC fingerprinting"", IEEE Symp. on Security and Privacy, 2007.
3) X. Wang, H. Salmani, M. Tehranipoor and J. Plusquellic, ""Hardware Trojan Detection and Isolation Using Current Integration and Localized Current Analysis,"" in Proc. of the International Symposium on Fault and Defect Tolerance in VLSI Systems (DFT08), pp. 87-95, 2008.
4) M. Potkonjak et al, ""Hardware Trojan Horse Detection Using Gate-Level Characterization"", DAC, 2009.
5) J. Li and J. Lach, ""At-Speed Delay Characterization for IC Authentication and Trojan Horse Detection"", HOST, 2008.
6) Y. Jin and Y. Makris, ""Hardware Trojan Detection Using Path Delay Fingerprint"", HOST, 2008.
7) Jha, Susmit, and Sumit Kumar Jha. "Randomization based probabilistic approach to detect trojan circuits." High Assurance Systems Engineering Symposium, 2008. HASE 2008. 11th IEEE. IEEE, 2008.
8) Wolff, Francis, et al. "Towards Trojan-free trusted ICs: Problem analysis and detection scheme." Design, Automation and Test in Europe, 2008. DATE'08. IEEE, 2008.
9) Banga, Mainak, and Michael S. Hsiao. "A region based approach for the identification of hardware Trojans." Hardware-Oriented Security and Trust, 2008. HOST 2008. IEEE International Workshop on. IEEE, 2008.
10) M. Abramovici and P. Bradley, ""Integrated Circuit Security - New Threats and Solutions"", CSIIR Workshop, 2009.
11) R.S. Chakraborty and S. Bhunia, ""Security against Hardware Trojan through a Novel Application of Design Obfuscation"", ICCAD, 2009.
12) R. S. Chakraborty and S. Bhunia. Hardware protection and authentication through netlist level obfuscation. In Proceedings of IEEE/ACM ICCAD, pages 674?.677. 2008.

국제학회 참관기

(IEEE GLOBECOM 2013) http://www.ieee-globecom.org

1. 학회 개요

GLOBECOM (Global Communication Conference) 학회는 IEEE Communication Society에서 주관하는 2개의 flagship 국제 학회 중 하나로 겨울에 북아메리카 대륙 도시에서 개최되는 세계 최고 및 최대 규모의 통신 공학 분야 국제 학술대회이다. 평균 3,000여 편의 논문이 제출되며 이 중 일부만이 승인되는 기술 수준이 높은 학회로, 올해 56회째 개최되었으며 20여 개의 Symposia, Tutorial, Workshop, Industrial Forum과 Exhibition에 총 2000여 명의 연구자, 개발자, 산업계 종사자 및 관료들이 참석하여 최신의 연구 및 기술 개발 동향을 공유하고 각 분야의 연구 결과를 소개하는 자리를 제공하였다.

■ 주요 일정

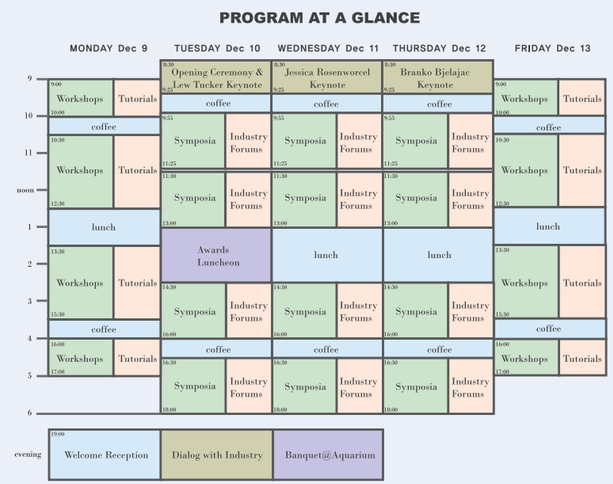
《 13. 12. 9(일) ~ 13. 12. 14(토) (4박 6일) 》

- 12. 9 한국 출발, 미국 애틀랜타 도착
- 12. 9~13 IEEE GLOBECOM 2013 참석
- 12. 14 휴스턴 출발 (13일 오전), 한국 도착 (14일 저녁)

2. 학회 일정

IEEE GLOBECOM은 아래의 표와 같이 보통 5일간 개최되며, 첫날과 마지막 날은 주로 튜토리얼과 특정 주제를 집중적으로 발표하는 워크숍으로 구성된다. 중간의 3일은 평상적으로 Keynote Speech, Industry Forum & Exhibition (IF&E) 및 심포지엄으로 구성되며, 평균 1,000여 편의 논문들이 구두 또는 포스터 형식으로 소개된다. 심포지엄은 십여 개의 주제로 여러 개의 병렬 세션으로 구성된다.

학회 프로그램 일정



참고)

IEEE ComSoc (Communication Society): 1952년에 설립되어 현재 전 세계 약 50,000명의 회원을 보유하여 IEEE 38개 technical society 중 두 번째로 큰 규모임

3. 세부 프로그램 소개

아래는 각각의 대표적인 프로그램에 대해 설명하고 이번 학회에서의 참석 경험을 소개한다.

가. Tutorial

아래는 이번 2013년도 학회의 튜토리얼 프로그램(총 20개)으로, 주제마다 약 3시간 동안 최근 주목을 받고 있는 기술에 대해 집중적으로 소개하고 최신 결과들을 발표하였다.

TUTORIALS

Monday, Dec. 9 Morning Tutorials:

T1: Interference Alignment: A Unified View of Signal Dimensions Across Wireless and Wired Communication Networks

T2: Small Cell Technologies in LTE-Advanced and Beyond

T3: Stochastic Geometry for the Analysis and Design of Wireless Networks

T4: Information-Centric Networking: Current State of the Art and Future Directions

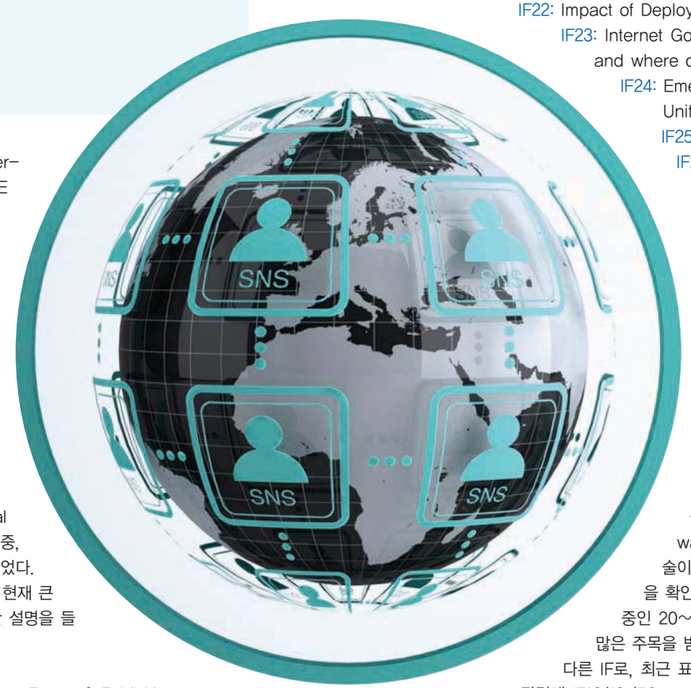
T5: Cognitive Radio, Software-Defined Radio, and Adaptation of Wireless Mobile Radio Systems

Monday, Dec. 9 Afternoon Tutorials:

T6: Fundamentals of Nanoscale Communications and Nano Networks
T7: LTE-Advanced Modem Design: Challenges and Perspectives
T9: Opportunistic Communication: Unified View and New Applications
T10: Topology-Aware Modeling, Analysis, and Design of Multi-Tier Cellular Networks
T11: Towards Distributed Autonomous Underwater Sensor Networks: Principles, Development, and Future
T21: Vehicular Networking: Standards, Protocols, Applications, and Deployment Plans

Friday, Dec. 13 Morning Tutorials:
T12: Implementing Network Coding
T14: Wireless Device-to-Device Communications and Networks
T15: Wireless Network Economics and Games
T16: Emerging Concepts and Technologies towards 5G Wireless Networks
T17: Cross-Layer Design for Spectrum- and Energy-Efficient Wireless Networks
Friday, Dec. 13 4Afternoon Tutorials:
T8: Monitoring and Optimization for Smarter Power Grids
T18: Energy Harvesting Wireless Communications
T19: Machine-to-Machine Technologies &Markets - Shift of Industries
T20: Online Learning in Multi-agent Environments - Applications

본인은 오후의 T7 튜토리얼 (LTE-Advanced Modem Design: Challenges and Perspectives)에 참석하였다. 이 자리에서 삼성 전자 미국 샌디에고 연구소 기술 팀에서 LTE 다음의 셀룰러 시스템인 LTE-advanced 시스템 단말기 개발 관련 최근 기술 이슈들을 구체적으로 소개하였다. LTE 표준의 진화 역사, ITU의 요구 사항 (3 Gbps in downlink, 30 bps/Hz or higher spectral efficiency) 등을 시작으로, 이를 만족하기 위해 요구되는 신호 처리와 물리 계층 기술들을 중심으로 중요 이슈들을 소개하였다. 현재 기본이 되는 Release 10 및 11의 핵심 기술들인 carrier aggregation, enhanced inter-cell interference coordination (eICIC), heterogeneous networks (HetNets), eight-layer spatial multiplexing detection 들에 대해 구체적으로 설명하고, 이를 실제 단말 칩에 구현할 때 발생하는 문제점들을 소개하였다. 이를 통해 저전력, 소형 단말 칩 구현시 직면하는 기술적인 문제점들을 파악하고 핵심 연구 개발 이슈들에 대해 고민해 볼 수 있는 좋은 기회가 되었다.



나. Keynote
학회 일정 중 중간 3일 동안 매일 keynote speech가 개최되었으며, Cisco사, 미국 Federal Communications Commission (FCC), Landis+Gyr 사의 고위임원이 연설을 하였다. 이 중, Cisco 사의 Vice President 이자 CTO인 Lew Tucker의 keynote speech가 인상적이었다. "Cloud Computing and the Promise of Networking-as-a-Service " 의 제목으로 현재 큰 관심을 끌고 있는 cloud computing의 동향 및 선두 업체인 Cisco사의 대응 방안에 대한 설명을 들을 수 있었다.

다. Industry Forum & Exhibition (IF&E) 참석
최근 통신/네트워킹 분야 중 상당 부분을 산업계에서 선도하는 경향을 반영하여, 많은 Industry Forum & Exhibition (IF&E) 프로그램들이 진행되었으며 흥미로운 주제들이 많이 소개되었다. 아래와 같이 총 29개의 IF&E이 진행되었으며, 3~5명의 패널이 주제들에 대해 개별적으로 간단히 발표하고 청중들의 질문에 답하는 형식으로 진행되었다.

Industry Forum & Exhibition (IF&E) Program
IF1: Smart Grid Standardization
IF2: What is TV White Space and how can it be used?
IF3: Smart Metering: Enabling Communications and associated Security and Privacy Challenges
IF5: Hands-on Education and Training with Software-Defined Radio I
IF6: Engineering the Multi-service Architecture Evolution
IF7: Hands-on Education and Training with Software-Defined Radio II
IF8: Network Function Virtualization
IF9: Millimeter Wave Wireless Communications: The Ultrawideband Frontier
IF10: Communications Policy in 2014 and Beyond: How will Federal Policy Impact the US Telecom Sector' s Place as a Technology Leader
IF11: Patents, Patent Trolls and Trade Secrets
IF12: Next Generation 4G/5G Cellular Networking
IF14: Mobile Communication Beyond 2020: What is 5G I
IF15: LTE-A Radio Network Planning Challenges & Opportunities
IF16: 5G Vision: Driving the Need for Ubiquitous Gbps I
IF17: Mobile Communication Beyond 2020: What Is 5G? II
IF18: Spectrum Management and Policy
IF19: 5G Vision: Driving the Need for Ubiquitous Gbps II
IF20: IPv6 goes Mobile
IF21: Internet of Humans and Machines
IF22: Impact of Deploying IPv6 based SDN on Enterprise Networking
IF23: Internet Governance Why should the technical community care and where do they fit in
IF24: Emerging Standards in Autonomic Management, SDN & NFV, and Unified Management of Converged Networks I
IF25: Big Data Cloud Networking
IF26: Emerging Standards in Autonomic Management, SDN & NFV, and Unified Management of Converged Networks II
IF27: Programmable Cloud Networking
IF28: New Trends in Math and Signal Processing for Communications
IF29: Next Generation Wi-Fi

이 중 개인적으로 인상적이었던 4개의 IF&E 프로그램에 대해 아래와 같이 간단히 소개한다. IF9 (Millimeter Wave Wireless Communications)의 경우, 5세대 통신의 주된 기술 중 하나인 mm-wave 기술 현황을 소개하였으며, 이 분야의 세계적 전문가인 NYU의 Rappaport 교수, 텍사스 주립대 Heath 교수, 노키아 Ghosh 박사, 삼성전자 설지윤 박사 등이 패널로 참여하여 최근의 기술 발전 현황과 문제점들에 대해 솔직한 토론을 진행하였다.

십여 년을 내다보고 최근 관심이 증가하고 있는 THz 통신 기술의 전 단계로서의 mm-wave 기술이 주된 논의 내용으로, 최근 1~2년간 급속히 RF, 아날로그, 디지털 칩 구현 기술이 발전되어 장애물에 의한 통신 두절, 과도한 발열 등의 문제점들이 상당 부분 해결되었음을 확인할 수 있었다. 특히 삼성전자가 5세대 backhaul 및 이동 통신 서비스를 위해 연구 개발 중인 20~30GHz 대역의 mm-wave 통신 프로토타입의 실제 개발 및 테스트 결과들을 발표하여 많은 주목을 받았다.

다른 IF로, 최근 표준화를 본격적으로 시도하고 있는 5세대 (5th Generation) 셀룰라 시스템 연구 개발과 관련해 IF16/19 (5G Vision: Driving the Need for Ubiquitous Gbps)에 참석하였다. 차이나모바일, NTT DoCoMo, 삼성전자, 인텔, 에릭슨, 화웨이 등 5세대 시스템의 주력 개발사들의 연구개발 진행 상황과 비전을 공유할 수 있는 자리가 되었다. 아직은 5세대 시스템의 구체적인 사항들이 정해지지는 않았지만, 요구사항을 뒷받침할 수 있는 핵심 기술들에 대한 설명들이 이어졌으며, energy efficiency, diverse network topologies, multi-mode 및 multi-node communication, ubiquitous computing 등의 핵심 화두들이 제시되었다.

또한, 차세대 WiFi를 다룬 IF29 (Next generation WiFi)에 참석하여 인텔, 브로드컴, 퀄컴 등의 메이저 칩 벤더들의 연구 개발 현황을 청취하고 향후 WiFi의 진화 방향에 대한 각 사의 비전을 확인할 수 있었다. 최근 access point (AP) 수의 폭발적 증가

로 말미암은 간섭 문제가 심각해지는 상황에서 WiFi 성능의 대폭적인 향상이 쉽지 않기 때문에, 셀룰러 시스템과 유사한 high efficiency WLAN (HEW) 시스템에 대한 연구 및 표준화를 장기 과제로 진행하고 있으며, 동기화 지연 감소, 대역폭 향상, range 향상 등의 목표를 가진 개별 진화 방향에 대한 내용도 소개되었다. 또한 IEEE 802.11n/ac/ad 칩들의 시장 상황이나 예상 출시 시기 등도 제시되었으며, 2014년에는 802.11ad가 포함된 tri-band 칩까지 출시될 수 있을 것으로 예상하고 있었다. 현재의 WiFi의 문제점과 이를 해결할 수 있는 기술들에 대한 진지한 토론 분위기가 인상적이었으며, 향후 진행할 연구 방향 설정에 있어 좋은 참고의 시간이 되었다.

라. 전시장 참관

참여 업체 중 삼성전자 부스가 가장 눈길을 끌었다. 삼성전자에서는 5G 시스템 프로토타입과 60GHz 802.11ad 기반 HD 연상 전송 시스템을 소개하였다. 특히 표준 연구가 갓 시작된 5G 시스템과는 달리, 표준이 이미 완성된 802.11ad WiGig 시스템의 경우 기존에는 높은 주파수로 인한 기술적 문제점들이 많아 몇 년 전까지만 해도 상용화 가능성이 불투명한 상황이었으나, adaptive beamforming, 저전력 설계 등의 기술 개발을 통해 많은 어려운 점들을 극복한 것으로 판단되었다. 장애물을 사이에 놓거나 송수신기를 움직여보는 등 무선 채널 상태를 인위적으로 나쁘게 해보았으나 통신 품질은 저하되지 않는 것을 보고 기술적으로 많은 진보가 이루어졌음을 확인할 수 있었다. 내년에 여러 회사가 칩을 양산하여 차세대 WiFi 시장에 새로운 경쟁 구도가 펼쳐질 것이라고 예상되며, 이후의 WiFi 기술에 대한 연구 방향을 고민할 수 있는 기회가 되었다.

그 외 총 12개의 technical symposia에서 주제별로 163개의 technical session 들이 구성되어 총 863개의 논문을 발표하였으며, 아래와 같이 총 15개의 개별 소규모 workshop들이 진행되었다.

WORKSHOPS

Monday, 9 December 2013

W1. Trusted Communications with Physical-Layer Security
W2. Broadband Wireless Access
W3. Workshop on Cloud Computing Systems, Networks, and Applications
W4. Device-to-Device (D2D) Communication With and Without Infrastructure
W5. Heterogeneous and Small Cell Networks
W6. Management of Emerging Networks and Services
W7. Wireless Networking and Control for Unmanned Autonomous Vehicles
W8. Optical Wireless Communications

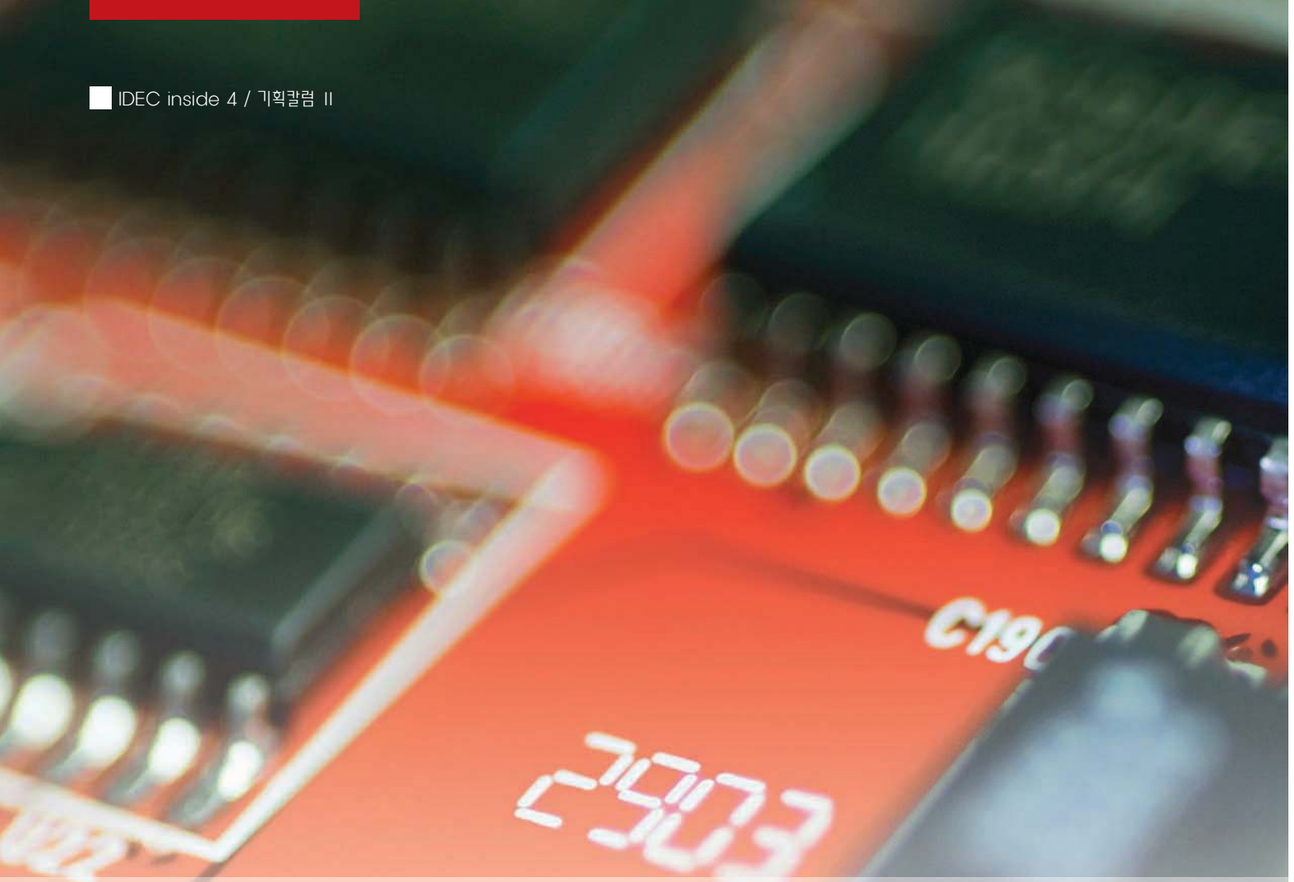
Friday, 13 December 2013

W9. Security and Privacy in Big Data?(Half Day)
W10. Emerging Technologies for LTE-Advanced and Beyond 4G
W11. Cloud-Processing in Heterogeneous Mobile Communication Networks
W12. Vehicular Network Evolution
W13. Control Techniques for Efficient Multimedia Delivery?(Half Day)
W14. Quality of Experience for Multimedia Communications
W15. Software-Defined Networking (SDN) on Optics

4. 결론

이번 GLOBECOM 2013 학술대회 참석을 통해서 2020년경 상용화를 목표로 한 5세대 통신 시스템 연구 개발이 보다 구체화되고 있음을 확인하였으며, mm-wave 기반의 셀룰라 및 WiFi 기술의 급속한 발전 정도를 몸소 체험할 수 있는 기회가 되었다. 추가적으로 미국에서 근무하고 있는 연구자들과의 교류를 통해 공동 연구의 방향을 모색할 수 있었으며, 예전에 학회를 주도하던 산업계 거인이었던 노키아, 에릭슨, 모토로라 등 거대 통신 기업들의 활동이 미약해진데 반해 활발한 활동을 보인 삼성전자의 위상을 확인할 수 있었다.

최 지 웅 교수
소속 : 대구경북과학기술원(DGIST) 정보통신융합공학전공
연구분야 : 차세대 통신 및 신호처리, 바이오메디컬 시스템, brain-machine interface (BMI)
이메일 : jwcho@dgist.ac.kr
홈페이지 : comm.dgist.ac.kr



Ansys사 PowerArtist-XP

매년 새롭게 출시되고 빠르게 발전하는 EDA Tool에 대한 정보 부족 때문에 설계자들이 충분히 활용하지 못하는 현상이 일어나고 있다. 특히, 시스템반도체 예비설계자들에게는 최신 EDA Tool을 통한 교육과 설계실습이 꼭 필요한 상황이다. 이에, 본 고에서는 반도체설계교육센터(IDEC)에서 지원하는 다양한 EDA Tool중 Ansys사의 "PowerArtist-XP"의 특성 및 세부 기능, 활용법, O/S 정보 등을 소개하고자 한다.

A. 목적 : 칩 설계 초기 단계에서 Power Management 및 Estimation

B. 구분 : Ansys사의 "PowerArtist-XP"는 Design Engineer or Verification Engineer에게 Power Management Based Debugging Solution및 Low Power Design 가이드를 제공한다.

C. Supported Platform and O/S System
- Solaris (64bit) 8,9,10
- RedHat 7,8,9
- Red Hat Enterprise (64bit) Linux 3,4,5
- SuSE (SLES 9/10) (64bit) Linux

D. 특성 및 기능

Apache Subsidiary of Ansys사의 "PowerArtist-XP"는 반도체 설계 Process의 Early Stage인 RTL 설계 단계에서 Chip이 소모할 파워를 예측하는 기능을 가지고 있으며, 예측된 파워를 기반으로 파워 누수 부분과 수정 가능 포인트를 알려줌으로써 Front-End 기반 설계에서의 전력관리 및 저전력 설계가 가능하도록 돕는 획기적인 툴이다. 또한, "PowerArtist-XP"는 RTL 설계 단계에서 실제로 소모될 IC의 전력을 예측할 수 있으며, IC 기능 동작 검증을 위하여 만들어진 시나리오를 바탕으로 실제 IC의 동작환경을 통해 소비전력을 유추하고 평균 전력량 및 순시적 전력 변동량을 측정하여 초기 설계단계에서부터 IC 소비 전력을 관리할 수 있도록 도와준다.

그림1. PowerArtist GUI

■ 평균전력량 측정(Average Power Calculation)

FSDB 나 VCD 등의 Activity Waveform을 기반으로 해당 시간 구간 동안의 평균 전력을 각각의 컴포넌트, 인스턴스 단위로 파워를 계산한다.

그림2. Average Power Calculation 결과 및 전력소모가 큰 핫스팟 표시

■ Time Based Calculation

Activity Waveform 파일의 시나리오를 바탕으로 순시적인 전력의 변동량을 측정하여, 최대소비 전력(Peak Power)을 측정하고 기능블록이 시나리오대로 동작하는지를 직관적으로 파악할 수 있도록 도와준다.

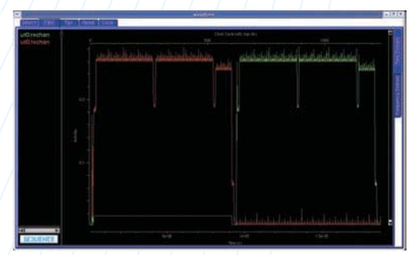


그림3. Time Based Calculation 결과

■ Power Reduction

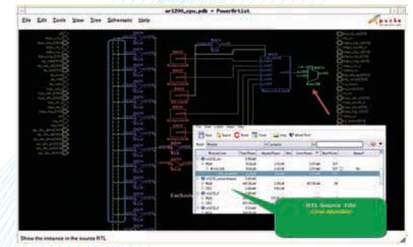


그림4. Power Reduction

GUI를 통해 전력소모량과 전력누수 부분, 그리고 이에 관계된 분석을 위한 여러 가지 파라미터(Activity, Frequency, Capacitance, Clock Gating Efficiency 등)들과 Gate Level의 Schematic을 보여주고, RTL 코드상에서 전력 세이브를 위한 수정 포인트를 짚어주어 디자이너가 직접 저전력설계를 할 수 있도록 안내 해준다.

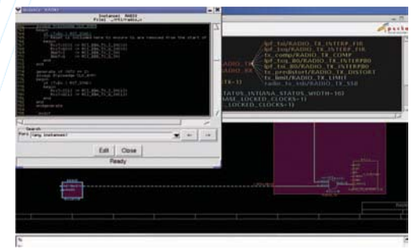
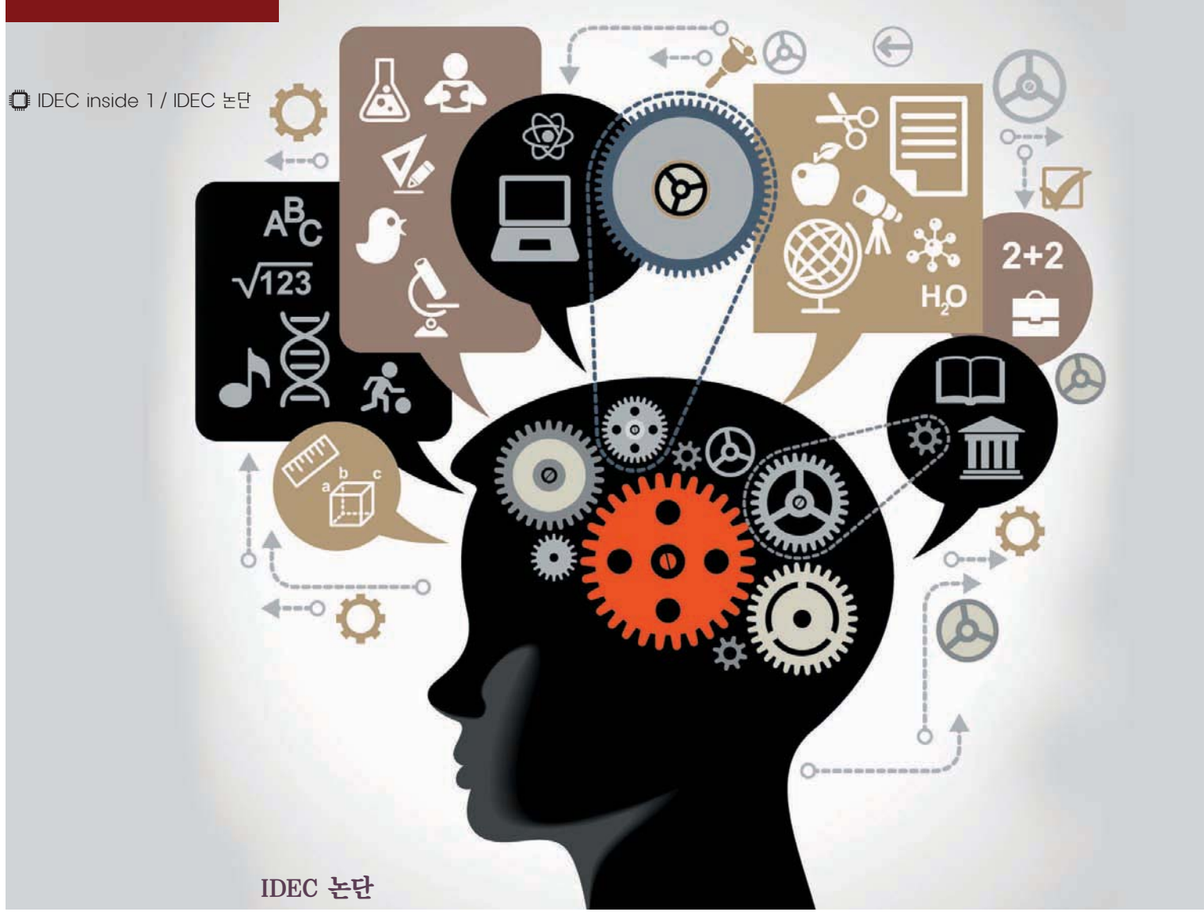


그림5. 저전력 디자인 가이드

ANSYS Apache

회 사 명 : Apache Design Solutions Inc. (Subsidiary of Ansys Inc.)
웹 주 소 : www.apache-da.com
한국지사 : Ansys Korea Co., Ltd.
전 화 : 02-3441-5000
주 소 : 23F CityAir Tower 159-9 Samsung-dong, Gangnam-gu, Seoul, 135-973, Korea



사물 인터넷 (Internet of Things) 시대 속 시스템 반도체

아이폰의 등장으로 시작된 스마트 시대는 모바일 폰, 테블릿 등 IT 산업 분야뿐만 아니라 가전 산업, 자동차 산업 등 다양한 산업 분야에까지 큰 영향을 끼쳐 왔다. 특히, 스마트 디바이스의 급속한 확산에 따라 모바일 통신 산업의 패러다임은 '음성 통화'에서 '애플리케이션'으로 전환되었고 이에 따라 하드웨어적인 개선을 통한 고성능 구현이 제품 경쟁력의 척도가 되어 왔다. 각 스마트 디바이스 제조사들은 CPU 코어의 수를 4개 (쿼드 코어), 8개 (옥타 코어)까지 증가시키고 동작 속도 역시 2.0GHz 이상까지 향상 시키는 등 고성능 구현에 초점을 맞추어 개발해왔다. 이러한 기조는 각종 핵심 부품에서부터 최종 완성 제품까지의 하드웨어 경쟁력에 강점이 있는 우리나라에 큰 기회를 가져다 주었다. 이때까지 반도체 강국으로 불리면서도 반도체 산업 중 DRAM 분야에만 치중되어 있던 우리나라는 스마트 시대를 맞아 Flash 메모리 분야뿐만 아니라 그동안 가장 취약하다고 평가받았던 시스템 반도체 분야까지 범위를 확장시키는 계기가 되었다. 물론, 메모리 반도체 분야에 비하면 우리나라의 시스템 반도체 경쟁력은 아직도 많이 부족한 상황이지만 향후 국가 차원의 신 성장 동력으로서의 가능성을 확인하였다는 것에 큰 의미가 있다.

최근 하루가 다르게 급변하는 IT 기술의 발전으로 인해 한 시대를 담당할 기술 트렌드 주기가 점점 짧아지고 있다. 이제 막 시작된 것처럼 보였던 스마트 시대도 벌써 또 다른 모습을 보여주기 위한 준비를 하고 있다. 글로벌 스마트 폰 시장은 여전히 성장하고 있지만, 성장률은 둔화 추세를 보이고 있으며 실제로 시장조사 기관 스트래티지 애널리틱스 10년 71.4%로 급증했던 스마트 폰 성장률을 올해는 18.1%로 전망하였다. 이에 반해 스마트 글라스, 스마트 워치 등 웨어러블 디바이스는 시장조사 기관 주니퍼 리서치에 따르면 13년 매출 14억 달러에서 18년 190억 달러까지 증가할 것으로 예상하였다. 웨어러블 디바이스의 발전에 따라서 고성능 구현에만 집중하였던 기존 스마트 시대와는 달리 각종 센서를 활용하여 필요 정보를 수집 및 가공하고 사물 간에 통신하는 것이 중요해질 것이다. 즉, 일반 사물까지로 확장된 개념의 스마트 시대로서 사물 인터넷 (Internet of Things) 시대가 도래한 것이다.

사물 인터넷이란 다양한 디바이스 간 모바일 통신을 의미하는 M2M (Machine To Machine)에 컨텐츠까지 포함 시킨 개념이며, 최근 모든 IT 업체들이 역량을 집중하고 있는 분야이다. 구글이 스마트폰 제조 업체인 모토로라를 매각하고, 홈 오토메이션 업체인 Nest를 인수한 것과 대부분의 자동차 업체들이 스마트 카를 강조한 것을 볼 때 향후 사물 인터넷의 가파른 성장이 예상된다. 최근 스마트 기기들도 가속도계, GPS, 근접 센서 등 자체 내장된 센서를 활용하여 새로운 서비스를 제공하고 있으나, 스마트 기기 센서의 크기나 가격, 제한된 공간 등으로 다양한 센서들을 모두 내장 시킬 수 없는 한계가 있다. 이에 사물 인터넷과의 연동을 통해 외부에 위치하고 있는 다양한 센서를 활용하여 정보를 수집하거나 스마트 기기에서 원격으로 제어할 수 있는 기술 개발에 대한 관심이 증대되고 있다.

사물 인터넷의 핵심 기술은 크게 정보를 수집하기 위한 센싱 기술, 가공을 위한 프로세서 기술 그리고 사물 간 통신하기 위한 네트워크 기술로 구분할 수 있다. 이전까지는 센서의 종류가 많지 않았기 때문에 각 센서로부터 추출된 정보를 개별적으로 처리할 뿐 이를 복합적으로 처리하여 새로운 정보를 만들어 내는 것에 관한 고민이 많지 않았다. 하지만 최근 스마트 기기에는 가속 센서, 자이로 센서, 조도 센서 등 다양한 센서들이 기본적으로 내장 되어 있으며 향후 헬스 케어 분야를 위한 인체 센서 등 새로운 센서들까지 그 범위가 확대될 것으로 보인다. 센서의 종류가 다양해짐에 따라 센서별 센싱 감도에 영향을 주는 MEMS 센서는 물론이고, 수많은 센서로부터 추출된 정보를 통합적으로 처리하는 기술이 특히 중요해졌다.

애플의 경우 아이폰5S에 메인 AP인 A7과는 별도로 가속기, 나침반, 자이로스코프 등을 통해 물리적 움직임의 연산 기능을 담당하는 M7이라는 센서 허브 칩을 별도로 내장하였다. 이는 각종 센서들로부터 끊임없이 생성되는 방대한 데이터를 AP에서 처리하게 되면 배터리 소모가 커지는 문제점을 해결하기 위한 방안으로 판단된다. 이 M7 센서 허브 칩은 향후 애플이 웨어러블 컴퓨팅 및 사물 인터넷 시장에 진출하기 위한 기반 기술이 될 것으로 보인다. 애플 외에도 ST마이크로일렉트로닉스 (이하 ST마이크로), NXP 등 다수의 업체가 센서 허브 칩을 개발하고 있으며, 향후 웨어러블 디바이스 시장이 확대되면 각종 생체 인식까지 포함한 통합형 센서 허브 기술의 중요성이 더욱 커질 것으로 예상한다.

특히, 이용자의 주변 정보 (Context)를 종합하여 이용자가 필요로 하는 결과를 제공해 주는 서비스인 맥락 인식 (Context Awareness)을 위해서는 각종 센서 입력 데이터들을 관리하는 소프트웨어 기반의 솔루션이 중요하다. 즉 센서 허브 칩과 같은 하드웨어 기술뿐만 아니라, 센서 퓨전 솔루션과 같은 소프트웨어 기술이 잘 융합되어야 경쟁력 있는 통합 센서 기술을 확보할 수 있다. ST마이크로의 저전력 마이크로 컨트롤러에 Movea의 모션 프로세싱 펌웨어를 탑재하여 상황 인지 및 모션 인식 플랫폼을 개발한 것처럼, 향후 센서 관련 하드웨어 및 소프트웨어 기술 간의 융합이 더욱 중요해질 것으로 보인다. 프로세서와 네트워크 기술의 경우 무엇보다 초저전력 구현이 관건이다. 전통의 고성능 프로세서 강자이지만 저전력 프로세서 개발에 어려움을 겪고 있는 인텔도 사물 인터넷 시장 대응을 위해 최근 기존 '아톰' 프로세서 대비 사이즈는 1/5, 파워 소모량은 1/10 수준인 '쿼크'라는 이름의 초저전력 프로세서를 개발하였다. 네트워크 기술의 경우 Bluetooth, Zig-Bee, WiFi 등 다양한 표준이 존재하며 웨어러블 디바이스용으로는 Bluetooth가 가장 많이 활용되고 있다. 특히, 애플과 퀄컴은 저전력 기술이 적용된 Bluetooth 4.0 규격 기반의 근거리 무선 통신 기술인 비콘 (Beacon)을 적극 지원하고 있으며 향후 이 기술은 사물 인터넷에 중요한 역할을 할 것으로 예상한다. 최근까지 프리미엄 스마트 기기 개발을 목표로 고성능 구현에 집중하였던 국내 업체들은 사물 인터넷 시대를 대응하기 위해서는 초저전력 관련된 기술 확보가 시급할 것으로 보인다.

지금까지 사물 인터넷 시대를 맞이하기 위해서 필요한 핵심 기술들에 관해서 많은 이야기를 했지만, 이외에도 주의 깊게 봐야 할 기술이 하나 있다. 그것은 바로 보안 기술이다. 최근 해커들이 가정에 설치된 컴퓨터는 물론 TV, 냉장고까지 해킹하여 75만 건의 스팸 메일을 발송한 사실이 밝혀진 적이 있다. 사물 인터넷을 이용한 최초의 해킹 사례가 발생한 것이다. 이를 해결하기 위해서는 네트워크와 프로토콜, 기기나 센서, 서비스 플랫폼, 데이터 등 모든 요소를 고려한 광범위한 방안이 필요하다. 사물 인터넷 시대가 가져다주는 윤택한 삶을 온전히 누리기 위해서는 앞으로 보안 문제를 해결하기 위한 지속적인 고민이 필요할 것이다.

이제 포스트 스마트 시대인 사물 인터넷 시대가 개막되었다. 이때까지 막연하게 고성능과 저전력만을 강조하던 시대를 지나, 사용자 경험 기반의 기술 융합이 중요하다. 각 기술의 개별적 기능과 성능 개선을 뛰어넘어 다양한 기술 간의 결합을 통해 새로운 가치를 만들어 내는 것이 필요한 것이다. 사물 인터넷이라는 새로운 기회의 장이 열리고 있다. 사물 인터넷은 제4의 산업 혁명으로 불리 울 정도로 도시, 기업, 산업, 개인, 가정의 삶에 큰 변화를 가져다줄 것으로 예상한다. 그 동안 메모리 반도체 강국이지만 시스템 반도체의 불모지였던 우리나라가 한 단계 더 도약할 기회가 왔다. 지금까지 패스트 팔로워로서 성장해온 우리나라가 사물 인터넷 시대에는 퍼스트 무버가 되어 진정한 반도체 강국이 되기를 기대해 본다.

손 보 익
LG전자 SIC 연구소 연구소장

*외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.

CAM (Content Addressable Memory) 기술 동향 및 응용

서론

최근, 컴퓨터 및 반도체 집적회로 기술의 발전으로 메모리의 용량이 수 기가바이트 범위에 이르고 있다. 하지만 단일 프로세서 구조의 경우에 하나의 CPU가 많은 양의 메모리를 한 번에 하나씩 읽어 처리해야 하기 때문에 CPU 자체의 처리성능과 무관하게 전체 시스템의 성능이 저하될 수 있다.

Content Addressable Memory(CAM)는 메모리에 저장된 데이터에 접근할 때에 주소를 이용하여 데이터에 접근하는 RAM과는 달리 저장된 내용 자체를 검색하는 방법으로 데이터에 접근하고 처리한다. CAM은 모든 워드를 대상으로 검색 과정이 동시에 진행되므로 한 번의 검색으로 저장된 데이터의 개수에 무관하게 검색할 수 있다. [1] 그러므로 메모리와 CPU 사이에서 발생하는 병목현상에 대해 CAM은 효과적인 개선책이 될 수 있으며, 이러한 이점으로 다양한 연구 분야에서 활용되고 있다.

본 컬럼에서는 대용량 병렬 처리 시스템 개발에 용이한 CAM의 설계 기법을 소개하고자 한다. 또한, 최근에 발표된 주요 연구 그룹들의 CAM과 관련된 응용 연구 동향에 대해 요약하고자 한다.

본론

1. CAM(Content Addressable Memory)

일반적으로 CAM 구동을 위해 CAM 셀 어레이에 여러 주변 회로를 함께 구성하여 설계한다. 그림 1은 CAM 어레이와 주변 회로 구성도를 보여준다.

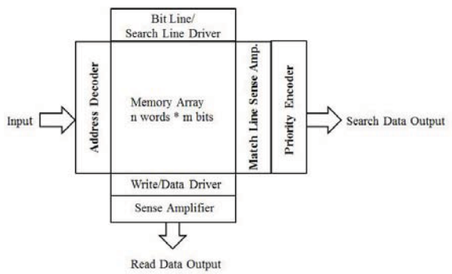


그림 1 CAM 어레이와 주변 회로 구성도

CAM 설계에서 가장 많은 전력을 소모하는 회로는 매치라인 센스 앰플리파이어(Match Line Sense Amplifier)이다. MLSA에 따라 CAM 성능의 차이가 벌어질 수 있으므로 MLSA 설계가 매우 중요시 된다. 일반적으로 고속의 성능을 지닐수록 전력 소모량이 많아지며, 그림 2는 여러 가지 MLSA 구조를 이용하여 각 동작 주파수(50MHz, 500MHz, 1GHz)에서 시뮬레이션했을 때의 전력 소모량을 보여준다. 본 연구팀에서는 고속의 CAM 설계를 위해 고속에서 더욱 적은 전력 소모를 나타내는 Selective Charging MLSA(그림 3)를 사용하였다. [2]

그림 2. MLSA 구조에 따른 전력 소모 비교

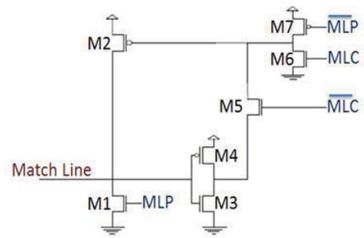


그림 3. Selective Charging MLSA

2. CAM 기술 응용

2-1. TCAM(Ternary Content Addressable Memory)

· 네트워크 프로세서의 IP 주소 검색 :

인터넷 초창기의 IP 주소 검색은 고정된 길이의 프리픽스를 비교하는 완전 일치 방식(Perfect matching)을 사용하여 단순하게 처리될 수 있었다. 그러나 가변 길이의 프리픽스를 허용하는 CIDR(Classless interdomain routing)의 등장 이후, 목적지 주소에 매치되는 여러 프리픽스 중 최장 매치 프리픽스(LMP, Longest Matching Prefix)를 가장 적합한 프리픽스로서 선택하는 방식으로 처리하게 되었다. 이에 따라 IP 주소 검색이 복잡하게 되었는데, 이를 해소하기 위하여 하드웨어 접근 방식의 IP 주소 검색 기법은 대부분 TCAM(Ternary Content Addressable Memory)을 기반으로 제안되었다. TCAM은 데이터 저장 시 "0", "1" 뿐만 아니라 "X(Don't care)" 값까지 사용할 수 있기에 다수의 메모리 사이클을 필요로 하는 다른 IP 주소 검색 방식보다 고속의 검색이 가능하여 지속적인 관심을 받고 있다. 그림 4는 병렬 TCAM 기반의 IP 주소 검색 구조를 보여준다. T0~T6의 7개 TCAM 각각은 중첩되지 않는 프리픽스만을 저장한다. 하지만 만일 중첩되는 프리픽스가 발생하게 되면 중첩 프리픽스의 저장이 허용된 T7에 저장한다. 병렬 TCAM 기반 구조는 PE가 필요하지 않으므로 매우 빠른 동작 시간을 갖는다. T7의 경우 PE를 필요로 하지만 저장되는 프리픽스가 극소수이기 때문에 매우 작은 용량으로 만들 수 있다. [3]

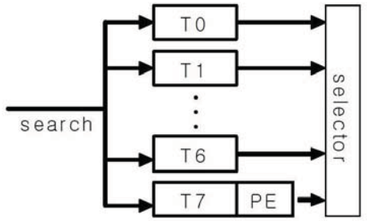


그림 4. 병렬 TCAM 기반 구조

· 제스처 인식 및 모션 감지 :

TCAM을 이용하여 제스처 인식 및 모션 감지를 통한 어플리케이션에 활용하는 연구 또한 제안되고 있다. 대용량 병렬 구조의 TCAM을 사용하게 되면 실시간으로 처리되는 데이터양이 많아지므로 3D 비전 프로세서 개발에 용이하다. 최근, 제스처 고유의 이진 데이터를 부여하는 방식을 이용한 어플리케이션 연구 개발이 활성화 되고 있으며, 그림 5는 TCAM 매칭 과정과 이를 이용한 응용 예를 보여준다. [4]

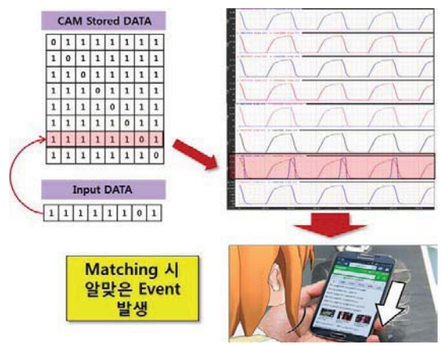


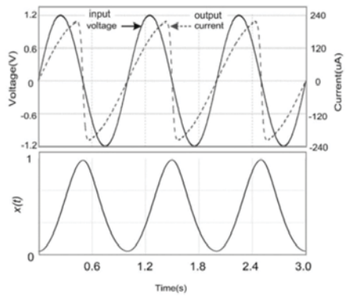
그림 5. TCAM 매칭 과정 및 응용

2-2. M_CAM(Memristor MOS CAM)

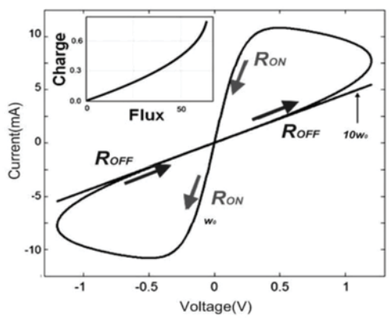
일반적으로 SRAM 기반의 CAM의 문제점은 데이터 저장 방식에 따른 전력 소모와 집적도이다. 이 문제를 해결하기 위해서 메모리 소자인 멤리스터에 데이터를 저장하는 멤리스터 기반의 CAM인 M_CAM가 제안되고 있다. 멤리스터(Memristor)는 메모리와 레지

스터의 합성어로 이전의 상태를 모두 기억하는 메모리 소자이다. 전원공급이 끊어졌을 때도 직전에 통과한 전류의 방향과 양을 기억하기 때문에 다시 전원이 공급되면 기존의 상태가 그대로 복원된다.

그림 6 (a)의 실선의 사인곡선은 입력 전압 파형이고, 오른쪽으로 기울어진 점선은 출력 전류 파형이다. 입력전압에 대하여 출력 전류의 위상차이가 생기게 되고 이는 그림 6 (b)와 같은 히스테리시스 곡선으로 표현된다. 이는 지나간 전류의 양을 기억하고 그 결과로서 자체 저항 크기가 변하는 멤리스터의 특성을 보여준다.



(a)



(b)

그림 6. 멤리스터의 전류 전압 특성 곡선
(a) 입출력 신호 (b) 히스테리시스 곡선

그림 7은 7T-NOR 구조의 M_CAM 회로를 나타내었다. 빨간색으로 표시되어진 부분은 멤리스터를 메모리 셀로 사용하기 위해 멤리스터에 1개의 액세스 트랜지스터를 더해 단위 셀로 구성하여 나타낸 것이며, M_CAM을 구성하는 트랜지스터는 NMOS로만 구성되어 있기 때문에 기존의 CAM에 비해 집적도가 높다. [5] 최근, HP에서 D램과 낸드플래시 메모리 반도체의 최대 집적도 향상의 한계에 맞서 멤리스터를 사용한 100TB 드라이브를 오는 2018년까지 개발 완료하겠다고 발표한 것이 화제가 된 만큼 지속적인 연구 개발을 통하여 고성능 M_CAM을 개발하게 되면 향후 활용하는 분야가 다양해질 것으로 보인다.

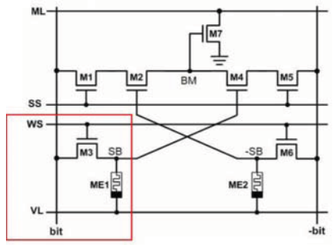


그림 7. 7T-NOR 구조의 M_CAM 셀

2-3. PICAM(Pipelined CAM)

인터넷 라우터에서 기존 CAM을 사용한 방법에서 더 나아가 파이프라인 CAM 구조인 PICAM을 이용하여 라우터의 룩업 테이블의 갱신의 속도를 빠르게 하고, 복잡도도 줄인 IP주소 룩업 방법이 제안되고 있다. PICAM은 그림 8과 같이 3단계의 파이프라인 단계로 이루어진다. 단계 1은 m개의 키필드 블록과 1개의 제어모듈로 이루어진다. 각 키필드 블록은 모두 동시에 동작하며, 블록 단위의 매치 여부를 탐지한다. 제어 모듈은 각 키필드 블록에서의 매치여부를 기반으로 어느 키필드 블록까지 연속적으로 매치가 되는지 탐지하여 매치되지 않는 첫 번째 키필드 블록의 정보와 매치벡터를 다음 단계로 보낸다.

단계 2는 CAM 어레이, 제어 모듈 및 매치벡터버퍼로 구성된 키필드 블록으로 이루어진다. 앞 단계에서 지정해준 키필드 블록에 대해서만 매칭점을 탐지하며, 패킷충돌 시 원활한 처리를 위한 매치벡터버퍼가 존재한다. 제어 모듈은 BMP 매치되는 엔트리의 위치를 나타내는 히트 벡터를 생성한다. 단계 3은 데이터 필드로 구성되어 있다. 바로 앞 단계에서 입력된 히트 벡터를 기반으로 데이터 필드에서 해당하는 출력 데이터를 외부로 출력하며, 패킷 충돌 시 원활한 처리를 위한 히트 벡터버퍼가 배치된다.

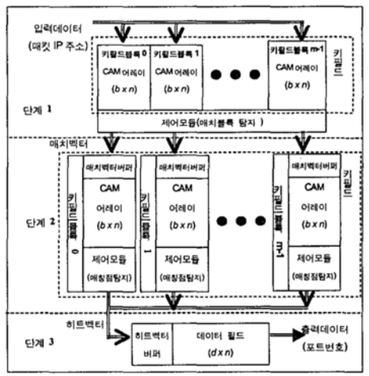


그림 8. PICAM의 구조

표 1은 기존 CAM을 이용한 IP주소 룩업방법과 PICAM을 이용한 방법을 비교하여 정리하였다.

		기존 CAM을 이용한 IP주소룩업방법			PICAM을 이용한 IP주소룩업방법
		SLMC방법	MLSC방법	SLSC방법	
IP주소룩업율		(1/32)P ~P	P보다 작음	P	P보다 큼
룩업테이블 갱신시간		$O(1)$	$O(1)$	$O(n)$	$O(1)$
복잡도	CAM 셀수	32n	422n	64n	64n
	제어회로수	1	32	1	16

표 1. IP주소룩업방법 비교표

$P=\frac{1}{T_{cam}}$이고, T_{cam}은 일반 CAM 메모리 접근 시간이다. n은 2^{16}으로써, 룩업 테이블의 엔트리 개수이다. 기존의 IP주소룩업 방법들은 룩업 테이블의 갱신에 대한 고려 없이 오직 IP 주소 룩업율만 높이는데 주력해, 고속 라우팅에서 룩업 정지나 시효가 지난 경로에 의한 부정확한 라우팅을 하게 되는 문제가 있었다. PICAM을 이용한 IP주소 룩업은 갱신 속도도 매우 빠를 뿐만 아니라 IP주소 룩업율도 높아 라우터의 룩업 테이블의 갱신이 매우 빈번한 백본 라우터에서 더욱 유용하다. [6]

결론

이상에서 CAM 설계 기법과 연구 동향 및 응용에 대해 살펴보았다. CAM은 메모리와 CPU 사이에서 발생하는 병목현상 개선에 효과적이므로 고성능 회로 기술 개발 및 응용을 통해 차세대 네트워크 프로세서의 개발에 적용할 수 있게 하는 것이 중요시된다.

최근 연구 동향을 살펴보면, 기존의 CAM에서 더 나아가 TCAM, PICAM을 이용하여 IP 주소룩업 방법을 개선하려는 시도와 차세대 메모리 소자인 멤리스터를 사용하여 CAM의 집적도를 향상시키는 등의 다양한 연구가 활발하게 이루어지고 있으며, 모바일 기기 중심의 애플리케이션 연구 또한 활성화되고 있어 이동단말기의 특성상 저 전력을 타겟으로 한 고성능화 기술 개발이 필요할 것으로 생각된다.

최 준 림 교수
경북대학교 전자공학부 경북대 모바일-AP 플랫폼센터 CEO
분야 : System On Chip, 마이크로 센서, 디지털 시스템설계
이메일 : jrchoi@ee.knu.ac.kr
http://digital.knu.ac.kr

Reference

[1] 박태근, "Content-Addressable Memory를 이용한 확장 가능한 범용 병렬 Associative Processor 설계", 전자공학회 논문지, 43(2), pp.51-59, 2006.2.
[2] Gun Sang Park, Hyun Jin Choi, NagaKarthik.T, "Verification of an efficient Match-line Sense Amplifier for the High Frequency Search Operation", ISOCC2012, pp.462-465, 2012.11.
[3] 김진수, 김정환, "병렬 TCAM 기반의 IP 주소 검색에서 신속한 프리픽스 삭제", 한국컴퓨터정보학회논문지, 제15권 제12호 통권 제81호, pp.93-100, 2010.12.
[4] T.NagaKarthik, Eun Hye Ahn, Yun Sik Bae, "TCAM Based Pattern Matching Technique for Hand Gesture Recognition", ISOCC 2013, 2013.11.
[5] 강순구, 김두환, 이상진, 조경록, "멤리스터의 모델링과 연상메모리(M_CAM) 회로 설계", 전자공학회논문지, 48(7), pp.1-9, 2011.
[6] 안희일, 조태원, "파이프라인 CAM 구조를 이용한 고속 IP주소 룩업", 전기전자학회논문지, 제5권 제1호 통권 제8호, pp.24-34, 2001.

새로운 개념의
웨어러블 디바이스의 출현

웨어러블 디바이스의 최신 트렌드

한국에서 웨어러블 디바이스라 하면 갤럭시 기어를 제일 먼저 떠올리겠지만, 그것은 광고의 힘일 뿐이고 실제로 대중적으로 많이 알려지고 사용되는 제품은 바로 나이키의 나이키+ 퓨얼 밴드(Nike+ Fuel Band)다.
나이키 퓨얼밴드는 국내에서 정식으로 판매되지 않아 정확한 사용자 수를 알기는 어렵지만, 상당히 많은 사람이 미국에서 직접 구입하여 국내에 들여온 것으로 알려져 있다.

김석기 대표이사
㈜모폰웨어러블스
www.facebook.com/mophon

웨어러블 디바이스 어떤 것들이 있나

나이키 퓨얼 밴드 외에도 비슷한 기능의 핏빗(FitBit), 미스핏 샤인(shine), 조본(Jawbone)업 등이 있고, 스마트 시계로는 e-Ink 스크린을 채용한 페블 워치(Pebble Watch)와 소니의 스마트 워치(Smart Watch) 그리고 갤럭시 기어가 있다. 여기까지가 세상에서 실제 판매되고 사용되는 웨어러블 기기들이다. 안경형 디바이스인 구글 글래스(google glass)역시 유명하기는 하지만 실제로 써본 사람이 몇 명 없어 본격적으로 대중적 기기라 말하기는 어렵다.

Wearable Device 시판 제품 형태별 분류

Notificator

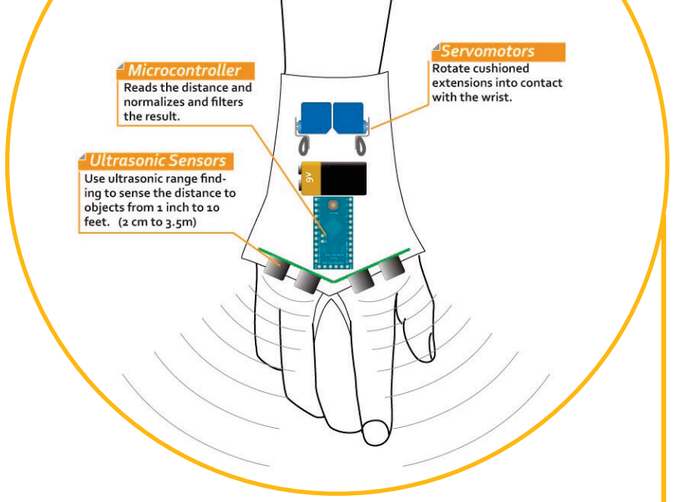
신체기능 확장

Activity Tracker

Health Care

이제까지 나온 유명한 기기들을 살펴보면 (구글 글래스를 제외하고) 폼팩터로 보면 크게 두 가지인데 하나는 페블워치나 갤럭시 기어와 같은 '시계형 기기'이고 비슷하게 손목에 차지만 시계형이 아닌 '밴드형 기기'이다. 사실 웨어러블 기기를 편의상 형태별로 나누긴 했지만 웨어러블 기기를 폼팩터로 나누는 것은 적절한 분류 방법이 아니다. 스마트폰이나 태블릿과 달리 웨어러블 기기는 특정하지 않은 형태로 얼마든지 구현 가능하다. 구글은 안경뿐 아니라 콘택트렌즈 형 기기를 개발하고 있으며, 가발이나 목걸이, 반지, 장갑 등 무엇이든 웨어러블 기기가 될 수 있다. 형태별로 분류하자면 제품이 나올 때마다 새로운 분류가 생겨나야 한다.

오히려 형태적인 측면의 분류보다는 기능적인 측면에서의 분류가 더 타당하다. 나이키나 조본은 일종의 만보계로서 사람들의 운동량과 거리 등을 측정한다. 액티비트 트래커(Activity Tracker)로 분류하고, 페블워치는 스마트폰과 연동하여 전화나 메시지가 오는 것을 알려주는 노티피케이터(Notificator)이다. 갤럭시 기어는 두 가지 기능이 다 있지만 주로 사람들이 노티피케이터로 사용한다. 노티피케이터나 액티비티 트래커 외에 웨어러블 디바이스의 또 다른 기능은 헬스케어(Health care) 기능이다. 액티비티 트래커와 유사하지만, 혈당이나 체온, 혈압 등을 측정하여 운동량이 아니라 건강을 체크하는 기기이다. 나머지 기능적 분류로는 장애극복 등을 위한 신체기능의 확장이다.



웨어러블 디바이스를 통한 신체기능확장이란 예를 들어 청각장애인이 구글 글래스를 이용한다고 가정해보자. 청각장애인은 들을 수 없지만 청각장애인이 착용한 구글 글래스의 마이크를 통해 전달된 음성은 Speech to Text 기능을 통해 글자로 변환되어 구글 글래스의 디스플레이에 보여진다. 이렇게 되면 청각장애인은 상대방의 말소리 자체를 들을 수는 없지만, 상대가 무슨 말을 하는 지 구글 글래스를 통해 전달받을 수 있게 된다. Tacit이라는 기기는 시각장애인을 위한 웨어러블 장치인데 울트라 소닉센서(Ultrasonic Sensor)를 이용하여 손등에 착용하면 2CM에서 3.5M 전방에 있는 물체를 센서로 감지하여 이에 대한 정보를 시각 장애인에게 가볍게 두들겨서(Haptic) 제공하는 기기이다.

새로운 개념의 웨어러블 디바이스의 출현

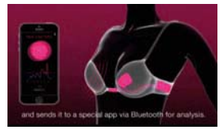
현재까지 출시된 웨어러블 디자이스 제품들이 대부분 손목에 착용하는 시계형이나 밴드형이었지만 이런 형태를 탈피한 새로운 개념과 기능의 웨어러블 디바이스들이 속속 개발되고 있다.

웨어러블 디바이스 핵심 요소

시계산업을 보면 시계에 들어가는 무브먼트는 전 세계에서 몇 개의 회사에서만 생산하며, 수천 개의 시계회사에서 이곳 회사의 무브먼트를 받아다 시계를 생산한다. 당연히 기능적인 차이도 거의 없으며, 요즘에는 싸건 비싸건 시간이 안 맞는 시계도 거의 없다. 그 많은 시계의 경쟁력은 정확한 시간이나 시계의 기능적인 측면보다는 디자인과 시계의 소재, 브랜드 등에서 나오는 것이다.

마찬가지로 현재 웨어러블에서 사용되고 있는 통신기술(bluethooth, Wifi 등)과 각종 센서들(GPS, Gyro Sensor 등)은 모두 산업 표준 기술을 사용한다. 이 이야기는 누구라도 기능적인 측면에서 웨어러블 디바이스를 구현하고자 할 때 특허와 같은 기술적인 진입 장벽이 없다는 의미이며, 시계산업과 마찬가지로 웨어러블 디바이스의 디자인과 사용성, 브랜드가 바로 경쟁력이다. 그리고 한가지 더한다면 가격 경쟁력이다. 웨어러블 디바이스는 디지털기기의 영역에 있으면서 동시에 패션 제품의 영역에 속하고 있기 때문에 패션 산업이 가지는 속성에 주목해야 하는 이유이다. 아무리 기능이 뛰어나다 하더라도 착용에 불편함을 느끼거나 디자인이 떨어지면 사용하지 않는 것이 착용하는 제품의 가장 큰 특징이다.

작년부터 시작된 웨어러블 디바이스의 트랜드가 올해 가장 뜨거운 이슈가 될 전망이다. 전세계 스마트폰 시장의 성장률이 둔화되고 있으며 이를 타개할 신성장 동력으로 많은 시장의 플레이어들이 웨어러블 디바이스를 주목하고 있다. 현재 주력으로 개발하는 웨어러블 디바이스는 주로 안경, 밴드, 시계, 팔찌 등의 형태이지만 앞으로는 피부에 직접 부착하는 Patch 형태로 진화할 것이며 궁극적으로는 신체 내에 직접 이식하거나 나노기술을 이용하여 복용할 수 있는 단계까지 진화할 것이다. 어떤 형태까지 발전할지는 모르지만, 앞으로 웨어러블 디바이스가 대세가 되는 것은 분명하다. 세상은 우리가 느끼는 속도보다 빠르게 바뀌고 있다.



1 트루러브 테스터

True Love Tester 라는 이름의 브래지어는 일본의 Ravaijor사에서 개발했는데, 여성의 신체에서 발생하는 신호(호흡, 맥박, 체온) 등을 분석해서 이 브래지어를 착용하고 있는 여성이 진짜로 사랑하는 감정을 느낀다고 분석될 때 자동으로 브라의 후크가 풀리는 제품이다. 약간은 장난스러워 보이는 면이 없지 않지만, 상당히 유니크하고 재미있는 발상의 웨어러블 제품이다.

2 헤드밴드형 전화기 RunPhone

지난 1월에 라스베이거스에서 열렸던 CES 2014에서 선보인 헤드밴드형태의 전화기 RUNPHONE도 재미있는 웨어러블 기기이다. 골전도를 이용하여 밴드형태로 통화가 가능해 운동 시에 유용한 기기이다.

3 일상을 기록하는 개인 블랙박스 LOOXCIE 3

자동차에 장착된 블랙박스처럼 몸에 부착하는 개인용 블랙박스 형태의 웨어러블 디바이스인 LOOXCIE도 눈여겨 볼만하다. 이 제품은 HD급 비디오를 라이브 비디오 스트리밍과 스냅 등을 통해 일상의 모든 장면을 기록할 수 있다.

4 스마트폰을 조정하는 iRing

이 반지는 애플의 모바일 기기(iPhone, iPad)를 제어하는 장치로 반지 내에 센서가 장착되어 이 센서가 애플 제품의 카메라와 인터페이스 되어 반지의 움직임을 읽어낸다. 현재까지는 IOS기기의 뮤직앱을 제어하는 기능에 머물고 있지만, 활용범위가 넓어질 것이다.

XILINX SPARTAN-3, XC3S1000(1백만 게이트, 432K Block RAM)

IS61LV256AL-10T, 1M-bytes of Fast Asynchronous SRAM on Board

VGA, RS-232, LED, Switch, PS-2 등의 각종 인터페이스

50MHz crystal oscillator, 3개의 40-PIN expansion connectors

디지털 시스템의 MPW 설계 방법에 대한 이해 (1)

SoC 시스템과 IDEC MPW Flow 소개

서론

최근 심각해지는 반도체 업계의 인력난과 어려움에 반하여 대학 및 관련 분야에서는 숙달된 고급 인력의 지속적인 양성이 힘들어 둘 사이에 장벽이 존재하고 있다. 이는 축적된 노하우를 바탕으로 지속적인 칩 제작을 하면서 고급인재를 양성하는 대학 및 연구실이 많지 않다는 것을 뜻하며, 칩을 만들고자 하는 대학은 HOW-TO 문서를 그때그때 검색하고 짧은 기간에 임기응변식의 칩 제작을 한다는 뜻이기도 하다. 실제 MPW 참여자들의 경우 정기적으로 참여하는 팀과는 대조적으로 MPW 참여와 동시에 구글링부터 시작하는 사람들이 많다. 칩 설계 고급 인력 양성을 위해서는 시간과 노력이 많이 들어가야 하므로 직관적이고 정확한 이론 및 실습자료가 매우 필요하다.

이 때문에 SoC 디자인의 물리적인 구현을 하는 방법에 대하여 본 고를 포함하여 총 4회에 걸쳐 소개하고자 한다. 실제 공정사의 PDK를 전체 칩 구현 과정에 적용하는 모습을 볼 수 있도록 작성하여 디지털 SoC 시스템을 칩으로 구현하려는 사람들에게 매우 유용한 가이드가 될 것이다. 먼저 본고에서는 SoC 시스템 소개 및 IDEC에서 진행하는 MPW Flow에 대해 알아보고자 한다.

본론

1. 시스템 구조 소개

본 고에서 소개할 디자인은 2013년 9월에 IDEC 본 센터에서 개설된 IDEC 연구원 교육에서 사용된 디지털 시스템이다. 그림 1에서 기본적인 구조를 확인할 수 있다. FPGA 내부에 구성될 온칩 시스템을 살펴보면, Core-A 프로세서와 SRAM 인터페이스, UART 컨트롤 모듈이 암바 버스를 통해 연결되어 있다.

암바 버스는 AHB 와 APB, 그리고 AHB-to-APB 브리지로 구성되어 있으며 UART 컨트롤 모듈을 제외한 모든 모듈은 AHB 통신을 하고 있다.

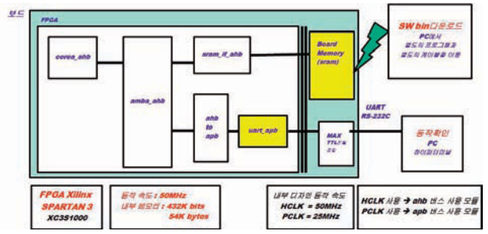


그림1 기본 시스템 구조

전체 시스템 클록 스피드는 50MHz이며 AHB 버스는 50MHz, APB 버스는 25MHz로 동작한다. 보드 레벨을 살펴보면, FPGA와 SRAM 메모리, UART 전압 레벨 쉬프터로 구성되어 있다. Xilinx Spartan 3 FPGA의 경우, 내부에 존재하는 Block 메모리의 크기가 432K bytes로 서 용량이 제한적이므로 보드에 있는 1M bytes SRAM 메모리를 사용하기로 한다.

UART 전압 레벨 쉬프터는 PC의 UART 전압과 온칩 레벨의 UART 전압이 서로 다르다는 문제를 해결해준다. 이는 검증 보드에 구성된 것으로서, RTL 소스 코딩이 별도로 필요하지 않으므로 추가적인 고려는 하지 않는다.

이 시스템의 기본 동작 원리는 메모리에 "Hello World"를 출력하는 기본적인 C 프로그램을 내장한 뒤 시스템 리셋을 시키면, Core-A 프로세서가 인스트럭션 흐름에 맞게 순차적인 동작을 수행한 뒤 UART 케이블을 통해 문자를 전송하여 PC 화면으로 출력하는 것이다.

기본적으로 UART는 PC로의 출력만을, 메모리는 Read 동작만을 수행하게 되어 있다. 그런데 대부분의 검증 보드 제작 회사들은 보드 메모리의 단순 읽기, 쓰기만 하는 테스트 예제만 제공할 뿐, SoC 시스템 개발자 입장에서 꼭 필요한 기능인 소프트웨어 hex, bin 파일의 다운로드 기능은 제공하지 않는다.

간혹 양방향 메모리를 보드에 구성하고, 옵션적인 모듈과 프로그램 및 케이블을 통해 PC와 연결하는 방법으로 제공하는데, 이를 위해 추가적인 구매를 하도록 유도하는 경우도 많다

이런 문제를 해결하기 위하여 IDEC은 그림 2와 같이 온칩 시스템 내부에 FIFO를 추가 구성하는 방안을 제안했다. 기존 시스템의 Board 메모리와 uart 컨트롤러 사이에 FIFO를 1대 1로 연결하는 방식으로서, PC에서 터미널 콘솔을 이용하여 hex 파일을 보내면 UART를 통해 들어온 8 Bit 인스트럭션을 순차적으로 32 Bit로 구성하여 메모리에 적재하는 방식이다.

통신 속도는 다소 느리지만, 기존의 시스템에 큰 변화를 주지 않고 복잡한 통신을 이용하지 않으면서 하드웨어 사이즈 변화를 최소화할 수 있다는 장점이 있다.

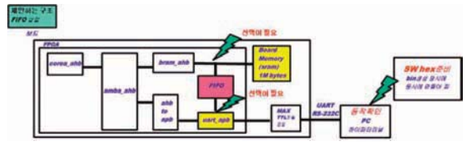


그림2 FIFO를 포함한 제안된 구조

이런 구성 방식을 채택하게 되면 온칩 시스템 개발자는 중첩 문제를 해결하고자 메모리와 UART로 가는 길을 선택적으로 운영해야만 한다. FIFO는 소프트웨어를 메모리에 적재하는 경우에만 사용하기 때문에 시스템 리셋 전까지는 메모리-FIFO-UART가 직접 연결되도록 한다.

소프트웨어 적재가 완료되면 FIFO의 점유를 봉쇄하여 기존 동작이 가능하도록 하면 쉽게 해결할 수 있을 것이다. 아울러, 보드에 구성된 외부 스위치의 ON, OFF를 사용하면 사용자가 편리하게 선택적인 통제를 할 수 있을 것이다.

본 시스템을 합성한 결과로서, Slice Register는 2,172 사용으로서 전체 용량의 14%를 사용했고, 4 input LUT는 5,530 사용으로서 전체 용량의 36%를 사용했다.

2. 시뮬레이션 및 FPGA 검증

SoC 시스템 검증은 시뮬레이션 검증 및 FPGA 검증 순으로 진행한다. 검증 툴로는 Xilinx ISE, Mentor Modelsim SE를 사용하는데 툴 버전의 제한은 특별히 없다.

순수한 Modelsim SE는 Xilinx 라이브러리를 포함하지 않기 때문에 Xilinx ISE 툴의 Accessory 기능인 Simulation Library Compilation Wizard 실행을 통해 라이브러리들을 생성한 뒤 modelsim.ini 파일을 수정하여 모델심 환경 안으로 Import하면 되겠다.

본 시스템 검증에 사용한 FPGA 보드는 그림 3을 통해 확인할 수 있다. 사용된 보드는 Xilinx SPARTAN-3 Starter Board로서 간략한 스펙은 아래와 같다.

특징으로는 사용된 Asynchronous 메모리가 256K x 16 SRAM이 2개라는 점과 40 핀의 커넥터 헤더 3개를 통해 외부와의 GPIO 연결이 가능하다는 점 그리고 가격이 매우 저렴하다는 점을 꼽을 수 있다.

- XILINX SPARTAN-3, XC3S1000(1백만 게이트, 432K Block RAM)
- IS61LV256AL-10T, 1M-bytes of Fast Asynchronous SRAM on Board
- VGA, RS-232, LED, Switch, PS-2 등의 각종 인터페이스
- 50MHz crystal oscillator, 3개의 40-PIN expansion connectors

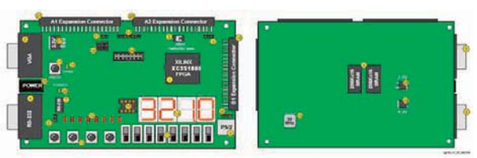


그림3 검증 보드 Xilinx Spartan-3 Starter Board

전체적인 테스트 환경은 그림 4에 묘사되어 있다. 합성될 영역은 FPGA 내에서 구현될 SoC 모듈이다. Core-A 프로세서, AMBA 버스, UART, FIFO를 모두 포함하고 있는 TOP 모듈이다. 오른쪽으로는 메모리 Behavioral 모델이 보이는데, 위에서 언급된 것처럼 메모리 모델 2개가 모여 1M Bytes 용량을 이룬다.

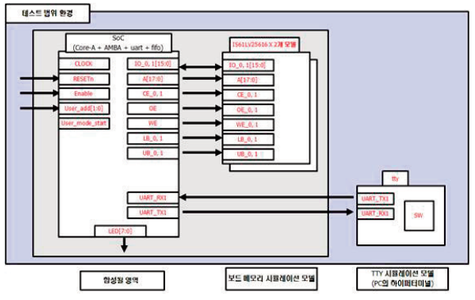


그림4 테스트 환경

메모리는 Asynchronous 하기 때문에 클록 대신 추가적인 Enable 신호가 필요하다. 아울러 PC에서 터미널 프로그램을 통해 소프트웨어 hex 파일을 전송할 것이므로 이를 동일하게 모델링한 UART 통신 기반의 TTY 모듈도 준비되어 있다.

TTY 모듈은 HEX 파일을 8비트 단위로 분할하여 UART 통신 라인으로 전송하는데, 이를 위해 FIFO 알고리즘이 내부적으로 구현되어 있다.

아울러, 그림 4에서 묘사하고 있는 모듈들은 모두 RTL 소스로 구성되어 있다. 따라서 SoC 모듈에 메모리를 더하면 시뮬레이션으로 보드 동작까지 테스트할 수 있고, 더 나아가 TTY 모듈까지 통합한다면 PC의 동작까지 시뮬레이션 할 수 있으므로 매우 신빙성 있는 검증을 할 수 있다.

온칩, 보드, PC까지 포함한 시뮬레이션이 가능하도록 하는 RTL 소스의 공개는 현재로서는 일부만 가능하다. FIFO 및 UART, 메모리와 관련한 소스들은 오픈이 가능하여 현재 IDEC 홈페이지에서 다운로드가 가능하다.

홈페이지 최초 이용자의 경우 간단한 회원 가입이 필요할 것이다. 시뮬레이션 결과 파형은 그림 5와 6을 통해 확인할 수 있다.

그림 5의 시뮬레이션 TOP 모듈은 SoC로서, PC에 있는 HEX 코드가 SoC 모듈의 UART 포트를 통해 들어오면 FIFO를 통해 메모리로 전송하는 모습을 볼 수 있다.

그림 최하단의 UART_RX1 포트에서 토글링이 계속 일어나는 모습은 PC로부터 UART Receive 단자로 HEX가 들어오고 있다는 뜻이며, 실제 HEX 전송은 PC를 모델링 한 TTY 모듈에서 하고 있다.

입력되고 있는 HEX 코드들은 UART를 거치므로 8bit로 들어오며, FIFO는 수신한 코드들을 그림 하단의 흰색 표시된 write_value_to_IO_0, 1 포트들을 통해 외부로 순차적으로 전송한다.

이 포트들은 보드 SRAM 메모리와 직접 연결되어 있으므로 write_flag 값이 1인 동안 메모리에 WRITE를 수행한다. A 포트는 메모리로 인가될 주소 값을 담당하는데 전송을 4번하여 32비트 적재를 완료하면 자동으로 +1이 될 수 있도록 구현되었다.

그림 상단에는 HEX 파일의 내용을 볼 수 있는데, Endian에 맞게 0C, 6C, 06, 01 순으로 전송되는 모습을 확인할 수 있다.

그림처럼 FIFO가 이상 없이 동작할 수 있는 것은 흰색으로 표시된 Enable 신호가 1이 되어 있기 때문인데, 이 신호는 Fifo의 동작을 제어하며, 보드 검증시 유저가 스위치를 통해 직접 조작할 수 있도록 구성했다.

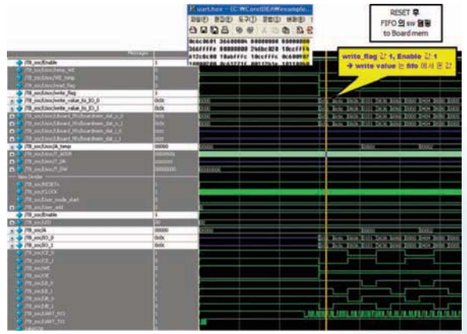


그림5 시뮬레이션 검증 결과

그림 6은 HEX 파일의 메모리 덤핑이 완료된 직후 모습을 나타내고 있다. 그림 6에서의 TOP 모듈은 역시 SoC로서 시스템 리셋 후 정상 동작을 하는 모습을 확인할 수 있다.

그림에서 흰색으로 하이라이트 처리된 RESET이 토글된 후 UART_TX1 포트값이 빈번하게 토글링되는 모습을 확인할 수 있다. 이는 Hello 메시지가 나오고 있는 것으로서, 보드 검증 시에는 터미널 콘솔 프로그램을 통해 Hello 메시지를 확인할 수 있을 것이다.

참고로 화면에서 나타낸 시그널들 중에 A, IO_0/1, CE_0/1, WE, OE, LB_0/1, UB_0/1 등은 보드 메모리와 직접 연결되어 있는데, 현재 시점은 덤핑 후 시스템 리셋된 직후이므로 모든 포트의 통제는 메인 프로세서인 Core-A가 스스로 하고 있다.

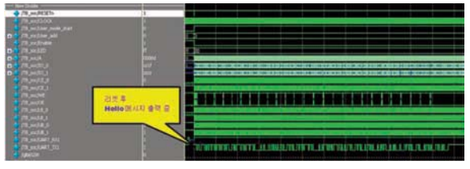


그림6 시뮬레이션 검증 결과

보드 검증 결과는 그림 7에서 확인할 수 있다. PC에서 실행된 터미널 콘솔의 조작을 통해 FPGA 내부에서 동작하는 SoC 모듈의 이상 유무를 검증한다. 터미널 프로그램은 Multi threaded TTY를 사용했는데, 독자들이 이미 사용하고 있는 콘솔이 있다면 기존 것을 사용해도 문제없다.

그림에서는 통신 포트와 Baudrate 를 설정하여 UART 통신을 시작하고, 준비된 hex 파일을 전송한 뒤 최종적으로 터미널에 나타나는 메시지들을 보여주고 있다. 동일한 메시지가 반복되는 것은 유저가 시스템 리셋 스위치를 반복적으로 누른 결과로서, 이는 Core-A 프로세서가 메인으로 동작할 때의 결과이다.

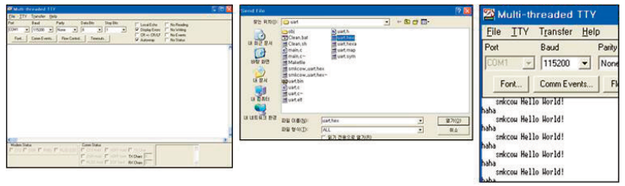


그림7 보드 레벨 검증 결과

전체 시스템에 이상이 없고, 제안된 FIFO가 잘 구현되었음을 확인했다면 SoC 설계자는 하드웨어의 안정화가 끝났으니 그 위에서 구동되는 소프트웨어의 설계 및 검증을 하게 될 것이다.

이 과정에서는 소프트웨어의 메모리 적재 과정이 매우 빈번하게 일어날 테니 FIFO의 존재 하나 만으로 하드웨어와 관련되어 낭비될 반복적인 컴파일 시간을 비약적으로 단축시킬 수 있을 것이고 유저 입장에서는 메모리 접근에 있어서 편리함을 느낄 수 있을 것이다.

본 내용에서는 자세히 소개하지 않았지만 FIFO를 통한 메모리 덤핑 직후에 간단한 디버깅 모드가 추가적으로 구현되어 있다.

메모리에 값이 잘 들어가 있는지를 판단하기 위한 것으로서 유저가 확인하고자 하는 주소 값을 보드에 구성되어 있는 스위치를 통해 입력하면, 메모리에 있는 인스트럭션 값을 읽어온 뒤 LED를 통해 출력하여 유저가 확인할 수 있도록 한다. 자세한 내용은 IDEC 홈페이지에 있는 내용을 확인하면 되겠다.

3. IDEC MPW flow 소개

본격적으로 합성 내용에 들어가기 전에 IDEC MPW flow를 먼저 살펴봐야 할 것이다. IDEC에서 권장하는 Design Flow 는 Front-End 와 Back-End를 합쳐 총 11개의 단계로 구성된다.

합성 Synthesis와 합성 전후의 RTL-to-Netlist 비교를 통한 Equivalence Check, Static Timing을 분석하는 STA 과정, Dynamic Simulation을 통한 검증까지를 Front-End 라고 일컫는다.

그림 8에서 Front-End 과정을 확인할 수 있다. 공정사 자체적으로 사용하는 In-House 툴인 Vela, Cubic 등의 Delay Calculation 툴도 사용한다면 Front-End 범주 안에 들어갈 것이다.

당연한 얘기지만, 각 과정을 끝냈을 때 결과가 만족스럽지 못하다면 이전 과정으로 돌아가서 문제점을 보완해 나가야 한다. 예상치 못한 이유로 반복적인 작업이 계속될 수 있으니 최단 시간에 결과를 만족시키기 위해서는 많은 경험과 노하우가 필요할 것이다.

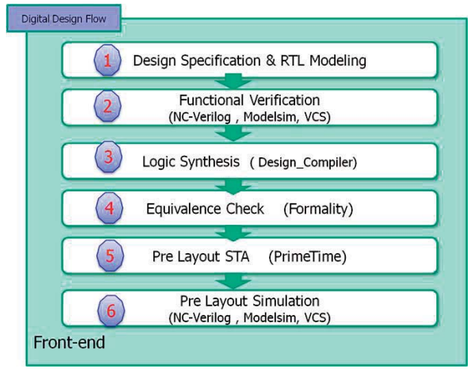


그림8 IDEC MPW FLOW (Digital Front-End)

Front-End 과정이 이상 없이 끝났다면 최종 결과 파일인 게이트 레벨 넷리스트 및 타이밍 constraint 파일 등을 입력으로 한 Back-End 과정을 진행한다.

그림 9에서는 Back-End 과정을 볼 수 있는데, 가장 중요한 과정은 7번으로서 Auto Floorplanning 과 Auto Routing을 할 수 있는 Synopsys Astro 또는 IC Compiler 이다.

이 툴들을 통해 배치 배선을 완료하면 전후 비교를 하는 Equivalence Check 후에 실제적인 딜레이 값을 뽑아내는 RC Extraction 단계를 거치게 된다. 실제 딜레이 값은 배치 배선되어 있는 layout 상태를 참고하여 뽑아내는데, layout 정보를 표현하는 넷 리스트 파일과 연동하여 Static 타이밍과 Dynamic 타이밍을 모두 체크하면 최종 검증이 완료된다.

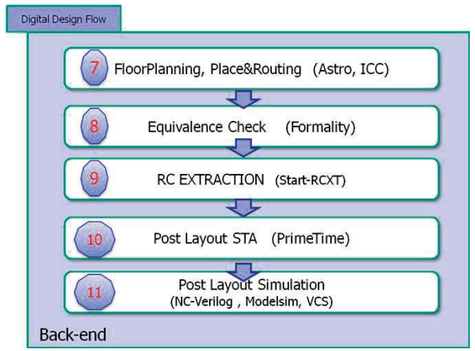


그림9 IDEC MPW FLOW (Digital Back-End)

11 단계를 모두 거쳐야만 칩 동작을 최소한 보장할 수 있다. 하지만 노하우가 없거나 툴 사용이 처음인 사람들은 문제 해결 능력이 다소 부족하므로 많은 시간을 필요로 할 것이다.

그래서 실제 MPW 참가자들 중에는 11 단계를 모두 진행하지 못하고 합성과 Auto PnR만을 진행한 뒤 Tape Out을 하는 사람들이 다수 발생하곤 한다. 아날로그, RF 설계자들이 Post Simulation 까지 진행한 뒤 최종 DB를 제출하는 것과는 대조적인 모습인데, 칩 동작 성공률이 기대치보다 적은 것은 그런 이유 때문이 아닐까 생각한다.

물론 11 단계 후에 설계자들이 사용했던 팬텀셀을 Real 셀로 Overwrite 하는 머지작업이 있고, 그 후에도 검증을 할 수 있는 단계가 있지만 11단계를 다 완료한 사람이라면 실패할 확률이 그만큼 줄어들 것이다.

이번 호에서는 Core-A 시스템의 FPGA 검증과 IDEC MPW Flow에 대해서 알아보았다. 다음 호에는 IDEC MPW Flow를 참고하여 Synopsys Design Compiler를 이용한 합성에 대해 알아보고자 한다.

본 내용은 2013년 9월에 IDEC 본센터에서 개설된 IDEC 연구원 교육 자료를 요약, 정리한 것으로서 자세한 자료는 IDEC 홈페이지에서 다운로드 및 VoD 시청이 가능합니다.

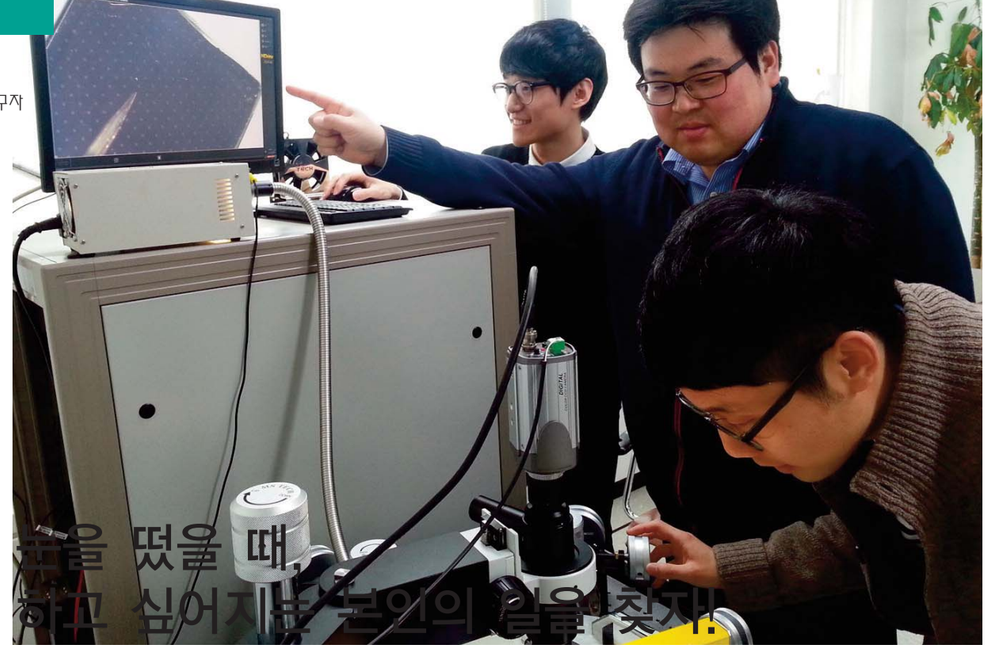
선 혜 승 선임연구원
소속 : 반도체설계교육센터
E-mail : smkcow@idec.or.kr
http://www.idec.or.kr

Technology

참고문헌

다이나릿, Core-A Processor 예제, 2009
Synopsys, Design Compiler Student Guide
Synopsys, solvnet.synopsys.com
Core-A, www.core-a.net

본 내용의 무단 배포 및 사용을 금합니다



매일 아침 눈을 떴을 때, 가장 먼저 하고 싶어지는 본인의 일을 찾자!

문제가 잘 풀리지 않다가 어느 한순간의 노력과 아이디어로 지난 몇 달 혹은 몇 년간 풀리지 않던 문제가 해결되는 짜릿한 경험을 해본 적이 있는가? 꾸준한 노력에 대한 값진 보상과 보람 덕분에, 지치지 않고 묵묵하게 연구를 수행하고 있는, 서울시립대 전자.전기컴퓨터 공학부의 신창환 교수를 만나보았다.

신 창 환 교수
서울시립대
전자전기컴퓨터공학부

"현재보다 앞으로가 더 기대가 큰 연구 분야"

신창환 교수는 서울시립대 전자.전기컴퓨터 공학부에 조교수로 재직 중이며, 0.5V 이하의 구동전압으로 동작 가능한 Steep-switching 트랜지스터 개발 및 random variation의 물리적 이해 및 모델링인 10-nm 이하급 CMOS extension technology 개발과 종이 위에 출력하여 사용할 수 있는 전자소자를 연구하고 있다. 실리콘 기반의 공정미세화 기술 개발 속도 둔화에 따라 CMOS extension technology 개발은 앞으로 반도체 시장의 확대에 매우 중요한 분야이다. 양산 가능성, cost-effectiveness 등을 고려한 상용 가능한 반도체 기술 개발은 힘들지만 성공 시 큰 가치가 있는 분야 중 하나일 것이다. 때문에 20년 이후에는 원자(atom)로 이루어진 atom transistor가 CMOS 연장 기술의 핵심이 될 것이다.

"어려움 속에서 찾은 즐거움으로 시작된 길"

그는 학부 시절, 반도체 물리 및 소자와 관련된 학부 수업이 가장 어렵게 느꼈었다고 한다. 반면에 가장 재미있던 분야 또한 이 수업이었다면서 "물성전자공학, 반도체공학, 반도체디바이스, 반도체 공정, 전자회로, 아날로그집적회로, 디지털집적회로와 같은 교과목을 수강하면서 제 세부 전공분야를 결정하게 되었습니다." "특히, 회로를 구성하는 기초 부품소자인 트랜지스터 설계를 통해, 반도체 공정 및 소자 설계관점에서 저전력 혹은 고성능 집적회로 설계를 해보고 싶었고, 지금까지도 그 분야로 계속해서 공부 및 연구 중입니다." 그는 석박사 과정 중에 〈Random Variation in CMOS technology and variation-robust device design〉, 〈SRAM Yield Analysis〉, 〈Steep-switching CMOS Device〉 연구를 진행했다고 한다.

"미래를 꿈꾸는 자만이 대성할 수 있다는 믿음"

공부에 지치거나 연구를 진행함에 있어서 막혀, 현재 내가 가는 길에 대한 확신이 없어 힘들어 하는 학생들을 만날 때가 있다. 이에 신창환 교수는 본인이 처한 환경을 탓하기에 앞서, 미래의 성공한 자기 모습을 꿈꾸며, 매 순간 열정을 가지고 기회를 잡을 수 있는 준비되어 있는 삶을 강조했다. "미래를 꿈꾸는 자만이 대성할 수 있다고 믿습니다. 그리고 매일 아침 눈을 떴을 때, 가장 먼저 하고 싶어지는 본인의 일 (job)을 찾을 수 있기를 희망합니다." 그는 연구를 진행하다가 긴 시간 어려운 문제에 부딪혔을 때, 한순간의 노력과 아이디어로 해결되는 짜릿한 경험을 느꼈다고 한다. 그 짜릿함의 매력 때문에 힘든 과정에서도 지치지 않는다고 한다. "꾸준한 노력에 대한 보상과 보람은 고민 중의 문제가 해결될 때 받는 거 같습니다. 그래서 새로운 연구를 수행할 때면, 항상 열정을 가지고 연구에 임할 수 있습니다." 현재 반도체 기술의 고도화와 다양한 Applications 발굴을 통해, 지금의 반도체 산업은 지속적으로 발전해 나갈 것이라고 생각하는 신창환 교수는 우리 대한민국이 이공학 분야의 노벨상 최다 수상자 배출을 꿈꾸고 있다. Atom을 구성하고 있는 string (끈)을 이용한 트랜지스터 개발에 도전하고 싶다는 그의 포부에서 앞으로의 연구활동에 대한 기대와 희망이 느껴진다.

▶ **문의** 서울시립대학교 공과대학 반도체소자및회로연구실 **전화** 02-6490-2348
E-mail cshin@uos.ac.kr Homepage https://sites.google.com/site/edlatuos/

시상 및 포상 종류

반도체설계대전 자유주제 공모전 (기존 공모전)

구 분		시상수	상 금	비 고
학생부문	대 상	1	1,000만원	대 통 령 상
	최 우 수 상	1	700만원	국무총리상
	우 수 상	2	각 400만원	산업통상자원부장관상
	장 려 상	3	각 300만원	특허청장상
특 별 상		1	200만원	한국반도체산업협회장상
		1	200만원	한국반도체디스플레이협회장상

반도체설계대전 창의 IP 공모전

구 분		시상수	상 금	비 고
대 학 생	대 상	1	200만원	특허청장상
	최 우 수 상	1	150만원	
	우 수 상	1	100만원	
	장 려 상	1	200만원	특허청장상
대학원생	대 상	1	150만원	
	최 우 수 상	1	100만원	
	우 수 상	1	200만원	특허청장상

반도체설계 진흥 유공자 포상

구 분	시상수	상 금	비 고
공 로 상	1	400만원	특허청장상
특 별 상	1	200만원	한국반도체산업협회장상

* 시상내역은 한국반도체산업협회와의 협의 결과에 따라 조정될 수 있음

당선작에 대한 지원
- 기술혁신형 중소기업 (INNOBIZ) 지정 평가시 가점 부여
- 수상작에 대한 기술 거래 및 상업화 지원
- 언론매체를 통한 수상자와 수상작 홍보

신청자격, 대상

반도체설계대전 자유주제 공모전

신청자격 : 내국인으로서 반도체설계의 연구 또는 개발업무에 종사하는 반도체설계 관련 기업 · 연구소 · 대학의 개인 또는 팀(3인이하)

응모대상 : 2014년 3월 3일 현재 정부시상 또는 동 설계대전에서 수상한 사실이 없으며, 설계결과물 제출기한까지 반도체 설계가 완성된 작품

반도체설계대전 창의 IP 공모전

신청자격 : 내국인으로서 국내소재 반도체설계분야 대학 · 대학원에 재학중인 대학생 또는 대학원생 개인 또는 2인의 팀

응모대상 : 2014년 3월 3일 현재 정부시상 사실이 없으며, 결과물 제출기한까지 설계가 완성된 작품

반도체설계 진흥 유공자 포상

공 로 상 : 반도체 설계 분야에서 5년 이상 재직하여, 국내 반도체 설계 관련 산업과 기술을 진흥함으로써 국민경제의 발전에 이바지한 자

특 별 상 : 국내 반도체설계 분야의 진흥, 인력양성 및 지식재산 창출에 기여한 기업 또는 개인

신청기간

반도체설계대전 자유주제 공모전
참가신청 : 2014. 3. 3(월) ~ 2014. 4. 27(일)
☞ 설계결과물 설명서 제출기한 : 2014. 7. 27(일)

반도체설계대전 창의 IP 공모전
참가신청 : 2014. 3. 3(월) ~ 2014. 4. 27(일)
☞ 설계작품 설명서 및 결과물 제출기한 : 2014. 7. 20(일)

반도체설계 진흥 유공자 포상
참가신청 : 2014. 3. 3(월) ~ 2014. 7. 27(일)

신청방법 및 결과발표

- **참가 신청서 또는 포상 신청/추천서를 작성하여 특허청 홈페이지, 우편 또는 E-mail로 신청**
  - **홈페이지 :** www.kipo.go.kr/semicon-design
  - **우 편 :** 대전광역시 서구 청사로 189, 정부대전청사 4동 602호 표준특허반도체팀 (우)302-701
  - **E-mail :** semicon-ip@kipo.go.kr
- **공모전 참가신청자는 홈페이지에 공개된 권리보호요강을 서명하여 같이 제출하여야 함**

반도체설계대전 창의 IP 공모전 주제 및 참고사항

- **주제 :** 이미지 무손실 압축 및 복원 제품의 구현
- **결과물 제출목록 :** 소스파일, 실행파일, 이미지 압축 결과물 및 복원된 이미지 결과물 모두 – 우편 이용시 결과물이 기록된 저장 매체(USB 등)를 함께 제출해야 함
- **설계 언어 :** C언어(대학생) 및 HDL(대학원생)
- **사용 이미지 :** 홈페이지에 공개된 5개의 샘플을 모두 사용해야 함
- **2014년 8월 31일까지 수상작 통보 예정**

선정절차

반도체설계대전 자유주제 공모전
- **예선심사(설계결과물제출서의 서류평가, 8월) 및 본선심사(설계결과물 시연 및 발표, 9월)**

반도체설계대전 창의 IP 공모전
- **설계작품 설명서의 내용과 설계작품 결과물을 시뮬레이션하여 종합 평가(8월)**

반도체설계 진흥 유공자 포상
- **반도체설계 분야의 진흥, 인력양성 및 지식재산 창출 공헌도 등을 고려하여 산 · 학 · 연 전문가, 특허청 및 유관단체 인사 중에서 5~7인으로 구성된 포상추천심사위원회(8월)가 추천한 대상자 중 1인 선정(9월)**

공모전 선정방법 및 결과발표
- **선정방법 :** 산 · 학 · 연 · 관 전문가 중에서 7인 이하로 구성된 심사위원회에서 평가
- **결과발표 :** 특허청 홈페이지 게시 및 개별통보

기 타

- **문의처 :** 특허청 특허심사기획국 표준특허반도체팀
  ☎ 042-481-8499, semicon-ip@kipo.go.kr
- **참가신청서, 제출서류 및 결과물의 보안 유지**(심사위원 : 비밀유지 서약서 제출)
- **시상식 일자 :** 2014. 10월 (예정)

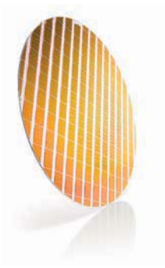
주 최 : 특허청

공동 주관 : 특허청 • 한국반도체산업협회

후 원 : 산업통상자원부 • 한국발명진흥회

IDEC 논단

시스템반도체 생태계 활성화를 위한 'Semicon-Express' 를 구축하자

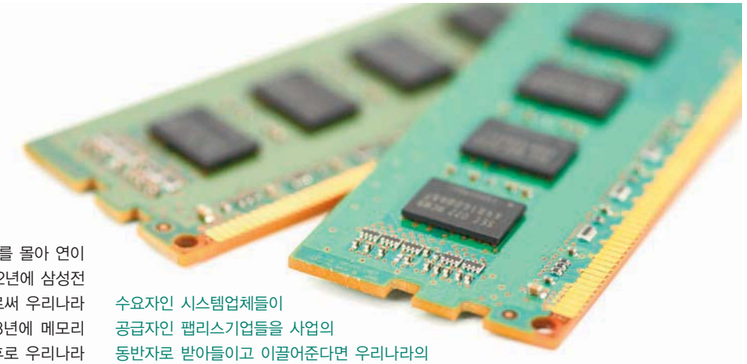


우리나라가 드디어 일본을 제치고 미국에 이어 세계 2위의 반도체 국가로 올라섰다. 참으로 반가운 소식이 아닐 수 없다. 그러나 내용을 살펴보면 마냥 기뻐할 수만은 없다. 시장 점유율 50%를 상회하며 명실상부하게 세계를 장악하고 있는 메모리반도체와는 달리 시스템반도체는 시장 점유율이 5~6%에 불과해 심한 불균형을 이루고 있기 때문이다. 이마저도 삼성전자와 같은 대기업이 차지하는 부분을 제외하면 3%대에 불과하다. 정부에서도 시스템반도체의 중요성을 인식하고 산업의 육성과 경쟁력 강화를 위해 많은 정책 지원과 예산을 투입했지만, 기대만큼의 성과를 거두지 못했다. 오래전부터 우리나라의 시스템반도체산업이 앞서나가는 선진국과 쫓아오는 신흥국 사이에 끼어 넛크래커(Nut Cracker) 신세에 처하게 될 것이라는 경고가 있었는데 이제 점점 현실로 되어가고 있는 것 같아 두려움이 생긴다. 실제 중국은 저급한 제품을 값싼 노동력으로 생산하는 단계에서 벗어나 모바일에 사용되는 AP(Application Processor) 등과 같은 고급 제품에서도 발군의 실력을 발휘하고 있다. 중국과 가격 면에서는 이미 경쟁력을 상실하고 기업이 체감할 수 있는 정부의 지원도 점차 축소되는 상황에서 우리나라 시스템반도체 기업들이 나아갈 길을 찾기가 험난해 보인다. 이런 상황에서 우리나라가 어떻게 해서 세계를 제압하는 메모리반도체 강국이 되었는지 그 역사를 더듬어 보는 과정을 통해 우리나라 시스템반도체의 방향을 모색해 보는 것도 의미가 있을 것이다

우리나라의 메모리반도체 산업은 삼성반도체통신(현재 삼성전자)이 1983년 2월에 반도체 사업에 진출하여 그 해 12월에 64K DRAM 생산에 성공함으로써 시작이 되었다. 이어서 현대전자(현재 SK하이닉스)와 금성일렉트론(나중에 LG반도체로 개명)이 반도체 사업에 진출하여 3사 체제가 되었지만, 미국과 일본으로부터 기술을 도입하여 생산하는 걸음마 단계에 불과했다. 그러던 중 1986년에 정부가 주도하는 '초고집적 반도체기술 공동개발사업' 으로 4M DRAM 개발 과제가 진행되면서 우리나라가 메모리 강국으로 성장할 수 있는 단초를 마련하게 되었다. 한국전자통신연구원(ETRI)의 주관하에 반도체 3사가 성공적으로 4M DRAM을 개발했고 그 여세를 몰아 연이어 16M DRAM과 64M DRAM을 개발했다. 1992년에 삼성전자가 세계에서 최초로 64M DRAM을 개발함으로써 우리나라가 DRAM 분야에서 세계 정상에 올랐으며 1993년에 메모리반도체 세계 1위의 위치를 차지하게 되었다. 이후로 우리나라는 거침없이 질주하며 미국과 일본을 비롯하여 유럽, 대만과의 격차를 더욱 벌려 나가 그 누구도 따라올 수 없는 압도적 세계 1위가 된 것이다. DRAM 공동개발사업이 성공적으로 끝날 수 있었던 것은 정부에서 DRAM의 중요성을 인식하고 집중적으로 육성하기 위하여 대형 과제를 지원한 덕분일 것이다. 뿐만 아니라 기존의 과제 관리 방식에서 탈피하여 정부의 관여를 최소화하면서 ETRI로 하여금 과제를 관리하도록 권한을 위임한 것과 기반기술은 공동으로 개발하되 제품 개발은 각 사가 자율적으로 수행하게 하여 경쟁을 유도한 것도 매우 중요한 역할을 했다. 정부에서 주도하고 연구소와 학계가 뒤에서 지원하며 참여 회사들이 열정과 패기로 밝은 미래에 대한 확신을 갖고 도전에 임한, 즉 산학연관이 혼연일체가 되어 이룩한 자랑스러운 결과물인 것이다.

이러한 메모리반도체의 성공 스토리를 시스템반도체에 어떻게 적용할 수 있을까? 우선 메모리반도체와 시스템반도체의 차이점에 대해 이해를 하고 접근을 해야 할 것이다. 메모리반도체는 대부분 제품의 설계에서부터 제조, 판매까지 담당하는 종합반도체회사(IDM: Integrated Device Manufacturer)에 의하여 생산되며 소품종 대량생산을 특징으로 하고 있다. 정부의 적극적인 지원과 대기업인 종합반도체회사의 강한 추진력이 제대로 맞아떨어지면 매우 폭발적인 상승효과를 거둘 수 있는 구조로 되어 있다. 그러나 시스템반도체의 경우에는 제조를 담당하는 파운드리(Foundry)와 설계 및 판매를 담당하는 소위 팹리스기업(Fabless)으로 분업이 되어 있으며 다품종 소량생산이 기본이다. 더구나 우리나라의 팹리스기업들은 대부분 중소기업 수준을 벗어나지 못하고 있는 실정이다. 시스템반도체에도 메모리반도체에서와같이 대규모 개발 과제를 성공적으로 추진하기 위해서는 대기업인 파운드리를 중심으로 중소 팹리스기업들이 컨소시엄을 형성하여 가상의 종합반도체회사(Virtual IDM)를 조직하고, 상호 유기적인 협력을 통하여 마치 하나의 기업처럼 움직일 수 있도록 시스템반도체 생태계를 활성화 시켜야 한다.

시스템반도체는 제품의 종류가 다양하여 개발 아이템의 선정이 중요하기에 각 컨소시엄이 자율적으로 우선순위와 개발 방향을 정해야겠지만, 여러 제품에 공통으로 사용될 수 있는 플랫폼과 필수 설계자산(IP)들을 개발하는 것이 우선이라 생각한다. 우수한 플랫폼과 IP들을 개발함으로써 제품의 성능도 높이고 개발 기간도 단축할 수 있으며, 핵심 IP의 확보로 파운드리의 경쟁력도 올라갈 수 있기 때문이다. 대기업과 중소기업이 협력하여 성공할 수 있는 상생 모델이 또 하나 있다. 바로 시스템업체(대기업)과 팹리스기업(중소기업)의 연계이다. 시스템반도체 산업이 발달한 대만의 경우에는 세계를 장악하고 있는 파운드리인 TSMC와 UMC의 지원으로 팹리스기업들이 성장할 수 있었는데, 우리나라의 경우에는 삼성전자, LG전자와 같은 시스템업체들이 휴대폰과 디지털 TV 등을 석권하고 있다.



수요자인 시스템업체들이 공급자인 팹리스기업들을 사업의 동반자로 받아들이고 이끌어준다면 우리나라의 시스템반도체 산업이 대만과 차별화된 비즈니스 모델로 성장할 수 있다고 본다. 한국반도체산업협회에서 주관하고 있는 한중 SoC 플랫폼 구축사업은 이러한 가능성을 확인시켜 주는 아주 모범적인 사례이다. 대기업인 SK엠텍이 중국 현지에서 그곳에 진출하려는 국내 팹리스기업들의 제품을 직접 구매하는 시스템업체의 역할을 하기도 하고, 이미 구축해 놓은 네트워크를 이용하여 팹리스기업들이 중국 시스템업체들에게 제품을 공급할 수 있도록 이끌어주고 있다. 이런 모범 사례가 중국뿐만 아니라 주요 수출 대상국까지도 확대되었으면 하는 바람이다.

시스템반도체 생태계를 활성화하기 위해 또 하나 제안하고 싶은 것은 DRAM 개발 과정에서 ETRI가 역할을 했던 것처럼 우리나라 시스템반도체 사업을 총괄할 수 있는 컨트롤 타워를 만드는 것이다. 거시적 차원에서 일관성 있게 시스템반도체 산업 육성을 지휘할 수 있는 본부가 필요하다. 현재 다양한 시스템반도체 지원기관들이 존재하지만 서로 연계되어 있지 않아 사업 추진의 효율성이 낮고 부분적인 지원에만 그치고 있는 실정이다. 그러나 예를 들어, 칩 제조시설인 팹을 갖추고 있는 기관과 설계, 테스트, 패키징 등을 지원해 주는 기관이 협력하면 반도체의 모든 과정에 걸쳐 일괄지원이 가능하다. 컨트롤 타워는 각자 소관 정부 부처, 지방자치제로 소속이 다른 지원기관들을 하나의 기관처럼 통합하여 기업들에 원스톱 서비스를 제공하도록 지휘하고, 여기에 연구소와 학계로 하여금 요소기술의 개발을 통하여 기업들을 지원해 주도록 한다. 컨트롤 타워를 중심으로 파운드리와 팹리스기업의 컨소시엄, 지원기관, 연구소, 대학이 하나의 조직처럼 연결되면 거대한 단일 시스템반도체 생태계가 된다. 생태계의 모든 구성원을 지리적으로 연결하여 서울에서 충청도를 거쳐 경상도에 이르는 가칭 'Semicon-Express' 를 조성하자.

Semicon-Express를 따라 모든 산학연관 구성원들이 유기적으로 협력하고, 열정과 확신을 갖고 공동의 목표를 향하여 정진한다면 메모리반도체에서 이룩한 위대한 결과를 시스템반도체에서도 분명 얻을 수 있을 것이다. 그리하여 우리나라가 메모리반도체와 시스템 반도체가 균형을 이루어 세계 시장을 지배하는 진정한 반도체 강국이 될 날이 곧 올 것이다.

윤 병 진
충북테크노파크 차세대반도체센터 센터장

고품질 오디오용ADC (Analog-to-Digital Converter)의 기술 동향

반도체 공정의 혁신적 발전은 우리 삶에 큰 변화를 가져오고 있다. 지난 세기 중반까지만 해도 미래에 나타날지도 모르는 꿈 같은 기술로 여겨지던 것들이 현실로 구현되어 우리의 일상에 중요한 부분을 차지하고 있다. 다양한 기능이 집적된 손바닥만한 크기의 스마트폰을 통해 우리는 지금 이 순간에도 지구 반대편의 사람과 자료 및 정보를 실시간으로 나누며, 얼굴을 보며 이야기할 수 있는 세상에 살고 있다.

반도체 공정의 발전은 Moore의 법칙[1]으로 대표되곤 한다. 미국 Intel사의 공동 창업자인 Gordon Moore가 1965년에 한 잡지에서 예측한 이 법칙은 반도체 공정의 발전에 따라서 앞으로 회로의 집적도가 2년마다 2배씩 증가할 것이라는 예측이었다. 비록 최근 들어 발전 추세가 감소하고 있지만, 반도체 공정의 발달에 따른 집적도 증가는 반세기 정도 거의 정확하게 이 법칙의 예상치를 달성하며 발전하였다. 집적도의 향상은 기능 구현에 필요한 자원 소모와 시간을 줄여서 비용 감소를 가지고 올 뿐만 아니라, 회로 구현 시 발생하는 기생 소자들을 줄여서 동작 속도 역시 빨라지는 결과를 가지고 왔다. 이에 따라서 디지털 회로는 더욱 작아지고 빨라졌으며, 저가의 디지털 신호 처리 및 제어가 현실화되었다. 최근에 사용되는 반도체 부품들은 대부분 디지털 회로를 내장하고 있어서 디지털 신호 처리 및 제어의 장점을 사용하고 있다. 따라서 시스템 대부분은 이러한 부품들을 바탕으로 전체 시스템을 조정하는 중앙처리장치(CPU) 혹은 전용 디지털 회로를 포함하고 있으며, 부품들의 집적도 향상에 따라 더욱 다양한 기능과 높은 성능을 구현하게 되었다. 예를 들어, 이전의 오디오 시스템 구성은 Tape나 LP와 같이 단순한 기록매체의 음원으로부터 오디오 신호를 받아서 증폭하여 스피커를 구동하였다. 하지만 요즘은 인터넷에서 비디오 상의 음원 소스를 포함한 다양한 음원을 무선 혹은 유선으로 받아 음장 효과, Equalization, 스피커 보상 등의 다양한 디지털 신호처리를 가함으로써 사용자가 좀 더 생생한 음을 느낄 수 있도록 하여 스피커를 구동하는 방식으로 발전하였으며, 이러한 시스템의 소형화가 가능해졌다. 비록 디지털 신호처리 및 제어의 발달로 인하여 시스템의 기능이 크게 발전하고 다양해졌지만, 기본적인 시스템의 성능은 신호의 입력과 출력을 담당하는 아날로그 회로의 성능에 의하여 제한된다. 이는 자연환경에서 접하는 신호 대부분이 아날로그 신호이기 때문에, 바뀌기 어려운 근본적인 제한에 해당한다. 따라서 아날로그 신호를 디지털 신호로, 혹은 디지털 신호를 아날로그 신호로 변환해서 전달해주는 회로는 디지털 신호 처리 및 제어를 가능하게 하는 매우 중요한 역할을 한다. 이 중에서 ADC(Analog to Digital Converter)는 자연계 혹은 다른 시스템으로부터 받은 아날로그 신호를 디지털 신호로 변환해 주는 역할을 하는 장치이다. 따라서 ADC의 성능은 해당 시스템이 가질 수 있는 최대의 성능을 제한하게 된다.

반도체 공정의 발전은 디지털 회로의 발전을 가져왔지만, 아날로그 회로 설계는 제약이 늘어나는 추세가 일반적으로 지속되어 왔다. Transistor의 크기를 줄이기 위한 노력은 소자의 크기가 줄어들면서 Transit Frequency의 증가로 이어져 전체 회로를 빠르게 동작시킬 수 있게 하였다. 하지만 소자의 크기가 줄어듦에 따라 Channel 사이의 간격이 크게 줄어들면서 Electric Field가 증가하여 여러 가지 Side Effect를 불러왔다. 이러한 문제를 줄이기 위해 동작 전압을 낮추어 왔지만, Threshold 전압은 그만큼 낮아지지 못함으로써 상대적으로 소자의 동작 가능한 전압 범위가 줄어들었으며, 이에 따라 이전처럼 전압 Margin을 주고 Operating Point를 설정하기가 어려워져 Output Impedance의 변화에 의한 Distortion이 증가하게 되었다. 또한, Threshold 전압이 낮아지면서 Current Leakage가 늘어나 소자의 Current Gain이 제한받게 되었고, Current 오차도 커지게 되었다. 이러한 문제점들은 Device의 Output Gain이 떨어지는 문제 또한 발생시켰다[2].

이에 따라 아날로그 회로의 기본적인 부품인 OPAMP의 설계는 제약사항이 점점 많아지고 있다. 이러한 Effect 들을 줄이기 위하여 아날로그 회로에 사용하는 소자의 Length를 크게 줄이지 못하여 디지털 회로보다 집적도를 높이지 못하고 있으며, 또한 사용할 수 있는 설계 방법론도 제약되고 있다. 예를 들어 Telescopic 구조의 OPAMP는 동작 전압 범위 문제로 최근 공정에서 활용하기가 매우 까다롭다. ADC 설계 측면에서 보면, 저전압 동작은 입력 신호의 최대값이 줄어듦을 의미한다. 이는 동작 전압이 낮아진 회로에서 ADC의 성능 지표인 신호 대 잡음 비 (Signal to Noise Ratio: SNR)를 기존의 높은 전압에서 동작하는 ADC와 동일하게 얻기 위해서는 신호가 줄어든 만큼 회로의 노이즈 역시 줄어야 함을 의미한다. 이를 달성하기 위해서는 일반적으로 더 많은 회로 자원을 이용해야 한다. 또한, ADC는 기본적으로 전압의 크고 작음을 판단하는 장치이므로, 이러한 판단을 할 수 있는 정밀도에 제약이 생기게 된다. 따라서 위와 같은 제약 사항을 극복할 수 있는 설계 방법론이 필요하게 된다.

ADC는 구현 방법에 따라서 크게 Nyquist ADC와 시그마 델타 ADC로 크게 나눌 수 있다. Nyquist ADC는 Nyquist-Shannon Sampling Theorem에 의해 샘플링된 신호가 완벽히 복원될 수 있도록 Bandwidth의 2배 또는 그보다 조금 더 높은 주파수로 입력 신호를 샘플링 한다. 이러한 종류의 ADC는 일반적으로 반도체 공정의 한계에 의한 기본 소자들의 Variation과 구성하는 소자들의 Noise에 의하여 구현 가능한 해상도가 제한된다. 하지만, 시그마 델타 변조를 사용하게 되면, 이러한 해상도 제한을 넘어설 수 있게 된다. 1960년에 C. C. Cutler의 Patent를 분석한 1962년 H.A.Spang과 P.M.Shiltheiss 의 논문[3]에 논의된 이후 시그마 델타 변조는 높은 해상도를 요구하는 장비와 오디오 시장에서 주로 사용되어 왔다. 개발 초기에는 여러 개의 칩을 이용하여 모듈로 구성되어 사용되었으며, 반도체 공정에서도 특히 CMOS 공정이 발달함에 따라서 아날로그와 디지털 회로 모두 한 칩에 집적되어 판매되었다. 디지털 회로의 집적도가 올라감에 따라 디지털 신호 처리가 발전하면서 다양한 기능의 부가 회로가 추가되어 왔다. 시그마 델타 변조를 회로로 구현하면서 가장 큰 두 개의 구분은 Continuous Time 동작과 Discrete Time 동작 구조라 할 수 있다. 일반적으로 오디오 분야 등의 높은 정밀도를 요구하는 곳에서는 Continuous Time 시그마 델타 변조기를 이용하는 논문[4]도 발표되고 있지만Discrete Time 시그마 델타 ADC가 주로 많이 쓰이고 있다.

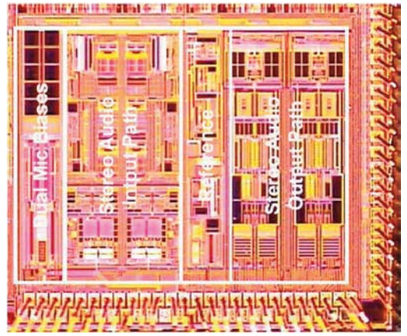


그림 1. Continuous Time 시그마 델타 ADC 기반 오디오 코덱 (Xicheng Jiang, JSSC 2012) [4]

Continuous Time 기반의 오디오용 시그마 델타 ADC들은 기본적으로 전력소모가 Discrete Time 기반의 오디오용 시그마 델타 ADC보다 낮지만, PVT variation 등에 취약하여 성능의 편차가 크다고 알려졌다. 따라서 회로를 공정 변화 등에 대해 강인하게 만드는 것이 중요하다. 또한, Jitter 등의 잡음원이 있을 때에도 안정적인 성능을 얻을 수 있도록 설계하는 것이 주요한 가장 큰 관심사 중 하나이다[4].

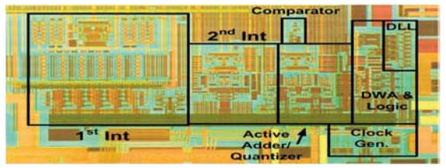


그림2. Discrete Time 시그마 델타 모듈레이터 (Nima Maghari, JSSC 2011) [5]

최근 논문들은 저 전압 및 저 전력 동작을 구현하기 위한 여러 가지 방법에 대하여 논하고 있다. 저 전압 설계가 용이하도록 하기 위하여 양자화 장치를 다양화하는 시도[5]가 많이 이루어지고 있으며, 저 전력을 달성하기 위하여 OPAMP를 Time Sharing 하는 시도[6]들도 이루어 지고 있다. 또한, 공정 변화에 추세에 따라서 Input Feed-Forward 등의 방법을 이용하여 OPAMP의 부담을 줄이는 기법들도 시도되고 있다.

한편, 오디오용 ADC는 사람이 들을 수 있는 아날로그 신호를 디지털로 변환하는 것이 목적이므로, 범용 ADC와 달리 사람 귀의 인지 특성에 의해 그 요구 성능이 정해진다. 사람이 청취 가능한 주파수인 가청 대역은 일반적으로 20Hz에서 20kHz로 알려져 있다. 이는 사람마다 다르며, 일반적으로 노화에 따라 높은 주파수의 청취능력이 떨어진다.

음원	샘플링 주파수
유선 전화	8,000 Hz
VoIP	16,000 Hz
Analog TV 음원	32,000 Hz
오디오 CD	44,100 Hz
Digital Video 음원 표준	48,000 Hz
Blue-Ray, HD-DVD	96,000 Hz
DVD-Audio, 프로 비디오 장비	192,000 Hz
SACD (1-bit stream)	2,822,400 Hz

표 1. 음원별 샘플링 주파수

따라서 주로 사용되는 오디오 샘플링 주파수는 48kHz이다. 하지만 DVD Audio 등의 고급 음원은 192kHz의 높은 샘플링 주파수를 사용하는데, 이는 신호처리 시 필터들의 특성으로 인해 원음과 다른 부분이 필연적으로 발생하는 것을 최소화하기 위한 것이다. CD 및 TV 방송을 통해 전달되는 일반적인 음원은 Consumer Electronics 시장에서는 48kHz 를 샘플링 주파수로 사용하는 시스템이 주를 이루며, DVD Audio와 같이 192kHz 샘플링 주파수로 녹음된 음원은 주로 고급 High Fidelity 오디오 시장에서 사용되고 있다. 표 1은 음원별 샘플링 주파수를 보여주고 있다.

오디오 신호의 중요한 또 다른 특성에는 Dynamic 특성이 있다. 사람 귀의 특성에 따라 오디오 시스템에서는 매우 높은 해상도를 요구한다. 사람이 인식할 수 있는 최저의 오디오 신호 크기와 사람이 고통스러워 하지 않고 인식할 수 있는 최대의 오디오 신호 크기의 차이는 그림 3에서 볼 수 있는 것처럼 100dB에 달한다[7]. Consumer Electronics 시장에서 사용되는 음원 소스는 90dB이상의 Dynamic Range를 가지며, 오디오 ADC는 이러한 사람 귀의 특성을 반영하여 일반적으로 15bit 이상의 해상도를 요구한다. 그러므로 ADC의 SNR 성능은 최소 90dB 이상이 되어야 한다. High Fidelity를 요구하는 고급 오디오 시장에서는 SNR 100dB 이상의 해상도가 요구되며, 녹음실 등 최초의 음원을 만들어 내는 전문 오디오 시장에서는 120dB 급의 SNR을 갖는 ADC까지도 요구된다. 이러한 요구 사항에는 높은 출력으로 소리를 재생하는 경우 공간의 크기 및 특성 등에 의한 감쇠 때문에 90dB의 Dynamic Range를 훨씬 상회하는 높은 해상도를 가진 최초의 음원 신호가 필요한 것과 여러 가지 신호 처리 시 발생할 수 있는 음원의 해상도 저하를 대비하는 것이 포함되어 있다.

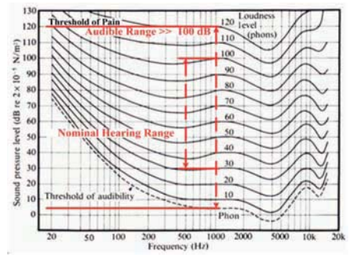


그림 3. 사람의 청음 특성

오디오용 ADC에서 중요한 다른 하나의 성능 지표는 Harmonic Distortion의 양이며, Distortion이 적은 소리에 훈련된 사람은 이에 매우 민감하게 반응할 수 있다. 또한, Distortion은 음장감 및 음색 등에도 영향을 끼칠 수 있기 때문에 고급 오디오 시스템에서는 매우 낮은 수준의 Distortion 발생을 요구한다. 특히, 사람의 귀는 홀수 차 Harmonics와 짝수 차 Harmonics에 대한 반응이 다른데, 일반적으로 홀수 차 Harmonics에 대해서 불쾌감을 느낀다고 알려져 있어, 이를 최소화 하기 위해서는 홀수 차 Harmonics Distortion이 어느 정도 이하로 제한되어야 한다.

그림 4는 지금까지 살펴본 사람 귀의 특성 및 오디오용의 요구 조건 등을 기반으로 본 연구실에서 개발하고 오디오 시스템 수준에서 검증을 완료한 Stereo Discrete Time 시그마 델타 ADC이다. 0.13 μ m CMOS 공정을 기반으로 설계되었으며, 전원 전압 3.3V에서 SNR 92.1dB, THD+N -86.0dB 성능을 보인다. 독립된 ADC로 동작 가능하게 하기 위하여 시그마 델타 ADC 코어 블록뿐만 아니라 Single input to differential conversion 회로 및 Decimator, 디지털 시리얼 인터페이스 등의 주변 회로를 추가하였다. 그림 5, 6과 7의 그래프에서는 제작된 칩의 성능 측정 결과를 보여주고 있다.

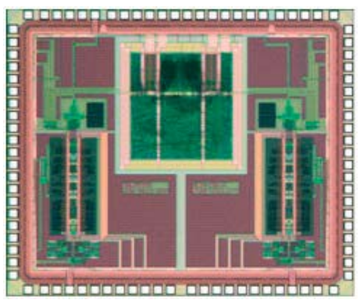


그림 4. Stereo Audio용 Multi-bit Discrete Time 시그마 델타 ADC

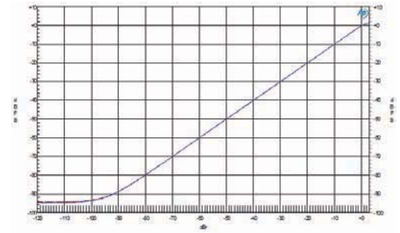


그림 5. SNR 성능 측정 결과 (1 kHz stereo입력신호 인가 시)

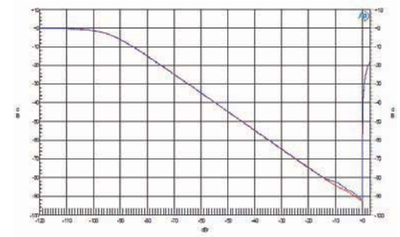


그림 6. THD+N 성능 측정 결과 (1 kHz stereo입력신호 인가 시)

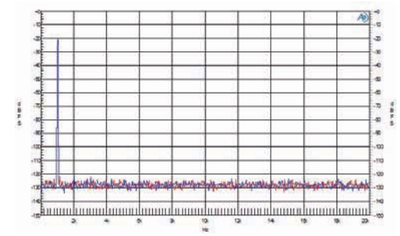


그림 7. FFT 결과 (1 kHz -20dbFS stereo입력신호 인가 시)

향후 전망 및 결론

지금까지 오디오 장치는 음악의 녹음 및 청취 등의 목적으로 주로 사용되어 왔다. 하지만 사람이 의사소통하고 주변을 인식하는 가장 기본 수단 중 하나가 소리이기 때문에, 오디오용 ADC는 단순 녹음용이 아니라 사람과의 인터페이스를 필요로 하는 장치에도 그 수요가 증대할 것이며, 따라서 앞으로도 꾸준한 수요가 예상된다.

산업계에서는 시장 변화와 이에 따른 공정 변화에 대응하기 위하여 SNR 90dB 이상의 오디오용 ADC 시장의 요구조건을 만족하는 저전압, 저전력 ADC의 꾸준한 개발이 필요하므로 각 연구기관의 관련 기술 개발이 중요하다고 생각하여 오디오 장치에 적합한 ADC를 설계하기 위한 오디오 특성과 ADC 설계의 변화 방향과, 이를 바탕으로 설계한 ADC의 성능을 공유하였다.

김 수 환 교수
소속 : 서울대학교 전기공학부
연구분야 : 데이터 변환 (ADC, DAC),
고속 I/O 인터페이스 및 관련 응용회로
E-mail : suhwan@snu.ac.kr

조 준 수 박사과정
소속 : 서울대학교 전기공학부
연구분야 : 오디오 관련 ADC/DAC/Amplifier
회로 및 신호 처리 기법

Reference

[1] G. E. Moore, "Cramming more components onto integrated circuits," McGraw-Hill, 1965.

[2] A.-J. Annema, B. Nauta, R. van Langevelde, and H. Tuinhout, "Analog circuits in ultra-deep-submicron CMOS," IEEE Journal of Solid-State Circuits, vol. 40, no. 1, pp. 132-143, 2005.

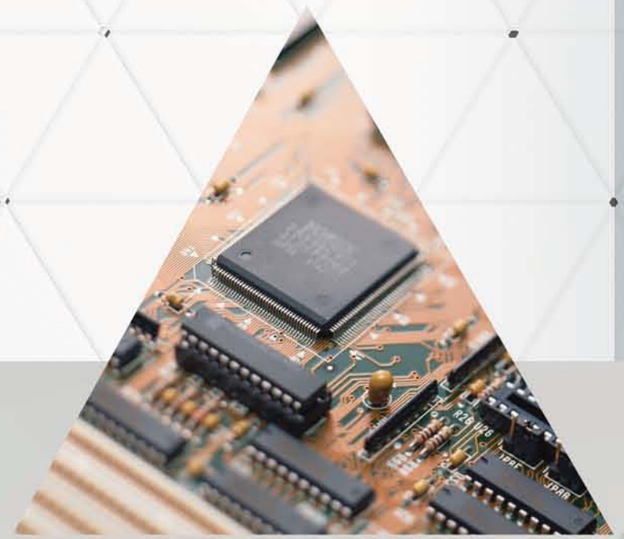
[3] H. Spang III and P. Schultheiss, "Reduction of quantizing noise by use of feedback," IRE Transactions on Communications Systems, vol. 10, no. 4, pp. 373-380, 1962.

[4] X. Jiang, et. al., "A low-power, high-fidelity stereo audio codec in 0.13 μm CMOS," IEEE Journal of Solid-State Circuits, vol. 47, no. 5, pp. 1221-1231, 2012.

[5] N. Maghari and U.-K. Moon,"A third-order ΔΣ DT modulator using-noise shaped bi-directional single-slope quantizer," IEEE Journal of Solid-State Circuits, vol. 46, no. 12, pp. 2882-2891, 2011.

[6] A. Pena-Perez, et al.,"A 88-dB DR, 84-dB SNDR very low-power single op-amp third-order ΣΔ modulator," IEEE Journal of Solid-State Circuits, vol. 47, no. 9, pp. 2107-2118, 2012.

[7]T. D. Rossing, F. R. Moore, and P. A. Wheeler, The science of sound: Addison-Wesley



ISSCC 2014
학회후기

반도체 분야의 올림픽이라 불리우는 ISSCC 는 해마다 2월경에 샌프란시스코에서 열린다. 올해는 "Silicon Systems Bridging the Cloud" 라는 주제로 2월 9일~13일간 열렸다. 약 3천여 명의 참가 인원이 참석하여 성대하게 치러진 이번 행사에서는 전체 619편의 논문이 제출되어 206편의 논문이 채택되었으며 아시아지역에서는 75편이 논문이 채택되었다. 한국에서는 23편의 논문이 채택되어 일본에 이은 아시아 2위, 미국과 일본에 이은 전체 3위의 성적을 거두었다. 새롭게 떠오르는 나라나 학교에 주어지는 Silkroad Award 를 중앙대학교 백광현 교수팀이 수상했다.

각 분야의 전문가들이 학회에 참가하여 분야별 참가 후기를 작성하였다.

ISSCC wireless, RF 분야 리뷰

올해 wireless 분야에서는 다양한 우수한 논문이 선보였으며 특히 근거리 무선 통신용에 사용되는 다양한 종류의 저전력 송수신기가 선보였다. NFC (Near Field Communication), IR-UWB, ZigBee, WPAN (Wireless Personal Area Network), WBAN(Wireless Body Area Network) 등의 다양한 저전력 근거리 송수신기들이 선보였으며 이는 Internet of Things (IoT) 의 동향에 발맞춰 센서 네트워크를 구성하는 송수신기들의 연구가 활발해지는 것을 알 수 있었다.

반도체 분야의 올림픽

ISSCC

(Silicon Systems Bridging the Cloud)

2014년 2월 9일~ 13일까지 5일간
샌프란시스코 개최

칭화대에서 발표한 IR-UWB 수신기는 효율적인 주파수 사용 대역활용을 통해 출력파워를 높여 통신거리를 확장할 수 있었으며 1.2m 거리에서 500Mbps의 송수신 속도를 보여주었다. IMEC 에서 발표한 WBAN 수신기는 400MHz의 ISM (Industrial, Science, Medical) 밴드를 사용하여 11kbs 에서 4.5Mbps의 scalable 한 송수신 속도를 보여주었다. RF 분야에서는 송수신기의 성능을 개선하는 각종 회로들이 선보였다. RF 분야 논문 중 주목할 만한 것은 도시바에서 제출한 안테나 임피던스 튜닝회로인데 (3.1) 아이폰에서 얼마 전에 이슈가 되었던 핸드이펙트 등의 근접 효과 때문에 안테나의 임피던스가 변하는 것을 자동으로 감지해서 적절한 임피던스로 수정해 주는 회로를 개발하였다. Amplitude 정보와 Phase 정보를 모두 사용하여 안테나 임피던스가 변하더라도 원하는 최적의 임피던스를 찾을 수 있도록 제작되었고 그 결과 10%의 효율 향상을 얻을 수 있어 최대 효율(Peak PAE)이 47%에 이르렀다.

한국의 중앙대학에서 발표한 Frequency Synthesizer (21.3) 는 주파수 합성기 회로에 3가지의 특화된 기술을 개발/적용하여 "전력소비", "칩 면적", "동작속도" 등 종합적 성능 지표인 FOM 데이터가 세계 최고 기술 대비 50배 이상 향상시켜 주목을 받았다. 특히 필요한 순간에만 일시적으로 전류를 공급한 후, 저전력 상태로 귀환하는 구조와 복잡한 연산 구조 없이 단순화된 최적의 구조를 통해 주파수를 합성하는 방법 제안하여 성능향상을 기하였다.

김 태 욱 교수
연세대학교 전기공학과
연구분야 : RF 회로, wireless 회로
Email : taewook.kim@yonsei.ac.kr

Biomedical

Biomedical 분야는 2개의 세션이 있었다. 세션 18의 'Biomedical Systems for Improved Quality of Life'에서는 7편의 논문이 발표되었고, 세션 24의 'Integrated Biomedical Systems'에서는 8편의 논문이 발표되었다. 전체적으로 반도체 칩을 이용하여 전통적인 생체 신호(EEG, ECG 신호, bio-impedance 등)를 정밀하게 검출하는 설계 기술뿐 아니라, 반도체 칩에 작은 센서나 자극기(stimulator 또는 actuator) 등을 조합하여 여러 가지 신체 진단과 치료에 사용하는 기술들이 발표되었다.

일반적으로 의료용 진단 기기를 구현함에 있어 반도체 칩을 이용하여 아주 소형 경량화하는 기술 추세에 있고, 저 전력화, 저 잡음화, 정밀화 등 성능 향상 기술도 같이 발표되고 있다. 또한, 반도체 칩 이용한 일부 새롭고 다양한 분야의 생체 진단, 치료, 바이오 응용 기술들이 발표되었다. 먼저 제일 많이 발표된 것이 뇌파를 측정하는 기술(neural sensing)과 측정된 뇌파를 분석하여 치료하고자 자극을 구현하는 기술들이다. 논문 18.5에서 발표된 것은 EEG 신호를 감지한 후 분석하고, 상태가 안 좋을 경우 neuro-feedback을 이용하여 자극을 가해줌으로서 치료를 할 수 있게 하는 기술이다. 논문 18.6은 EEG 또는 ECoG(electrocorticography) 신호를 u-probe 어레이를 이용하여 검출한 후 TSV(through-silicon-via)기술을 이용하여 양면 반대 측에 위치한 반도체 칩과 연결함으로써 잡음의 영향을 최소화하고, 전체 마이크로 시스템의 크기를 최소화한 기술이다. 논문 24.1은 뇌파를 오래동안 안정적으로 취득하기 위해 ECoG 신호를 딸린 선 없이 무선으로 감지하는 기술을 보여 주고 있다. 논문 24.2는 스위치 커패시터 설계 기술을 이용하여 전력 효율이 우수한 DBS(deep brain stimulation) 구현 기술을 발표하였다. 논문 24.7은 16개의 dry active electrodes에서 채널 간 부정합을 줄여가며 EEG 신호를 정밀하게 검출할 수 있는 휴대용 EEG 측정 시스템 구현 기술을 발표하였다.

두 번째로 많이 발표된 분야는 ECG(심전도) 등의 생체 신호를 검출하는 의료기기 시스템에 관련된 논문이다. 논문 18.3은 집적도를 향상시키고, 최소한의 소모 전력과 최소한의 크기로 다양한 생체 신호를 측정할 수 있는 기술을 발표하였다. 논문 24.3은 신체 심장 주위 내부에 삽입하여 부정맥을 진단하는 반도체 칩을 기존 기술보다 소모 전력을 100배 줄여가며 구현하는 기술을 발표하였다. 또한, 신체에 내장시켜 QRS의 심장 박동을 추출하는 논문을 24.4에 발표하였는데, 저전력, 넓은 동적 범위를 갖도록 설계한 기술이다.

그밖에 다양한 분야의 의료 기기용 시스템이 반도체를 이용하여 구현하는 것이 발표되었다. 논문 18.1은 보청기 응용을 위해 2.4GHz 밴드를 이용한 무선 디지털 음성 통신 SoC를 발표하였다. 무선으로 내부에 전력을 공급하고 DC-DC 변환기를 내장하였으며 소모전력을 최소화하고, 가청 잡음을 줄이기 위한 기술이 적용되었다. 논문 18.2에서는 귀 안에 완전 내장되는 인공 와우(cochlear implant)용 SoC가 발표되었다. 일부 전력을 자체 공급하는데, 기존 기술보다 잡음 없는 전력을 공급하기 위해 piezoelectric 센서가 내장되어 구현하였고, 전체 회로의 소모 전력을 최소화하여 구현하였다. 논문 18.4는 브래지어 타입의 센서를 가슴에 부착하여 전기 임피던스 측정하는 IC에 의한 유방암 진단기를 구현하는 기술을 발표하였다. 논문 18.7은 신체 내 원하는 부위에 삽입할 수 있도록, 자체 추진력을 가지며 이동할 수 있는 원격 조정용 locomotive(기관) IC를 발표하였는데, 이 기술은 원하는 부위에 이동시켜 약물을 공급하거나 진단, 치료에 쓰일 수 있을 기술로 사료된다. 논문 24.5는 인공호흡기에서 폐렴을 진단할 수 있는 e-nose 칩을 발표하였다. 또 논문 24.6에서는 자성체 레이블이 붙어있는 유세포를 분석하는 기기를 CMOS 기술을 이용하여 구현하는 기술을 발표하였다. 신약 개발이나, 음식물 안전 등에 사용할 수 있는 기술로 사료된다. 마지막으로, 논문 24.8에는 2D CMUT(capacitive micro-machined ultrasound transducer)에서 빔 형성을 위한 접속 IC를 아날로그-디지털 하이브리드 작동기(actuator) 기술을 적용하여 구현한 것이 발표되었는데, 기존의 것에 비해 칩 면적이 7배 정도 작아지고, 잡음이 줄어들도록 구현하였다.

임 신 일 교수
서경대학교 전자공학과
연구분야 :
Email : silim@skuniv.ac.kr

디지털 회로

ISSCC 2014에서 발표된 프로세서의 최근 동향은 저전력 설계에 초점이 맞추어졌다. 대부분 프로세서들이 클럭게이팅과 파워게이팅 그리고 DVFS 기법을 채택하고 있었으며, 특히 공진 클럭 (resonant clocking)을 사용한 사례들이 많이 발표되어 눈길을 끌었고 저전압 특성을 개선함으로써 전력 효율 향상을 꾀하였다.

IBM에서 소개한 POWER8 프로세서는 12개의 코어와 96MB eDRAM L3 캐시를 내장한 고성능 서버 프로세서로서, 각 코어는 8-way SMT를 지원하며 230GB/s의 메모리 대역폭을 제공한다. 또한, 별도의 RTOS를 탑재한 코어를 사용하여 작업 부하를 판단하고, 마이크로 레귤레이터를 이용한 코어별 DVFS를 구현하였으며, SRAM 파워 게이팅 및 공진 클럭 메시를 사용하여 전력 소모를 줄였다. 두 번째 논문과 세 번째 논문은 POWER8™ 프로세서의 전력 관리를 위한 분산 마이크로 레귤레이터 시스템과 공진 클럭 메시에 대해 기술하였다. 마이크로 레귤레이터 모듈을 통해 코어별 DVFS를 적용함으로 최대 전력 효율 (peak power efficiency)을 90.5%까지 향상시켰으며, 2.5GHz부터 5GHz 이상의 넓은 주파수 범위를 가지는 다중 공진 클럭 메시를 구현하여 클럭 전력을 감소시켰다.

AMD는 Steamroller 코어와 적응형 클럭 시스템을 소개하였다. Steamroller 코어는 96KB 3-way 캐시와 10KB 브랜치 타겟 버퍼를 통해 단일 및 멀티 스레드 성능을 향상시켰다. L2 캐시에는 공진 클럭과 파워 게이팅을 사용하여 소비 전력을 줄

였으며, single soft-edge flop을 이용하여 클럭 라우팅의 부담을 줄였다. 또한, 10개의 공급 전원 감시 회로를 통해 일시적인 전압 강하를 감지하여 동작 주파수를 조절해 줌으로써 전력 소모와 최소 전압을 향상하였다. Intel에서는 Ivytown과 Haswell 두 개의 프로세서를 소개했다. Ivytown은 15개의 코어와 37.5MB L3 캐시를 내장했으며, Lg 트랜지스터를 사용하여 누설 전류 감소시켰다. 동작전력을 줄이기 위해 여러 개의 전압 및 주파수 도메인을 사용하였으며, 메모리의 리던던시(redundancy)를 이용하여 Vmin을 향상시켰다.

Intel Haswell 프로세서는 8 포트의 통합 레저베이션 스테이션 (unified reservation station)을 가지는 마이크로 아키텍처를 도입하고 AVX2를 통해 새로운 계산 명령어들을 지원함으로써 성능향상을 꾀하였다. OPIO (on package IO)를 통하여 CPU와 eDRAM을 MCP 상에서 연결하였으며, C0 ? C10에 이르는 확장된 ACPI 상태를 도입하고 전압 레귤레이터를 내장함으로써 배터리 수명을 연장시켰다. Intel에서 발표한 그래픽스 코어는 저전압 메모리와 적응형 클럭 시스템을 통해 Vmin을 0.38V까지 개선하였으며, 듀얼 Vcc를 통하여 레지스터 파일과 ROM의 Vmin을 개선하였다. 또한, 적응형 클럭 시스템은 고주파에서의 전압 강하를 방지하여 공급전압의 가드밴드(guardband)를 줄여주었다. Applied Micro는 64비트 ARMv8 옥타 코어 프로세서를 최초로 발표하였다. 각각의 코어는 4-way 비순차 실행 수퍼스칼라 마이크로 아키텍처로 구성되어 있으며 하드웨어 전가상화 (full virtualization)를 지원한다. 로직을 내장한 다이나믹 펄스 플롭을 사용하였으며, CML 시그널링 및 H-tree + mesh의 하이브리드 클럭 그리드를 이용하여 클럭 지터와 스큐를 감소시켰다.

Mobile SoC

ISSCC 2014 모바일 SoC 세션에서는 제한된 배터리 환경에서 더 높은 연산능력을 구현하기 위한 모바일 AP와 베이스밴드 SoC 기술들이 발표되었다.

Qualcomm에서는 LDO 레귤레이터를 내장한 Hexagon VLIW DSP를 발표하였으며, 패키지의 M1 층을 통하여 코어의 전력을 공급하였다. 펄스 래치와 저전력 클록 게이팅 셀을 이용하여 저전력 클록 시스템을 구현하였으며, 메모리에 대해서는 파워 게이팅 및 소스 바이어싱 등을 구현하여 대기전력을 감소시켰다. Renesas는 big-LITTLE 구조의 이종 옥타코어 AP를 발표하였으며 8개의 코어가 동시에 동작할 수 있도록 하였다. H-tree 형태의 클럭 네트워크를 통해 클럭 파워를 줄였으며 다양한 Vt 및 Lg 조합으로 SRAM의 누설전류를 최소화하였다. AVS를 통하여 공정변이에 대응하였으며, DVFS를 통해 IR 감소를 최소화하였다.

MediaTek에서도 big-LITTLE 기반의 이종 쿼드 코어 AP를 발표하였는데, PCB 배선을 통해 AP 내부의 전압 강하를 원격 감지함으로써 전력을 관리하였으며, 온도변화의 기울기를 감지하여 발열관리를 함으로써 성능감소를 최소화하면서 발열관리를 구현하였다. KAIST에서는 구글 글래스와 같은 HMD 응용을 위한 실시간 마커리스 (markerless) 증강현실 프로세서를 제안하였으며, 30fps 720p의 성능을 구현하였다. 이를 위해, 신경망 스케쥴러를 통한 2차원 메쉬 NoC를 제안하여 온칩 트래픽을 줄였으며, 아날로그 SVM을 구현하여 네트워크, 전압 등의 리소스 관리를 수행하도록 하였다. NEC에서는 대기전력을 줄이기 위해 SpinRAM을 사용한 자기터널접합(MTJ) 기반 비휘발성 마이크로 컨트롤러를 제안하였다. 모듈별로 파워 게이팅을 적용하여 누설 전류를 감소시켰으며, 소프트웨어의 개입 없이 레지스터 상태가 변할 때마다 하드웨어에서 비휘발성 논리 회로의 상태를 백업하여 백업에 따른 전력 소모를 감소시켰다. IMEC 에서는 블루투스, ZigBee, MBAN을 지원하는 멀티스탠다드 저전력 베이스밴드 SoC를 발표하였다. DC-DC를 내장하여 주파수에 따른 동적 전압 스케일링을 적용함으로써 소비 전력을 감소시킬 뿐만 아니라 공정 변화와 온도 변화에 따른 성능 저하를 방지하였다. Technical University of Dresden에서는 SDR을 지원하는 MPSoC를 발표하였으며, SDR을 구현하기 위한 여러 개의 코어가 Star-NoC를 통해 연결된 구조를 채택하였다. 개별 코어는 벡터 DSP와 RISC를 포함하며 MIMO detection 및 decoding을 수행하여 SDR을 구현하였으며, 3단계 DVFS를 통하여 전력 관리를 수행한다. Ericsson에서는 캐리어 어그리게이션 (carrier aggregation)을 지원하는 다중 스탠다드 모뎀을 발표하였다. 코어, 메모리 등 공통으로 사용되는 모듈을 공유하고 프로토콜 별 가속모듈도 일반화하여 공유함으로써 면적을 줄였으며, 4단계의 클록 게이팅과 DVFS 및 AVS를 구현하여 낮은 전력에서 다중 표준 통신을 지원하는 모뎀을 소개하였다.

남 병 규
충남대학교 컴퓨터공학과
연구분야 : 모바일 GPU, 애플리케이션 프로세서, 저전력 SoC, 임베디드 SW
Email : bgnam@cnu.ac.kr

Image Sensors / Session 12 Sensors MEMS and Displays

UI/UX 의 발달과 더불어 센서와 인터페이스에 대한 중요성이 점점 더 커지고 있으며, 이번 ISSCC에서는 산업적으로 성숙한 이미지센서뿐만 아니라 다양한 형태의 센서 관련 연구 결과가 소개되었으며 그 완성도 또한, 지난해보다 상당한 진전을 이룬 것으로 보인다.

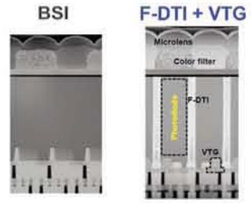


그림1 (좌) 기존의 BSI 픽셀구조
(우) 새로운 ISOCELL 픽셀구조, [Samsung]

Image sensor 세션의 논문 중 가장 주목할 만한 논문은 삼성전자에서 발표한 논문 (A 1/4-inch 8Mpixel CMOS Image Sensor with 3D Backside-Illuminated 1.12μ m Pixel with Front-Side Deep-Trench Isolation and Vertical Transfer Gate) 으로 ISOCELL 이라는 commercial trade mark 로 불리는 칩을 선보였다. 기본 backside illumination (BSI) 공정에 픽셀 단위의 deep trench isolation (DTI) 을 구현을 하고 DTI 로 인한 fill factor (FF) 의 손실을 보상하기 위해서 Vertical 형태의 transfer gate 를 만들어 1.12μm의 픽셀에서도 70%의 FF을 구현하였다 (그림 1).

그림2. 샘플 이미지 (좌) 기존의 BSI 픽셀을 사용
(우) 새로운 ISOCELL 픽셀을 사용, [Samsung]

이러한 증가된 FF로 인하여 full well capacity가 20%가량 증가되었다. 특히 픽셀에 구현한 DTI 로 인하여 crosstalk 성능을 기존 픽셀보다 월등히 개선하였으며 blooming 또한, 없는 장점을 가진다. 이러한 개선된 crosstalk 성능으로 인하여 YSNR 10의 지표가 105lux 로 기존 대비 50%의 개선 효과를 보였으며, 렌즈까지의 거리도 약 20%를 줄이는 부가적인 효과를 보였다. 이러한 픽셀 성능의 개선은 색 재현성에서 명확하게 장점을 부각시켜 매우 선명한 컬러 화질을 보여주었다 (그림 2). 일반적으로 DTI 공정을 사용하였을 경우 dark current의 수준이 기존의 픽셀 대비 약 10~100 배 정도까지 증가하고 white defect 또한, 급격히 증가하는 것으로 보고되어 imaging 분야에 적용하는 것이 어려울 것으로 예상하였으나, 삼성은 이러한 점을 기술적 한계점을 극복한 것으로 보인다.

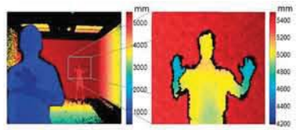


그림3. 샘플 3D 이미지 (30fps), [Microsoft]

3D 센서 관련 연구는 차세대 UX/UI에 대한 수요로 인해 급격히 증가하는 추세를 보이며, 이러한 흐름을 반영하여 image sensor 세션의 논문 중 3편의 관련 논문이 채택되었다. 이 중 가장 주목할 만한 논문은 Microsoft에서 발표한 논문 (A 512×424 CMOS 3D Time-of-Flight Image Sensor with Multi-Frequency Photo-Demodulation up to 130MHz and 2GS/s ADC) 이었으며, 이 칩을 통하여 다음 세대 XBoX (Kinect)에 3D ToF 센서의 탑재를 예고하였다. 픽셀은 lateral field를 이용하고 있으며 기존의 보고된 픽셀의 변형된 버전으로써 modulation 주파수를 130MHz까지 고속으로 동작시키는 것이 가능하고, 50MHz 860nm의 wavelength에서 높은 68%의 modulation 효율을 가진다. Depth range는 0.8~4.2m이고 depth uncertainty는 0.5% 로 측정되었고, field of view가 70? x 60? 에 이르는 것이 특징이다. 512 x 424 pixel array에 Column-level Amp와 ADC를 탑재하여 30 fps 를 보장하였고 이때의 chip 전체의 전력소모는 2.1W로 발열 부분이 다소 문제가 될 것으로 보인다.

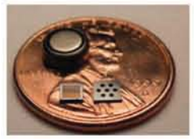
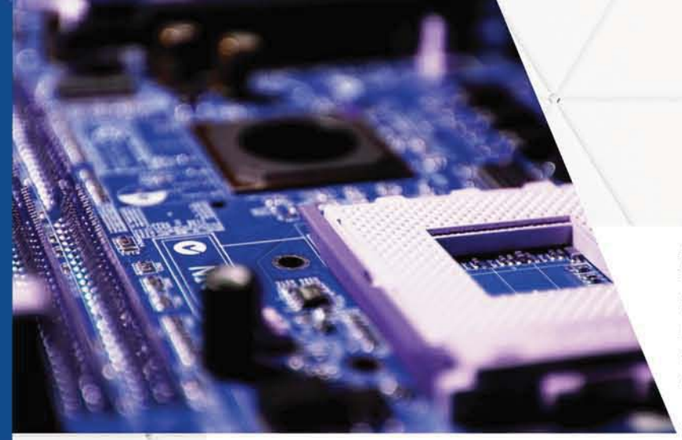


그림4 AlN pMUT 를 이용한
3D 제스쳐 측정용 칩, [UC Berkeley]

3D 제스쳐 인식은 이미지 센서뿐 아니라 다양한 다른 형태의 접근 방법 또한, 가능한데, ultrasonic와 touch sensor 기술을 이용한 방법이 대표적으로 소개되었다. 그 중 ultrasonic을 이용한 3D 제스쳐 인식 논문 (3D Ultrasonic Gesture



Recognition)은 AlN pMUT를 이용하여 어레이 센서를 만들고 이를 구동하는 칩을 연결하는 형태로 구현되었다. AlN pMUT는 220kHz의 fo와 12kHz의 BW를 가지도록 설계가 되었고 이를 구동하는 10 channel transceiver를 CMOS 0.18㎛ 로 구현하였다. 이를 통해서 얻어낸 성능은 1m 의 range에서 0.4mm의 range error와 0.8?의 direction error를 가지며 이때의 전력소모는 400uW에 불과해 모바일 기기에 충분히 탑재가 가능할 것으로 생각된다 (그림 4). Touch sensor를 이용한 논문 (3D Gesture-Sensing System for Interactive Displays Based on Extended-Range Capacitive Sensing)은 self-cap 방식의 capacitive sensor로 display common electrode 사이에 oscillating plate를 삽입하여 이를 sensing electrode와 같이 구동하는 방식을 채택해 side와 ground plate로 field가 형성되는 것을 막아서 16cm의 원거리에서도 30dB의 높은 SNR 을 획득하였으며, 최대 30cm의 거리에서도 충분히 cap 값을 인식하는 것이 가능하였다. 이러한 기술을 통해서 살펴볼 때, 올해 ISSCC를 통해 4편의 논문이 발표된 touch screen controller 분야의 경우 향후 다양한 형태의 multi-function을 요구/제공할 가능성이 매우 높은 것으로 보인다.

채 영 철 교수
연세대 전기전자공학과
연구분야 : Sensor Interfaces, Delta-Sigma ADCs, CMOS Imagers,
Email : ychae@yonsei.ac.kr

Data Converter (Nyquist-rate ADC)

2014년 ISSCC의 data converter subcommittee에서는 다양한 데이터변환기 설계기법을 다룬 Session #11. Data Converter Techniques, Giga sample/s 이상의 고속 변환기를 다룬 #22. High-Speed Data Converters의 두 세션과 절반의 세션으로 구성된 #29. Data Converters for Wireless Systems를 구성하여 총 17편의 논문을 다루었다. 발표된 논문 중 절반에 가까운 8편의 논문이 SAR ADC를 기반으로 하는 것이어서, SAR ADC를 이용한 저전력화 및 고속화에 대한 연구 trend가 여전히 계속되고 있음을 보여주었다. 특히 고속화 설계에서 큰 성능향상을 찾아볼 수 있었는데, 스위스의 IBM과 EPFL에서 공동으로 연구한 8b SAR ADC (#22.1)는 변환속도가 90 GS/s에 달하여 현존 CMOS ADC 중 최고의 변환속도를 보여주었다. 본 설계는 동일저자가 2013년 ISSCC에서 발표했던 ADC core를 제안된 time-interleaving sampler에 적용하여 64채널을 병렬로 사용함으로써 구현했고, SOI 공정을 사용하여 변환속도의 개선을 극대화하였다. 본 논문뿐만 아니라, 올해 발표된 10 GS/s 이상의 고속 ADC들이 모두 SOI 공정을 이용하여 구현되어 (#22.1, 2, 3), SOI 공정에 대한 관심을 환기시키는 역할을 하였다.

여기에 발표된 몇 가지 재미있는 설계기술들을 소개해 보자. MIT에서는 time-interleaved (TI) SAR ADC에서 변환 속도를 높이고자 사용되는 front-end flash ADC를 사용하여 residue의 산포특성으로부터 SAR ADC 간의 timing skew 정보를 얻는 기술을 보여주어, 구조의 특성을 잘 살린 설계기법을 제안하였다 (#22.4). Tokyo Institute of Technology에서는 time-domain folding flash라는 구조를 제안하였는데, 기존의 voltage domain folding 기법을 time-domain ADC에 적용할 수 있음을 보여주어 flash ADC의 구조변화로 저전력 구현이 가능함을 보여주었다 (#22.6). 근래 거의 매년 ISSCC에서 저전력 SAR ADC의 FoM을 갱신하고 있는 Eindhoven University of Technology의 Pieter Harpe는 over-sampling과 dithering 기법을 적용하여 16kHz 대역의 신호에서 동작하는 14b ADC를 1 ?W 수준의 전력소모로 설계하였고 (#11.1), National Taiwan University에서는 subranging 기법을 적용한 SAR ADC에서 DAC switching skip과 aligned switching기법을 이용하여 세계최초로 1 fJ/cs 이하의 FoM을 달성하였다 (#11.2). MIT에서는 bio signal과 같이 신호의 변화가 크지 않은 환경에서 사용할 수 있는 LSB-first SAR 라는 기법을 제안하여 저전력 구현을 달성하였으며, Broadcom에서는 SAR-assisted pipelined ADC를 구현하면서 노이즈 감소 및 이득을 개선할 수 있는 dynamic residue amplifier를 제안하여 14b 80MS/s 2x TI ADC in 28nm CMOS를 1.5mW의 전력소모로 설계하였다 (#11.4). U. of Michigan에서는 residue amplifier에서의 opamp의 대안으로 제안되었던 ring amplifier의 단점을 개선한 구조를 선보였다.

올해에도 역시 time-interleaving을 이용한 고속화 설계와 timing-skew 개선 기법은 여전히 중요하게 다루어졌고, 다양한 저전력 기법들이 많이 발표되었다. 한편, Nyquist ADC에서 고해상도를 구현하기 위한 calibration 기법에 초점을 둔 연구는 크게 찾아볼 수 없었다. ISSCC에서 발표된 ADC들의 전반적 성능 추이를 확인하기 위해서는 IEEE Solid-state Circuits Magazine Winter 2014호의 ISSCC trends를 참고하면 도움이 될 것이다.

류 승 탁 교수
KAIST 전기 및 전자공학과
연구분야 : Analog, Data converter
Email : stryu@kaist.ac.kr

DC-DC Converters and Analog Techniques

DC-DC Converters (Session 4)

커패시터 구성을 모듈화하여 커패시터 사용률을 높이고 최적의 커패시터 비율을 찾아 출력 전압 리플을 줄이고 최적의 효율을 가질 수 있도록 하는 부귀환 제어가 공통으로 적용

DC-DC Converters (Session 4)

기존의 인덕터 기반의 직류-직류 변환기를 대체할 수 있는 정도의 성능을 가지는 커패시터 스위칭 직류-직류 변환기의 약진이 두드러지고 있다. 커패시터 스위칭 직류-직류 변환기의 효율 및 전력밀도는 꾸준히 개선되고 있는데, 커패시터 구성을 모듈화하여 커패시터 사용률을 높이고 최적의 커패시터 비율을 찾아 출력 전압 리플을 줄이고 최적의 효율을 가질 수 있도록 하는 부귀환 제어가 공통으로 적용되고 있다. 총 8편의 논문 가운데 4편의 커패시터 스위칭 직류-직류 변환기 논문이 발표되었는데, 0.25㎛ CMOS 공정을 이용한 UCSD의 커패시터 스위칭 직류-직류 변환기는 0.9V~2.2V 출력 범위에 대해 2mA 부하 전류에서 70% 이상 최대 85% 효율을 얻고 있으며, ETH Zurich와 IBM에서 발표한 32nm SOI CMOS 공정 기반의 커패시터 스위칭 직류-직류 변환기는 4GHz CLK을 사용하여 840mW의 출력에서 90%의 효율과 3.7W/mm2의 전력 밀도를 보여 주고 있다.

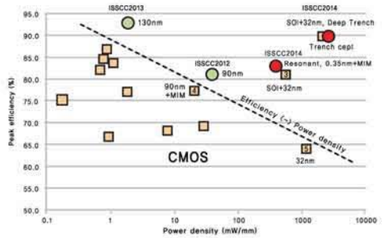


그림 1. 커패시터 스위칭 직류-직류 변환기의 효율과 전력 밀도의 상관 관계를 보여주는 그래프. 최근의 결과는 효율 저하 없이 높은 전력 밀도를 얻고 있음을 보여 준다.

인덕터 기반의 직류-직류 변환기 또한, 4편의 논문이 발표되었는데, 한 개가 아닌 여러 개의 인덕터를 사용하는 다상 방식과 디지털 제어를 도입하는 등 기존의 성능을 뛰어넘으려는 시도 또한, 꾸준히 계속되고 있다.

Analog Techniques (Session 17)

매년 기존의 범주를 넘어서 다양하게 발전하고 있는 현대 아날로그 회로 기술들이 소개되고 있다. 올해에도 필터, 앰프, 오디오, 전압 조정기, 발진기 등 여러 분야에서 새로운 아이디어를 통해 정밀도, 소비전력, 동작 전압 등 성능 면에서 새로운 지평을 여는 많은 논문이 발표되었다.

17.1 Twente大 논문은 D급 전력 증폭기가 영전압 스위칭 동작을 통해 스위칭 손실을 줄이고 높은 효율을 유지할 수 있도록 스위칭 주파수가 가변되는 방식에 대한 논문이다.

17.2 Macao大 논문은 전류 미러를 반복적으로 사용한 1단 앰프를 제안하였는데 높은 슬루율과 빠른 응답 속도를 가지면서도 넓은 영역의 커패시터 부하에 대해서도 항상 안정한 특성을 구현하였다.

17.3 KAIST 논문은 항상 복잡한 수식을 동반하였던 Nested Miller 보상을 새로운 관점에서 접근하여 직관적인 설계 가이드를 제시하고 기존의 3단 증폭기 보상을 최적화하여 성능을 개선하였다.

17.4 Politecnico Di Milano 논문은 0.35㎛ CMOS 공정을 이용하여 aF 단위의 커패시턴스까지 측정할 수 있는 임피던스 분석기를 구현하였다.

17.5 NXP 논문은 Dynamic Element Matching 기법을 이용해 0.1% 이하의 이득 오차를 가지는 2채널 instrumentation 증폭기를 구현하였다.

17.6 STM 논문은 두 개의 Buck type 스위칭 레귤레이터를 커패시터로 커플링하여 하나는 낮은 주파수 대역을 담당하고 다른 하나는 높은 주파수 대역을 담당하도록 구성하여 RF 전력 증폭기의 Envelope Tracking Modulator를 구현하였다.

17.7 MediaTek 논문은 28nm CMOS 공정을 이용하여 온도에 따른 주파수 편차가 작고 낮은 전원 전압에서 아주 작은 전력을 소모하는 수정 발진기를 구현하였는데, 펄스 구동을 통해 전력 소모를 줄인 것이 특징이다.

17.8 TI 논문은 미분기 형태의 RC 구조와 인버터 체인을 사용하여 190nW 전력 소모의 33kHz 발진기를 만들었으며, 인버터 특성을 따라가는 전원 전압을 사용하여 안정된 주파수를 얻고 있다.

17.9 Columbia大 논문은 스위칭 모드로 동작하는 OP-amp를 도입하여 4차 Butterworth 필터에 적용하였는데 0.6V의 낮은 전원 전압에서도 높은 성능 지표를 얻는 것이 특징이다.

17.10 대만 국립교통대 논문은 기준 전압 생성기와 LDO regulator를 합하여 구성함으로써 작은 면적으로 0.65V의 낮은 입력 전압에서도 동작하는 간단한 전압 조정기를 구현하였다.

17.11 홍콩과기대 논문은 루프 설계가 상대적으로 간단한, voltage follower를 포함하는, LDO의 dc regulation 특성을 개선하기 위하여 3단자 입력의 오차 증폭기를 도입하였고 출력과 오차 증폭기를 연결하는 루프를 추가하여 그 강도를 조절함으로써 루프 안정성과 dc regulation 특성의 상대적인 비중을 조절하여 원하는 특성을 얻었다.

우 영 진 책임연구원
실리콘웍스 Power-IC개발팀
연구/개발 분야 : Power Management IC
Email : wooyj@siliconworks.co.kr

Wireline communication

올해에도 저전력, 고속 인터페이스 관련 논문들이 많이 발표되었다. 발표된 논문 중 Wireline Transceiver 관련 논문들은 크게 4개의 세션, Session 2(Ultra-High-Speed Transceiver and Techniques), Session 8(Optical Links and Copper PHYs), Session 25(High-Bandwidth Low-Power DRAM and I/O), Session 26(Energy-Efficient Dense Interconnects)에서 주로 발표되었다.

Session 2에서는 초고속 인터페이스 관련 논문들로 정교하면서도 적은 전력을 소모하는 등화기와 클록킹 회로들로 구성되었다. 이 세션에서 RX 단의 등화기 기술은 예년과 마찬가지로 DFE 기술들이 많이 발표되었다. 특히 저전력 소모를 타깃으로 한 DFE 기술이 많이 발표되었는데, CDR의 전력소모를 극적으로 절감하려는 방안으로 2012년 VLSI에서 제안되었던 Charge steering 방식의 논리회로를 DFE 회로에 적용시켜, 회로 구성에 다양한 적용 가능성을 제시하기도 하였으며, 이제껏 아날로그 회로의 이득과 대역폭의 한계로 공급전압을 낮추기 힘들었던 DFE의 구성요소들을 보완하여 16Gbps의 전송속도에서 공급전압을 0.7까지 낮춘 논문도 발표되었다. TX 단에서는 드라이버의 공정 변화에 따른 진폭변화를 최소화하기 위한 bias calibration과 전송선을 이용하여 60Gbps의 전송속도를 갖는 on-chip 집적화 기술, 디지털 필터를 이용하여 여러 가지 변화로 인한 FFE의 계수 오류에 둔감하도록 설계된 B-FFE가 소개되었다.

Session 8에서는 optical link와 관련하여 optical 구성요소의 비선형성들로 인한 electronic dispersion을 보상하기 위한 논문들과 LDD와 VCSEL을 VIA를 통해 interposer 위아래에 위치시킴으로써 two dimensional array를 가능케 하거나 인덕터를 공유하여 면적을 절반 이상 감소시킨 논문 등이 발표되었으며, copper PHY와 관련하여 작년에는 뜸했던 reference-less system을 위한 새로운 clock recovery기술들이 소개되었다. Session 25는 총 3개의 발표된 논문 모두 한국에서 나온 세션으로, 삼성에서는 처음으로 LPDDR4용 SDRAM을 선보였으며, SK하이닉스에서는 새롭게 4개의 적층된 TSV를 갖는 HBM과 대기전력과 I/O의 전력소모를 줄인 GDDR5M가 소개되었다.

Session 26에서는 효율적인 송수신을 위한 회로들이 많이 발표되었다. 채널의 효율적인 사용을 위한 half-duplex와 bidirectional link 회로들이 발표되었으며, 기존의 인코딩을 통하여 효율적으로 차동신호를 만들어 보내던 방식을 개선하여 SNR과 ISI, crosstalk에 대해 발전시킨 재미있는 기술도 소개되었다. 또한, voltage 방식의 DDR4와 GDDR5 호환 가능한 dual mode TX와 voltage 방식에서 문제가 되어왔던 dynamic power scaling을 해결한 TX 등이 소개되었다.

김 철 우 교수
충남대학교 컴퓨터공학과
연구분야 : Transceiver, PLL, DC-DC 변환기, 에너지 하베스팅
Email : ckim@korea.ac.kr

Memory Circuits

2014년도 ISSCC의 메모리 시스템 분야에서는 Embedded SRAM, DRAM 및 FLASH 메모리 등의 지속적인 스케일링이 있었고, 다양한 응용분야로 적용되는 것을 볼 수 있었으며, 특히 삼성과 SK Hynix의 두각이 돋보였다.

ISSCC 2014에서 주목할 만한 Memory 관련 논문들은 다음과 같다.

- 1-Gb eDRAM using a 22-nm trigate logic process and capable of being clocked at 2 GHz (Intel)
- Three-dimensional 128-Gb MLC Vertical NAND Flash-Memory (Samsung)
- 128-Gb 2 b-per-cell NAND-Flash design using 16-nm planar cell technology (Micron)
- 128-Mb SRAM designed in 14-nm FinFet CMOS using a 6T bitcell with Vmin-enhancement techniques (Samsung)
- Embedded ReRAM in 28-nm capable of working down to 270 mV (NTU, TSMC)
- 8-Gb eight-channel 128 GB/s high bandwidth memory (HBM) DRAM using TSV (SK Hynix)
- 3.2-Gb/s/pin 8-Gb 1.0-V LPDDR4 SDRAM with an integrated ECC engine (Samsung)

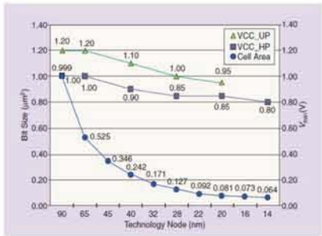


그림1 〈SRAM bit-cell and minimμm-supply-voltage scaling

그림 1에서 보는 바와 같이 SRAM의 bit-cell size는 지속해서 감소되어 왔으나, 그 기울기가 포화되고 있음을 알 수 있으며, SRAM의 Vmin도 스케일링이 점차 포화되어 0.8 V 이하로의 진입이 쉽지 않음을 볼 수 있다. SRAM power 소모량이 전체 SoC 파워 소모의 상당 부분을 차지하는 상황에서, 그 해결책으로서 FinFET을 이용한 low-power SRAM의 개발은 가속화되어 0.5V Vmin에서 동작하는14nM FinFET 128Mb 6T SRAM을 삼성에서 발표하였다. NAND Flash분야에서는 16nm 공정의 64Gb (SK Hynix)과 128Gb (Micron) Planar NAND제품이 발표되었고, 스케일링의 한계를 극복하며, 저비용으로 생산이 가능한 3차원 구조의 2b/cell 128Gb Vertical-NAND (VNAND) 기술이 삼성에 의해 발표되었다.

DRAM 분야에서는 SK Hynix에서 8Gb 128GB/s High-Bandwidth Memory (HBM)를 발표하였다. 4개의 DRAM과 1개의 Base logic Die를 Stack시켜 TSV를 이용한 Wide-IO 구조의 stacked-DRAM으로, logic interface chip을 사용하여 CIO와 chip-to-chip 커넥션 fail을 줄이고, testability와 reliability를 향상시켰다.

Embedded Memory 분야에서는 Intel이 22nm Tri-Gate CMOS 공정을 이용한 1Gb 2GHz eDRAM을 발표하였다. Intel Iris Graphics Pro에 장착되어 L4 cache로 동작하는 eDRAM은 CPU와 On-package IO (OPIO)로 연결된 multi-chip-package (MCP) 제품이다.

김 종 선 교수
홍익대학교 전자전기공학부
연구분야 : Analog and Mixed-Signal IC Design, I/O Interface, Clocking Circuits, PMIC design
Email : js.kim@hongik.ac.kr

PLL and Clock Generation

예년과 마찬가지로 올해도 PLL 회로는 ISSCC의 여러 분과에서 다루어졌다. RF 분과에서는 wireless application에 특성화된 GHz 대역의 LC-oscillator를 이용한 low-phase noise, low-spur frequency synthesizer를 다루고, wireline 분과에서는 high-speed link에 응용될 수 있는 low-jitter PLL, DLL technique 을 다루고 있다. Digital PLL은 모두 High-performance digital 분과에서 다루고 있으며 앞으로도 당분간 이러할 듯하다. 올해 특이한 점은 Analog 분과에서 PLL, DLL 등의 회로를 하나도 다루지 않았다는 점이다. Power Management 회로 논문이 너무 많이 접수되어서 그렇게 된 것인데, 내년에는 어떨지 지켜봐야 한다.

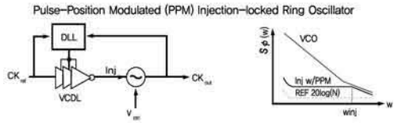


그림 1. #2.8의 injection locked oscillator with DLL feedback for pulse-position modulation

2014년의 PLL 관련 논문들은 크게 세 session #2, #15, #21에서 소개되었다. (이외에도 #9.8, #28.2에도 PLL 논문이 있다.) Session 2의 #2.8은 injection locking을 이용한 ring oscillator를 보여주는데 특이하게 injection-locked ring-osc.에 DLL을 이용한 feedback을 추가로 달아 injection timing을 맞추고 1/f noise까지 suppress 한다고 주장하고 있다 (그림 1).

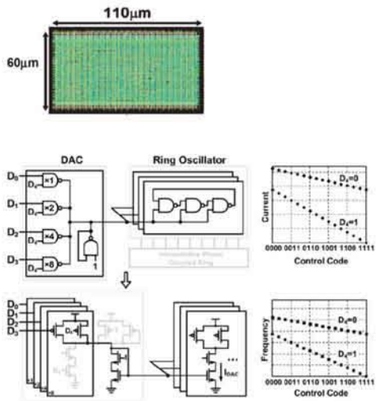


그림 2. #15.1의 합성한 PLL 과 합성한 DCO 구조

요즘 인기 있는 injection-locked technique에서 오랜만에 나온 신선한 구조로 볼 수 있으나, 측정 결과가 아쉽고, reference spur가 jitter 계산에서 빠졌다는 점에서 성능을 문제삼을 수 있다. #2.9는 digital PLL의 bandwidth를 calibration하는 방법으로 추가적인 외부 입력 없이 delta-sigma modulator(DSM)의 예측할 수 있는 quantization noise을 이용하여 스스로 calibration이 된다는 점이 주안점이다. Session 15를 보면, 먼저 #15.1에서는 Synthesizable PLL이 소개되었다 (그림 2). 기존에도 합성 가능한 PLL이 있었으나 본 논문에서는 reference injection과 dual-PLL을 사용하여 noise 성능을 향상시켰다. 참고로 이 두 가지 technique은 작년에 같은 저자들이 analog로 제안했던 방식인데, 사실 작년 논문은 아날로그 설계관점에서 봤을 때 좋은 논문이 아니었으며, 차라리 디지털로 합성한 올해 논문이 훨씬 더 낫다고 볼 수 있다. #15.2~#15.4에서는 fractional-N PLL을 다루고 있는데 요즘 추세대로 linear TDC를 사용하지 않는 방법을 모두 사용하고 있다. Linear TDC를 사용하지 않기 때문에 결국 Fractional-divider 또는 DTC가 필수적이다. 구조적으로 볼 때 TDC대신 DTC를 쓴 것을 조삼모사라 볼 수도 있지만, 나쁘지 않은 성능을 보이고 있다. #15.2, #15.3에서는 Supply noise를 줄이는 부분을 다루고 있는데 차라리 이 부분이 더 회로적으로 재미있고 공부할 만하다.

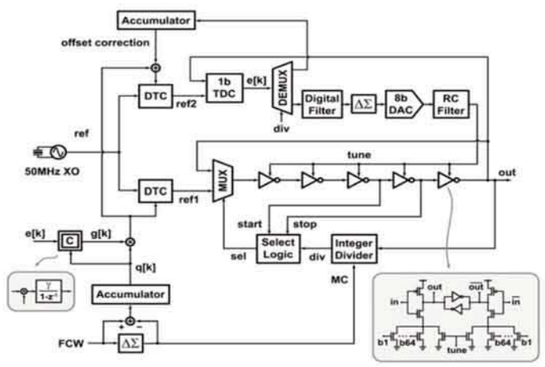


그림 3. #21.1의 MDLL을 이용한 fractional-N PLL 구조

Session 21에서는 RF에 필요한 여러 Frequency Synthesizer를 소개하고 있으며 이 중 주목할만한 것은 #21.1과 #21.2인데 모두 기존의 integer-N에 사용되던 low-noise 기법을 Fractional-N까지 확장시켰다는 점이 새롭다. #21.1에서는 MDLL을 사용하여 noise를 낮추고 두 개의 DTC를 사용하여 Fractional-N synthesis를 가능케 하였다 (그림 3). (위와 마찬가지로 DTC가 성능의 한계를 가져온다.), #21.2에서는 low-noise를 얻기 위해 sub-sampling technique(SST)를 사용하고 fractional-N을 위해 SST에 인가되는 pulse-width를 digitally제어하고 하고 있는데 결국은 이것이 DTC와 다름없다 (마찬가지로 DTC가 성능의 한계). #21.4의 PLL은 SST를 사용한 analog PLL이며 구조 또는 회로로 보았을 때 새로운 것은 없다고 볼 수 있으나, 60GHz로 동작 주파수를 끌어올렸고 성능도 매우 좋다.

작년과 마찬가지로 올해도 전반적으로 보면 low-noise 기법으로는 sub-sampling과 injection-locking (MDLL 포함)이 주로 사용되었으며 구조적으로는 TDC를 배제하고 대신 여러 형태의 DTC를 사용하는 PLL들이 주를 이루었다. (사실 PLL이 워낙 오래된 분야여서 사실 획기적인 구조가 나오기도 힘들다.) 절대 noise 성능으로 본다면 Fractional-N PLL의 경우 State-of-the-art FOM이 -240 근처에서 수년째 계속 머물고 있으며 Integer-N도 기록 경신은 보이지 않았다. 한국에서는 한 편의 논문이 채택되었는데 삼성전자의 장태광씨가 개발한 PLL이다 (#15.2).

조 성 환 교수
KAIST
연구분야 : PLL and CMOS Sensors
Email : chosta@ee.kaist.ac.kr

Energy harvesting

주위환경으로부터 에너지를 수확하는 에너지 하베스팅은 올해 별도의 세션(#23)을 구성하여 총 8편의 논문이 발표되었다. 이 분야는 전통적으로 아시아지역의 연구자들이 주로 강세를 보여왔는데, 올해는 미국에서 5편의 논문이 발표되어 미주지역의 연구가 최근 강화되었음을 확인할 수 있었다. 하지만 나머지 3편의 아시아논문이 모두 국내연구자들(고려대 2편, KAIST 1편)에 의해 발표되어, 한국이 분야기술을 선도하고 있음을 알 수 있었다. 사용되는 응용분야에 따라 웨어러블 소자, 센서 네트워크, 헬스케어 기기들의 소비전류는 nW에서 mW수준까지 넓게 변화할 수 있고, 에너지 하베스터 출력전압도 sub-1V에서 수십 V로 큰 범위를 가질 수 있다. 이러한 각기 다른 상황에서 다양한 에너지원를 이용하는 고효율의 에너지 하베스팅 기술들이 소개되었다. 이 중에서 한국에서 발표된 논문들을 살펴보도록 하겠다.

홍콩대와 고려대가 공동 발표한 23.1 논문은 하베스팅 효율을 높이기 위해서 Charge Pump 회로의 body bias 전압을 스위치 on/off 상황에 따라 조절하여, 누설전류와 스위치 turn-on 저항값을 줄이고, 스위치 dead-time을 입력전압에 따라 adaptive 하게 최적화하는 기법을 사용하였다. 제안된 Charge Pump는 기존의 구조에 비해 최대출력전류를 2.4배 증가시켰으며, 0.15V의 낮은 입력전압에서도 동작할 수 있도록 구현되었다. KAIST가 발표한 23.5 논문은 압전소자에 걸리는 내부전압을 회로소자가 견딜 수 있는 한계까지 pile-up시켜서, 일반적인 공진방식보다 더 많은 에너지를 생산할 수 있는 Energy Pile-up Resonance 기술을 소개하였다. 0.35㎛ BCDMOS 공정으로 제작된 하베스팅 인터페이스로 압전소자의 내부전압을 5.3배 Pile-up하여, 기존 공진방식보다 422% 큰 에너지를 하베스팅한 결과를 제시하였다.

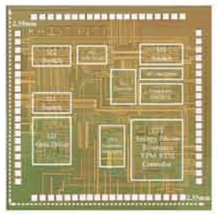


그림 1. Energy Pile-up Resonance 방식을 이용한 에너지 하베스팅 인터페이스

고려대에서는 23.7 논문을 통하여, 앞서 발표된 최신연구보다 9배 빠른, 즉 One-cycle안에 동작하는 새로운 Maximum Power Point Tracking(MPPT) 회로를 이용하여 99%의 높은 MPPT 효율을 가지는 에너지 하베스팅 시스템을 발표하였다.

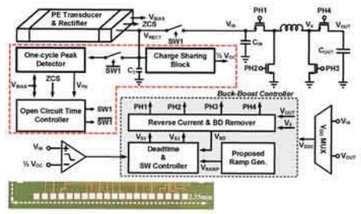
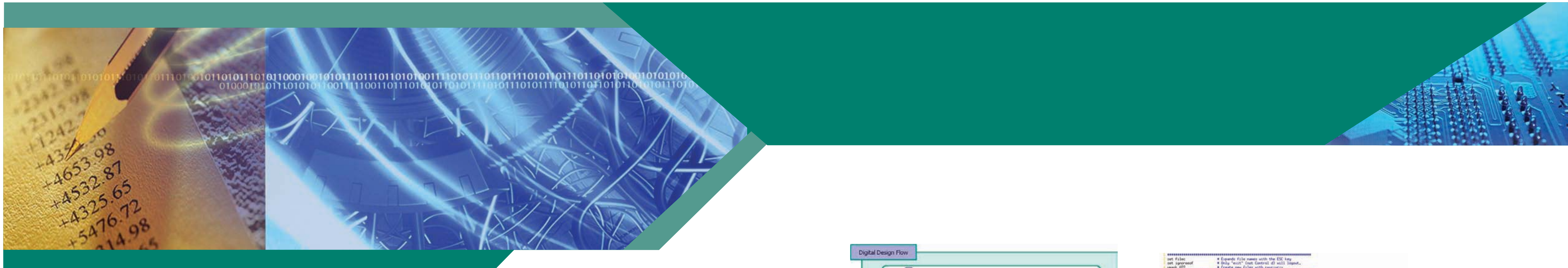


그림2 One-cycle에 동작하는 MPPT(Maximum Power Point Tracking)을 이용한 에너지 하베스팅 시스템

에너지 하베스팅 분야는 매년 발표논문 수가 증가하는 추세로서 국제적인 관심이 지속해서 높아지고 있다. 앞으로도 다양한 에너지원에 대하여 적용 가능한 저전력회로를 구현하여 하베스팅 효율을 높이는 방향으로 연구가 계속될 것으로 보인다.

이 재 열 박사
삼성전자 S.LSI DS 개발팀
연구분야 : DDI, Analog IP 개발
Email : jyoul.lee@samsung.com



디지털 시스템의 MPW 설계 방법에 대한 이해 (2)

Design Compiler를 이용한 합성

서론

최근 심각해지는 반도체 업계의 인력난과 어려움에 반하여 대학 및 관련 분야에서는 숙달된 고급 인력의 지속적인 양성이 힘들어 둘 사이에 장벽이 존재하고 있다. 이는 축적된 노하우를 바탕으로 지속적인 칩 제작을 하면서 고급인재를 양성하는 대학 및 연구실이 많지 않다는 것을 뜻하며, 칩을 만들고자 하는 대학은 HOW-TO 문서를 그때그때 검색하고 짧은 기간에 임기응변식의 칩 제작을 한다는 뜻이기도 하다. 실제 MPW 참여자들의 경우 정기적으로 참여하는 팀과는 대조적으로 MPW 참여와 동시에 구글링부터 시작하는 사람들이 많다. 칩 설계 고급 인력 양성을 위해서는 시간과 노력이 많이 들어가야 하므로 직관적이고 정확한 이론 및 실습자료가 매우 필요하다. 본 고에서는 지난 호에 소개된 "SoC 시스템과 IDEC MPW Flow 소개" 에 이어 "FPGA 검증부터 Synopsys Design Compiler를 이용한 합성" 에 대해 알아보고자 한다.

본론

1. Functional Simulation

지금부터는 실제 MPW flow를 밟아나간다고 가정하여 기술하도록 하겠다.

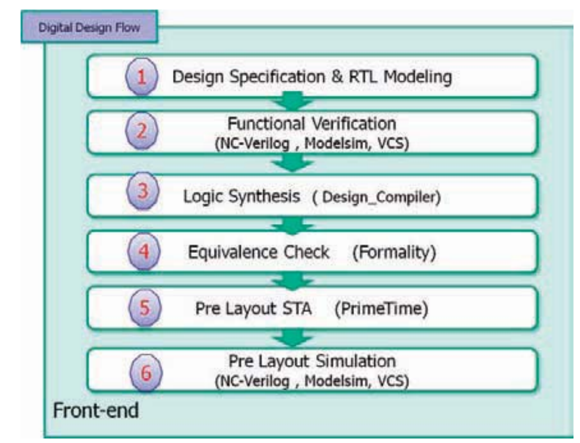


그림 1 IDEC MPW FLOW (Digital Front-End)

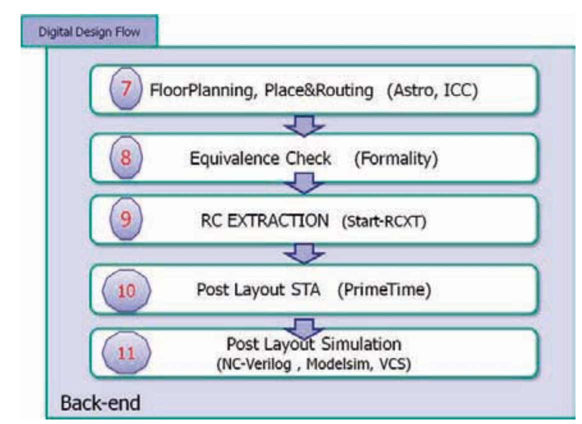


그림 2 IDEC MPW FLOW (Digital Back-End)

지난 호에 소개한 IDEC MPW FLOW를 참고하길 바라며, 먼저 11단계 중 1번은 이미 완성되었다고 가정한 후, 2번 Functional Simulation부터 진행한다. 윈도우에서 모델심으로 이미 Funtional Simulation은 완료했지만 MPW 과정을 진행하면서 시뮬레이션을 반복적으로 진행할 것이므로 리눅스에서 CADENCE의 INCISIVE를 사용한 시뮬레이션을 진행하도록 한다.

그림 3 CADENCE 환경 변수 지정

먼저 CADENCE 툴 설치와 RTL 소스 준비가 완료되었다고 가정한다. 먼저 환경변수 설정을 위해 그림 3과 같이 파일 하나에 모든 환경 변수를 정의한다. 이를 스크립트 파일로 운영하고 14행에 CADENCE_IUS 라는 변수로 해당 툴 설치 디렉토리를 정의했다. 이후 21행처럼 툴 실행 시 필요한 라이브러리들의 위치도 지정하며, 27행과 같이 bin 파일들이 있는 위치를 path라는 환경변수로 등록한다. 이를 통해 툴 실행에 대한 준비는 완료했으며, 추가로 라이센스 파일의 위치 지정을 하면 되겠다. 그림에는 나타내지 않았지만 라이센스 지정에 주로 사용되는 환경변수인 LM_LICENSE_FILE 또는 케이던스 전용 변수인 CDS_LIC_FILE을 사용하면 되며 "LM_LICENSE_FILE xxxx@143.248.xxx.xxx " 와 같이 표기하면 라이센스 서버와 라이센싱 포트를 선언할 수 있다.

그림 4 커맨드 방식으로 툴 실행하기 위한 파일 작성

그림 4 처럼 스크립트 파일을 생성하고 시스템에 적용했다면 터미널에서 케이던스 시뮬레이터를 Invoke 할 수 있을 것이다. 툴 실행 방법은 GUI 방식 또는 커맨드 방식이 있는데, 필자는 실행 커맨드를 스크립트 파일에 기록하여 이를 추후에도 이용하는 커맨드 방식의 툴 실행이 좀 더 편리하다고 생각한다. 그림 4에서는 파일 내용을 볼 수 있는데 이와 같은 방식으로 파일을 저장하면 툴 실행과 동시에 프로젝트 안에 파일을 자동으로 불러들여 컴파일하고, 시뮬레이션 및 로그 파일 저장까지 한 번에 가능하므로 여러가지 장점이 있다.

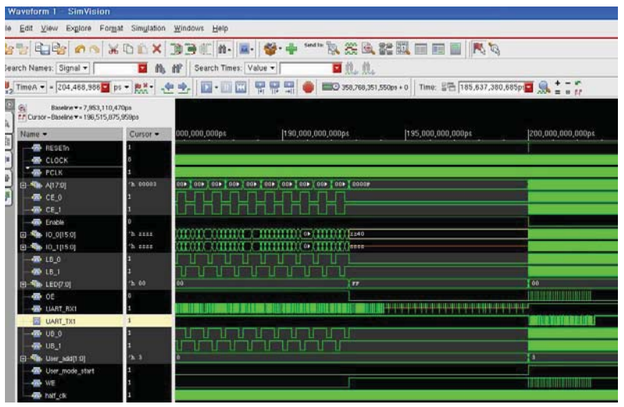


그림 5 Functional Simulation 결과

이렇게 구동한 시뮬레이션의 결과 파형은 그림 5에서 확인할 수 있다. 이전의 모델심 시뮬레이션 결과와 동일한데, 시스템 리셋 후 하이라이트 처리된 UART_TX1 포트에 토글링이 일어나고 있는 것을 통해 시뮬레이션에 문제가 없음을 알 수 있다.

2. DC 소개

Functional Simulation까지 이상 없이 완료했다면 MPW 공정에 적용하기 위해 Synopsys Design Compiler를 이용한 합성을 진행하도록 한다. 먼저 합성에 대한 내용을 이해하기 위하여 그림 13을 살펴보기 바란다. 합성 Synthesis는 Translation과 Logic Optimization, 그리고 Gate Mapping을 포함하는 개념이다. 3가지는 순차적으로 진행되는데, 먼저 Translate는 순수한 RTL 소스를 읽어 들임과 동시에 시놉시스의 디자인 포맷인 GTECH 또는 ddc 형태로 변환하는 일을 한다. Translate를 수행하면 그림 중앙에 있는 것처럼 그림으로 디자인을 확인할 수 있게 된다. 이 당시에는 소스를 그림으로만 변환하여 보여준 것이므로 일반적인 Boolean Gate들을 사용하여 디자인을 살펴볼 수 있다.

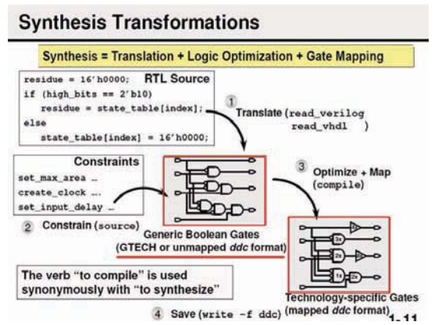


그림 6 합성의 내부적인 단계

Translate 과정을 수행한 뒤에는 해당 디자인의 목적 스펙을 기술한 Constraint 파일을 적용하는 것이 반드시 필요하다. 예를 들어 클럭 동작 주파수, 입/출력 딜레이 시간, 입/출력 포트에 존재하는 저항의 크기, 칩의 동작 환경 등이 그것이다. Constraint 파일에 자세히 기술하여 적용한 뒤, Optimize를 수행하면 목적하는 스펙을 맞추기 위하여 타이밍에 대한 노력, Area에 대한 노력 등을 수행하게 된다. 예를 들어 몇 가지 셀들의 일을 하나로 수행할 수 있는 특수 칩을 검색 및 적용함으로 사이즈를 줄이면서 타이밍을 맞추고, 타이밍에 문제가 생기는 구간에 버퍼를 삽입하기도 하는 등의 노력이 그것이다. 이 과정에서 칩 공정사의 PDK에 있는 Standard 셀들을 검색 및 적용하는 것이 Map 과정이다. Optimize + Map 과정이 완료되면 공정사의 셀로 맵핑되었으므로 Mappped 된 ddc Format이라고 일컫는다. 전통적으로 시놉시스는 db 포맷을 사용하는데, ddc 포맷은 기존 포맷보다 Re-Use 및 처리속도가 개선되었다.

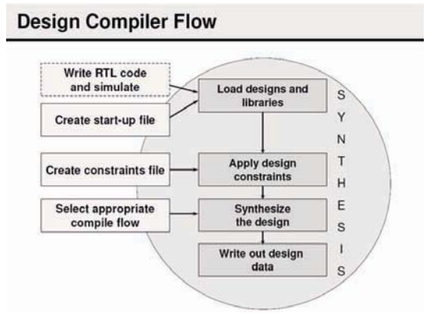


그림 7 Design Compiler 동작 흐름

처음 Design Compiler를 접하는 사람들은 이 툴을 어떻게 다루어야 하는지가 궁금할 것이고, 그 자체가 큰 문제일 것이다. 먼저 그림 7을 통하여 궁금증을 해결할 수 있을 것이다. 큰 원 안의 흐름이 Design Compiler의 진행 순서이다. 먼저 디자인과 라이브러리를 로드하는데, 이 때 말하는 디자인은 당연히 RTL 소스일 것이고 라이브러리는 공정사에서 제공하는 PDK 내의 .db 파일일 것이다. 아울러, 시놉시스는 최초 툴 실행 이전에 소스와 .db의 위치를 미리 지정하도록 하는 환경 변수들이 있다. 이들을 Start-up file에 저장하는 작업도 미리 수행해야 한다. 디자인과 라이브러리의 로드를 완료하면 앞서 설명했던 Translation이 완료된다.

이후에는 Constraint file 적용단계를 진행한다. 해당 디자인에만 Dedicate 된 전용 스펙을 충분히 기술할 수 있는 노하우가 필요한데 본 고에서는 기본적인 디자인을 사용하고 있으므로 시놉시스에서 제안하고 있는 내용만으로 적용할 수 있다. 이후 내용을 통해 Constraint 내용을 하나하나 기술할 것이다. Design Compiler는 Constraint를 디자인에 적용한 이후 사용자가 직접 Constraint 적용 자체의 이상 유무나 딜레이 값 또는 저항 값의 적절성 등을 확인할 수 있도록 하는 커맨드를 제공한다. 따라서 사용자가 꼼꼼하기만 하다면 많은 경험이나 Know-How가 없어도 어느 정도의 확실성을 가질 수 있다. Constraint 내용을 파일 하나에 기술했다면 source xxx.file 등의 커맨드로 간단히 적용할 수 있다.

앞 단계까지 이상 없이 진행되었으면 실제 합성을 하는데, Compile과 Compile_Ultra 2가지의 커맨드를 사용할 수 있으며, 독자의 연구실에서 라이센스를 보유하고 있다면 앞서 언급되었던 Optimize에 많은 장점을 가진 Compile_Ultra의 사용을 권장한다. 컴파일 커맨드에도 여러 옵션이 있으니 관련 문서를 참고하여 적용하기 바란다. 합성 중에는 내부적으로 Optimize + Mapping을 하는 과정에서 많은 메시지가 나오게 된다. 설계자가 꼼꼼하게 읽어보고 이상 유무를 잘 판단해 나간다면 많은 경험이 없어도 약진해 나가는 것이 가능할 것이다.

합성 이후에는 최초의 소스가 게이트 레벨로 변환되기 때문에, 합성 결과를 흔히 Gate-level Netlist라고 일컫는다. 형식은 Verilog로서 가독성은 높지 않지만, 계층구분이나 특정 Net의 추적은 가능하다. 완성된 넷 리스트는 Constraint와 비교하여 타이밍을 만족하는지를 판단하는 과정이 반드시 필요하다. 그림 7에는 표현되지 않았지만 실제로는 이 과정이 가장 어려우므로 설계자는 합성 결과가 도저히 개선되지 않을 경우, RTL 소스를 수정하여 스펙을 맞출 수 있도록 노력을 할 것인지, 스펙을 재설정하고 Constraint 파일을 수정하여 디자인에 재적용할 것인지, 혹은 넷 리스트의 직접적인 수정을 통해 문제를 해결할 것인지 등을 매번 고민해야 할 것이다. 한 가지 명심해야 할 것은 FPGA에서 검증된 소스라고 하더라도 그것은 어디까지나 FPGA에서만 검증된 것이므로, 칩 구현을 위한 합성 단계에서는 Constraint와 PDK 특성에 따라서 얼마든지 소스 수정이 필요할 수 있다는 점이다.

타이밍을 만족했다면 그림 7의 하단에 묘사된 것처럼 디자인 데이터를 뽑아낸다. 최적화된 넷 리스트와 디자인에 적용했던 Design Constraint 등으로서, 이후 단계의 툴들에게 입력으로서 제공하면 되겠다.

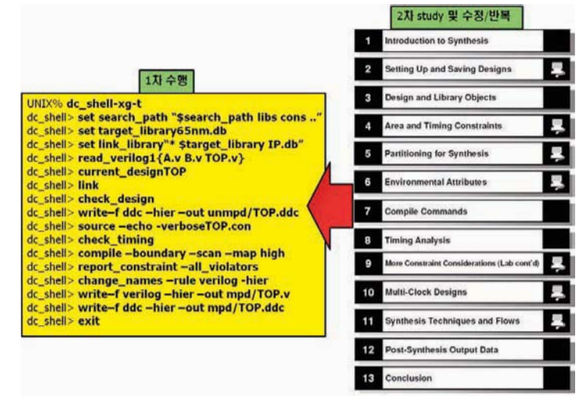


그림 8 합성의 단계 및 study 순서

그림 8을 통해 앞서 기술된 Design Compiler의 수행방법을 확인할 수 있다. 특별히 Constraint가 준비되지 않은 상황에서 Design Compiler의 기본적인 Flow를 확인해야 할 필요가 있는데, 왼쪽 박스에 기술된 흐름대로 명령을 내려가면 Design Compiler의 시작부터 종료까지 가능하다. 어느 정도 툴링을 익혔다면 오른쪽 그림처럼 Design Compiler에 대한 스터디를 통해서 더 잘 기술된 Constraint를 만들 수 있을 것이고 더 좋은 컴파일 커맨드를 내릴 수 있게 되어 최적화된 넷 리스트를 얻어낼 수 있을 것이다.

3. 기본적인 환경 변수 및 Start-Up 파일 소개

지금부터는 위에서 기술한 전반적인 Flow를 세부적으로 살펴보도록 하겠다.

```
setenv SYNOPSYS /tools/synopsys/DesignCompiler/E-2010.12-SP2

setenv LM_LICENSE_FILE 26585@ls1idec:26585@ls2idec

set path = ($path $SYNOPSYS/bin)
```

그림 9 Synopsys 환경 변수 선언

먼저 Design Compiler의 툴 구동을 위하여 그림 9와 같이 환경 변수를 선언해야 한다. 해당 내용을 파일로 저장하여 추후에 재사용을 하면 편리할 것이다. 1행에서는 툴이 설치된 위치 경로를 기술하고 3행에서는 라이센스 서버의 포트 및 IP 주소를 기술하고, 5행에서는 bin 파일의 위치를 등록할 수 있도록 한다.

```
1  set dc_source_path ../../source
2  set project_path ../../../core-a_example_uart_fifo
3
4  set search_path "$search_path $project_path/PDK/Semi/FE/Synopsys_DB/hgi1113tp1_040926/db \
5                   $project_path/PDK/Semi/FE/Synopsys_DB/w18gw180s_synopsysdb_090429 \
6                   $dc_source_path"
7
8  set synthetic_library du_foundation.sldb
9
10 set target_library "w18gw180s_wci.db"
11 set link_library "* $target_library $synthetic_library hgi1113tp1_wci.db"
12 set symbol_library w18gw180s.sdb
13
14 set hdlin_enable_configurations true
```

그림 10 .synopsys_dc.setup 환경 파일

환경 파일의 sourcing을 통해 툴 구동이 가능하고, 디자인 소스들이 준비되었다고 가정한다. 다음으로 사용자는 그림 10에 있는 것처럼 Start-Up 파일을 준비한다. Start-Up 파일은 툴이 실행됨과 동시에 자동으로 읽어가기 때문에 오류 없이 작성되어야 한다. 1, 2행을 통해 소스 및 프로젝트의 위치를 지정하고 4행을 통해 .v 와 공정 라이브러리인 .db 들의 위치를 지정한다. IDEC은 Compile_Ultra 명령이 지원되는 라이센스를 보유하고 있으므로 8행처럼 Design Ware 라이브러리도 이용할 수 있도록 준비한다. 10, 11, 12행을 통해 반드시 필요한 파일들의 위치를 알려주어야 한다. 그림 10에서 볼 수 있는 파일은 synopsys_dc.setup이라는 이름으로 존재해야 하며, 파일이름은 (.)로 시작해야 한다. 리눅스 또는 솔라리스 시스템에서는 파일 이름이 (.)로 시작하면 터미널에서 일반 ls 명령으로는 보이지 않으니 참고하기 바란다.

4. DC 구동 스크립트 소개 및 세부 사항

그림 8에서 설명된 Design Compiler의 시작부터 종료까지의 커맨드를 좀 더 자세히 기술하도록 하겠다. 커맨드를 하나의 파일에 담고, Design Compiler 수행 시마다 터미널에서 실행시키면 편리할 것이다.

```
1  set top_design pad_soc_uart_fifo
2  set_svf $top_design.svf
3  #set_host_options -max_core 10
4
5  set rtl [ ls \
6  ../../source/pad_soc_uart_fifo_no_power_cell.v \
7  ../../source/soc_uart_fifo.v \
8  ../../source/ahb_config.v \
9  ../../source/apb_config.v \
                    ●
                    ●
                    ●
55 ../../source/lib_cadb/DIP_0031_uart_amba/uart16550/uart_receiver.v \
56 ../../source/lib_cadb/DIP_0031_uart_amba/uart16550/uart_rfifo.v \
57 ../../source/lib_cadb/DIP_0031_uart_amba/uart16550/uart_tfifo.v \
58 ../../source/lib_cadb/DIP_0031_uart_amba/uart16550/uart_transmitter.v \
59 ../../source/lib_cadb/DIP_0031_uart_amba/uart16550/uart_sync_flops.v]
```

그림 11 합성 스크립트 -1

그림 11의 1행에서는 top_design이라는 변수를 통해 최상위 모듈의 이름을 지정한다. 2행에서는 SVF라는 파일을 지정하는데 이는 합성 중 수행되는 optimization 때문에 원래 있던 RTL 소스로부터 변경되는 부분들의 히스토리를 기록하는 일을 한다. SVF 정보는 합성 후 진행하는 Formal Equivalence 체크 시에 유용하게 사용된다. 5행부터 59행까지는 관련된 모든 소스를 rtl 이라는 변수로 지정하고 있다.

```
61 analyze -format verilog $rtl
62 elaborate -architecture verilog $top_design
63 uniquify
64 current_design $top_design
```

그림 12 합성 스크립트 -2

그림 12의 61, 62행을 통해서 리스팅 된 모든 소스를 툴 안으로 읽어 들이고, 64행을 통해 현재 최상위 모듈이 어떤 것인지를 지정한다. 63행의 uniquify는 동일한 셀을 내부적으로 여러 번 instance 하는 경우 중복을 막기 위하여 instance name을 잘 조정해주는 역할을 한다.

```
66 redirect -tee -file 0_link.rpt {link}
67 redirect -tee -file 1_check_design.rpt {check_design}
68 write -format ddc -hierarchy -out ./output/pad_soc_uart_fifo_unmapped.ddc
```

그림 13 합성 스크립트 -3

그림 13처럼 redirect라는 커맨드를 볼 수 있다. 이는 행의 마지막에 괄호로 처리된 커맨드를 실행하여 나오는 모든 메시지를 rpt 파일에 저장하는 역할을 한다. 66행을 통해 Start-Up 파일에 기술된 경로에서 PDK를 인식하고 사용자에게 화면으로 이상 유무를 알 수 있도록 한다. 67행을 통해 읽어 들인 모든 소스의 계층과 instance 내용을 확인하며, Net, Cell, 입/출력 포트에서 Unconnected 된 곳을 찾아내는 등의 이상 유무를 판단한다. 특별한 이상이 없다면 68행의 커맨드를 통해 unmapped 된 ddc 파일로서 임시 저장을 한다.

```
70 #create_clock -name CLOCK -period 20 [get_ports CLOCK]
71 #do "dcprocheck" prior to source the below constraint file
72 redirect -tee -file 2_source.rpt {source -echo -verbose cons/pad_soc_uart_fifo.con}
73 redirect -tee -file 3_check_timing.rpt {check_timing}
74 redirect -tee -file 4_report_port.rpt {report_port -verbose}
```

그림 14 합성 스크립트 -4

68행까지 이상이 없다면 Design Compiler의 GUI를 통해 디자인 모습을 스키매틱으로 확인할 수 있다. 툴 안으로 가져와 디자인 분석 결과 이상이 없었으니 72행을 통해 constraint를 적용하면 되겠다. 그런데 constraint 파일도 사람이 핸드-타이핑을 한 것이고, 툴 버전에 따라 커맨드의 지원 여부도 다를 수 있기 때문에 디자인에 적용하기 전에 검증 할 필요가 있을 것이다. 71행을 참고하여 수행해보는 것을 추천한다. 다음으로 73행을 통해 constraint가 디자인에 적용되었지만 사용자가 좀 더 기술해야 할 부분이 추가적으로 있을지의 여부를 확인할 수 있다. 74행에서는 디자인의 입, 출력 포트들의 정보를 피드백으로 보여주도록 하여 설계자가 작성한 constraint가 잘 적용되었는지 확인할 수 있다.

```
76 redirect -tee -file 5_compile.rpt {compile_ultra -no_autoungroup -retime -timing}
77 redirect -tee -file 6_report_constraint.rpt {report_constraint -all_violators}
78 redirect -tee -file 7_report_timing.rpt {report_timing}
79 redirect -tee -file 8_report_path_group.rpt {report_path_group}
80 redirect -tee -file 9_report_area.rpt {report_area}
```

그림 15 합성 스크립트 -5

그림 15의 76행의 합성을 수행한다는 것은 constraint에는 특별히 이상이 없음을 뜻한다. 컴파일에서 이상이 없다면 77행을 통해 합성 결과와 constraint를 비교하여 타이밍에 문제가 있는지를 확인할 수 있다. 문제 대부분이 여기서 발생하는데 에러가 발생되었다면 78행을 통한 timing report에서 확인할 수 있다. 아울러, Design Compiler에 내장되어 있는 타이밍 계산 엔진은 PrimeTime 보다 신뢰성 면에서 부족하기 때문에, DC에서 타이밍을 만족했다 하더라도 PrimeTime을 통과하지 못하면 문제점 해결을 위하여 다시 constraint 수정이나 소스 수정 등의 방법으로 Design Compiler를 재수행해야 한다. 79번은 클록 그룹에 대해 보여주고, 80번은 합성된 결과를 바탕으로 해당 디자인의 면적이 얼마인지 알 수 있도록 한다.

```
82 # "tri" to "wire"
83 set verilogout_no_tri true
84 # bus[10] to bus_10_
85 change_names -rules verilog -hierarchy
```

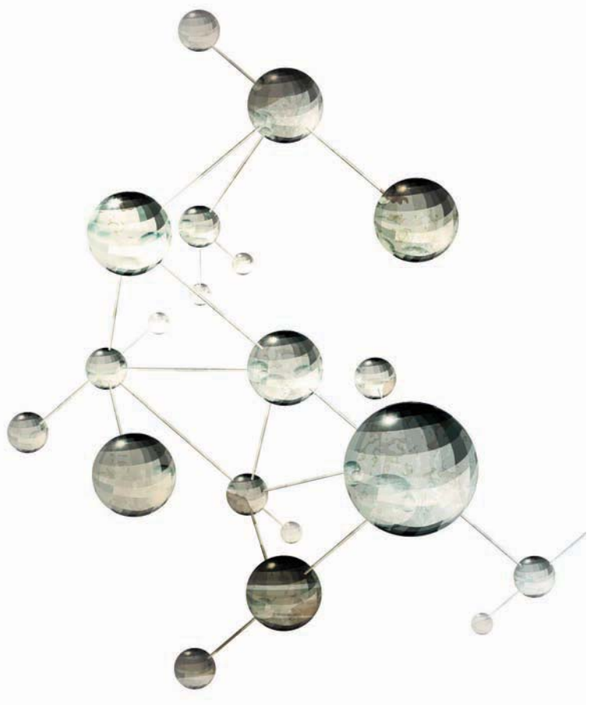
그림 16 합성 스크립트 -6

모든 과정이 마무리되었다면 최종 게이트 레벨 넷 리스트를 뽑아낼 준비를 한다. 그림 16의 83행을 통해 Verilog 형태로 뽑아낼 때 tri를 wire로 바꿔서 출력하게 하고, 85행을 통해 1비트 이상의 길이를 갖는 포트들의 이름이 각괄호 처리되지 않도록 하는 일을 한다. 이 두 가지는 다음 단계의 툴을 수행할 때 문제가 없도록 한다.

```
87 write -format verilog -hierarchy -output ./output/pad_soc_uart_fifo.v
88 write -format ddc -hierarchy -output ./output/pad_soc_uart_fifo_mapped.ddc
89 write_sdc ./output/$top_design.sdc
90 write_sdf ./output/$top_design.sdf_dc
91 set_svf -off
```

그림 17 합성 스크립트 -7

그림 17의 87행을 통하여 게이트 레벨 넷 리스트를 추출할 수 있다. 아울러 88행을 통해 최종 ddc 디자인을 뽑아낼 수 있다. 게이트 레벨 넷 리스트는 89, 90행을 통해 얻어지는 파일들과 함께 다음 단계의 툴링에 입력으로 제공된다. ddc 는 최종 디자인에 대한 넷 리스트 정보와 타이밍 정보, 딜레이 정보를 모두 포함하고 있기 때문에 ddc를 인식하는 다음 단계의 툴에 입력으로 사용하면 좀 더 빠른 import가 가능할 것이다. 여기까지의 스크립트는 시놉시스의 정식 교육 자료를 참고하여 만든 것이므로 Design Compiler에 접근하고자 하는 사람들에게는 기본적인 지식 전달 자료로서 유용할 것으로 생각된다. 실제 연구실에서 크고 복잡한 디자인을 다룰 때는 좀 더 많은 커맨드와 옵션이 필요할 것이다.



5. Constraint 소개 및 세부 사항

앞서 언급했던 constraint 파일에 대하여 기술하려 한다. 합성에서 좋은 결과를 얻어내기 위해서는 constraint를 잘 작성하는 것이 매우 중요하므로 사용자 입장에서는 많은 고민이 필요하다.

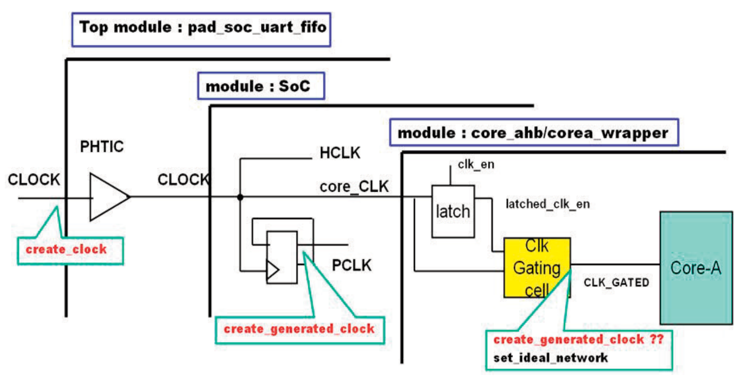


그림 18 예제 시스템의 CLK 네트워크 구성

클럭 게이팅은 클럭 네트워크에 대한 고려로서, 그림 18을 통해 본 예제의 클럭 네트워크 상황을 알 수 있다. 왼쪽에서 메인 클럭인 CLOCK이 들어와서 입력 전용 I/O 셀인 PHTIC를 거치면 SoC 모듈에 들어간 이후 3갈래로 나뉘는 모습을 볼 수 있다. HCLK은 특별한 처리 없이 그대로 내부로 인가되지만 PCLK은 2분기 되어 생성되는 모습을 확인할 수 있다. PCLK은 개념적으로는 클록라인이지만 특별한 처리를 하지 않으면 메인 클록인 CLOCK이 끊긴 것으로 DC는 이해할 수 있다. 결국 PCLK을 사용하는 APB 버스 라인 전체에 클록 Constraint가 없는 것으로 처리되어 타이밍 계산을 하지 못하게 될 것이다. 문제 해결을 위해서 create_generated_clock 이라는 명령을 사용하면 2분기된 PCLK을 정상적인 클록 라인으로 인식시킬 수 있다.

그림 18에서 가장 중요한 내용은 클록 게이팅이다. 내부 모듈로 들어가면 노란색으로 표시된 클록 게이팅 셀을 확인할 수 있다. 앞서 설명한 PCLK은 메인 클럭을 소스로 잡고 분주되었으니 동기적으로 토글링이 된다는 점 때문에 create_generated_clock 적용이 가능하지만, 클록 게이팅은 원리적으로는 CLK 라인과 특정 상황을 대변하는 Enable 신호와의 AND 계산을 의미하므로 메인 클록과는 달리 간헐적인 토글링을 예상할 수 있다. 이 부분이 가장 힘든 이유는, 일반적인 report_timing 커맨드를 통해서는 발견하기가 쉽지 않기 때문이다. 옵션을 부여해서 해당 지점을 정확하게 report 해야 알 수 있는 부분이며, 실제 핵심 셀의 출력핀에 많은 딜레이 시간이 체크되는 모습을 확인할 수 있다. 문제 해결을 위해서는 해당 RTL소스를 수정하여 PDK에 있는 클록 게이팅 전용 셀을 사용할 수 있도록 하고, CLK 네트워크에 대하여 ideal 처리를 하면 될 것이다.

```
1  ###################################
2  #                                 #
3  #   UNITS                         #
4  #                                 #
5  ###################################
6
7  # The unit of time in this library is 1ns
8  # The unit of capacitance in this library is 1pF
9  #
10
11
12 ###################################
13 #                                 #
14 #   CLEAN-UP                      #
15 #                                 #
16 ###################################
17
18 # Remove any existing constraints and attributes
19 #
20 reset_design
```

그림 19 Constraint -1

실제 Constraint 내용을 순서대로 살펴보도록 하겠다. 그림 19의 상단부에서는 PDK에서 지정된 기본 단위를 정하는 것이다. 그림에서는 따로 지정하지 않았지만 여러 개의 공정을 다룰 때는 필수적인 요소가 될 것이다. 20행에서는 기존에 적용되었던 Constraint를 초기화하는 일을 한다.

```
23 ###################################
24 #                                 #
25 #   CLOCK DEFINITION              #
26 #                                 #
27 ###################################
28
29 # 50Mhz clock is a 20ns period:
30 # So, let's treat 14 or 15ns period to make chip stable (60-70% margin)
31 create_clock -period 14 -name MAIN_CLOCK -waveform {7 14} [get_ports CLOCK]
32
33
34 # External clock source latency is 2ns
35 # and the maximum internal clock network insertion delay or latency is 1 ns:
36 #
37 set_clock_latency -source  -max 2 [get_clocks MAIN_CLOCK]
38 set_clock_latency -max 1 [get_clocks MAIN_CLOCK]
39
40
41 # 600ps skew (+300ps and -300ps)
42 # 400ps jitter
43 # 500ps setup margin:
44 # This equals 1.5 ns of total uncertainty.
45 #
46 set_clock_uncertainty -setup 1.5 [get_clocks MAIN_CLOCK]
47
48
49 # The maximum clock transition is 1ns
50 #
51 set_clock_transition 1.0 [get_clocks MAIN_CLOCK]
```

그림 20 Constraint -2

그림 20은 CLOCK에 대한 정의를 내리는 부분이다. 클록은 FPGA 검증 때와 마찬가지로 50MHz로 지정하고, 원래 스펙보다 좀 더 worst 하게 마진값을 부여하여 클록 주기를 부여했다. 또한, latency 와 uncertainty, transition 값은 임의로 지정했는데 관련 내용은 각 주와 함께 살펴보면 된다.

```
53 ###################################
54 #                                 #
55 #   SPECIAL CLOCK DEFINITION      #
56 #                                 #
57 ###################################
58
59 # there are some kinds of clock series
60 # clock source is 1 but 3 or 4 kinds of clocks will be made
61 # so we should define the proper constraints
62
63 # divide clock by 2 to make PCLK in top SoC module
64 create_generated_clock -divide_by 2 -name PCLK -source [get_ports CLOCK] [get_pins Usoc/half_clk_reg/Q]
65 set_clock_transition 0.5 [get_clocks PCLK]
66 set_clock_latency -max 0.5 [get_clocks PCLK]
67 set_clock_uncertainty -setup 0.5 [get_clocks PCLK]
68
69 set_ideal_network [get_pins Usoc/Ucore/CoreA/UClockGateForCoreA/cg/ECK]
70
71 # Create path groups for I/O/combo paths if I/O constraints are not accurate
72 # 10% of max delay
73 group_path -name INPUTS -from [all_inputs]
74 group_path -name OUTPUTS -to [all_outputs]
75 group_path -name COMBO -from [all_inputs] -to [all_outputs]
76
77 group_path -name MAIN_CLOCK -weight 5 -critical 0.5
78 group_path -name PCLK -weight 5 -critical 0.5
79 group_path -name INPUTS -weight 1 -critical 0.5
80 group_path -name OUTPUTS -weight 1 -critical 0.5
81 group_path -name COMBO -weight 5 -critical 1.0
```

그림 21 Constraint -3

메인 이슈가 되었던 클록 네트워크 및 클록 게이팅에 대한 Constraint를 그림 21에서 확인할 수 있다. 클록 분주에 대한 처리는 64행에서 확인할 수 있는데, 클록을 하나 더 추가한 셈이기 때문에 latency, uncertainty, transition 값도 부여해야 한다. 65행부터 살펴보면 되겠다. 71행부터는 클록 그룹에 대한 처리부를 볼 수 있다. 입력 포트들에 대한 그룹, 출력 포트들에 대한 그룹, 클록과 무관하게 입력으로 들어와서 Combination 계산 수행 후 출력되는 그룹까지 총 3개를 추가해서 기존의 메인 클럭과 새로 생성된 PCLK 까지 포함한 5개의 그룹에 대한 내용으로 타이밍 계산을 하도록 하는 부분이다. 아울러 77행부터는 각 그룹의 Weight와 Slack Violation 값의 상한선 범위를 정하여 타이밍이 문제가 되면 Report 할 수 있도록 처리하였다.

```
85  ###################################
86  #                                 #
87  #   INPUT/OUTPUT TIMING           #
88  #                                 #
89  ###################################
90
91  # in/out is consists of board(switch,led), memory, UART
92
93  set_input_delay -max 3.0 -clock MAIN_CLOCK [all_inputs]
94  remove_input_delay [get_ports "CLOCK"]
95
96
97  set_output_delay -max 3.0 -clock MAIN_CLOCK [all_outputs]
98  #set_output_delay -max  2.0 -clock MAIN_CLOCK [get_ports LED*]
99
100
101 ###################################
102 #                                 #
103 #   DESIGN AREA                   #
104 #                                 #
105 ###################################
106
107 # Area Constraint
108 #
109 set_max_area 0
```

그림 22 Constraint -4

그림 22는 입, 출력 딜레이에 대한 Constraint를 볼 수 있다. 최상위 모듈의 입, 출력 포트가 클록을 기준으로 얼마의 딜레이를 포함하는지를 지정한다. 임의 값으로 지정한 후, 109행에서는 현재의 디자인이 어느 정도의 면적 안에 구성되어야 한다는 상한선의 값을 지정할 수 있다. 0으로 기재했다는 것은 최소한으로 줄이라는 뜻이다.

```
112 ###################################
113 #                                 #
114 #   ENVIRONMENTAL ATTRIBUTES      #
115 #                                 #
116 ###################################
117
118 # "set driving cell" is the best constraint, It is overwrite "input transition" and "set_drive"
119 # set_driving_cell define max transition  and max capacitance of the related inputs
120 # so it overwrites all input transition and drive value easily
121 # Finally, user just defines max cap and max transition on output ports
122 # input driving cell is the weakest cell
123 #
124 set_driving_cell -lib_cell PHTIC -library hgi1113tp1_wci [remove_from_collection [all_inputs] [get_ports "CLOCK RESETn"]]
125 set_driving_cell -lib_cell PHTBCT24 -library hgi1113tp1_wci [get_ports "IO*"]
126
127 # set_load
128 # IO_* ports is to Memories, so use "set_load" command which is for both in/out ports
129 #
130 set_load 3 [remove_from_collection [all_inputs] [get_ports "IO_* CLOCK RESETn"]]
131 set_load 1 [get_ports "IO_*"]
132
133
134 # to determine wire load model automatically, turn off the below 2 lines
135 # There are ForQA(ideal), HYUNDAI18_Conservative and HYUNDAI18_Aggressive
136 #set auto_wire_load_selection false
137 #set_wire_load_model -name ForQA
138
139 set_wire_load_mode "top"
140
141 # operating condition use to scale cell and net delays.
142 #
143 set_operating_condition -max "slow" -min "fast"
```

그림 23 Constraint -5

환경적인 요인을 보여주는 그림 23은 셀이 동작하는 데 걸리는 시간 즉, Cell Delay Time을 결정짓는 요인들인 입력 Transition과 출력 Load 값, 그리고 PVT까지 5가지를 고려한다. 입력 Transition을 나타내는 방법으로는 set_driving_cell을 사용했다. 서브 칩을 만드는 경우라면 얘기가 달라지겠지만, 전체 칩을 디자인 하고 있는 경우라면 PDK의 입력 I/O 셀을 디자인에 적용할 것이므로 124, 125행이 가장 좋은 선택일 것이다. 출력 포트의 Load 값 처리는 130,131행을 참고하면 된다. PVT 선택을 하는데 있어서는 139행, 143행과 Start-Up 파일을 통해서 현재 디자인에 적용하고자 하는 라이브러리와 환경을 지정할 수 있다.

```
148 ###################################
149 #                                 #
150 #   ETC ATTRIBUTES                #
151 #                                 #
152 ###################################
153
154 # We usually don't know the external capaciatnce
155 # so insert buffers to isolate and protect inner logics
156 set_isolate_ports [remove_from_collection [all_outputs] [get_ports "IO*"]]
157
158 # there is no need to be the numerous buffers on RESET network during synthesis
159 set_ideal_network [get_ports "RESETn CLOCK"]
160
161 # no through pass assign syntax => insert buffers
162 set_fix_multiple_port_nets -all -buffer_constants -feedthroughs -constants
```

그림 24 Constraint -6

그림 24의 156행을 통해 아직 알 수 없는 칩 외부의 높은 capacitance로부터 칩 내부를 지키기 위한 출력 포트에 isolate를 적용할 수 있다. 159행은 클록 네트워크와 리셋 네트워크는 ideal 하도록 지정하는 부분으로 적용 후부터는 이상적인 네트로 선언되므로 타이밍 계산을 하지 않을 수 있다. Back End 과정에서 CTS가 끝나면 딜레이 정보가 나오고 현실적인 계산을 적용할 수 있다. 그때까지는 ideal 하게 적용한다는 의미이기도 하다. 162행은 Verilog 코드에서 사용하는 assign과 관련한 것으로서, 입력으로 들어온 신호가 아무런 처리 없이 출력되면 실제 물리화 구현과정에서 문제가 될 수 있으니 버퍼를 삽입할 수 있도록 하는 커맨드이다.

6. 각종 메시지 확인

커맨드 스크립트를 구동하여 얻을 수 있는 많은 레포트 중 몇 가지만 소개하도록 하겠다.

```
Information: Checking out the license 'DesignWare'. (SEC-104)
Information: Updating graph... (UID-83)
Warning: Design 'pad_soc_uart_fifo' contains 4 high-fanout nets. A fanout number of 1000 will be used for delay calculations involving these nets.
(TIM-134)
Information: Updating design information... (UID-85)
Warning: Design 'pad_soc_uart_fifo' contains 4 high-fanout nets. A fanout number of 1000 will be used for delay calculations involving these nets.
(TIM-134)

Information: Checking generated_clocks...

Information: Checking loops...

Information: Checking no_input_delay...

Information: Checking unconstrained_endpoints...

Information: Checking pulse_clock_cell_type...

Information: Checking no_driving_cell...

Information: Checking partial_input_delay...
Warning: there are 38 input ports that only have partial input delay specified. (TIM-212)
--------------------
User_mode_start
User_add[1]
User_add[0]
Enable
IO_0[15]
IO_0[14]
IO_0[13]
```

그림 25 check_timing 결과 메시지

그림 25는 check_timing 커맨드를 통해 얻을 수 있는 메시지 확인을 보여준다. Partial delay 가 적용되었다는 메시지를 볼 수 있으며 이것은 포트들에 대한 입, 출력 delay를 부여할 때 setup 타이밍만 부여한다. 이는 hold 타이밍은 제외했기 때문이다.

```
****************************************
Report : constraint
        -all_violators
Design : pad_soc_uart_fifo
Version: E-2010.12-SP2
Date   : Wed Jan 15 19:32:27 2014
****************************************


   max_area

                           Required      Actual
   Design                    Area         Area         Slack
   -----------------------------------------------------------
   pad_soc_uart_fifo         0.00      1130450.50   -1130450.50
                                                     (VIOLATED)


1
```

그림 26 report_constraint 결과 메시지

그림 26은 합성 후 report_constraint의 결과 메시지를 보여준다. 앞서 설명한 constraint대로 모든 합성이 잘 되었기 때문에 Area에 대해서만 Violation이 나온다. Area는 0으로 부여했기 때문에 오류가 나와야 하며, 정상적인 경우 Area 오류만 나와야 합성이 잘 된 것이다.

```
****************************************
Report : timing
        -path full
        -delay max
        -max_paths 1
Design : pad_soc_uart_fifo
Version: E-2010.12-SP2
Date   : Wed Jan 15 19:32:27 2014
****************************************

 # A fanout number of 1000 was used for high fanout net computations.

Operating Conditions: slow   Library: m18gm180s_wci
Wire Load Model Mode: top

  Startpoint: Enable (input port clocked by MAIN_CLOCK)
  Endpoint: IO_0[1] (output port clocked by MAIN_CLOCK)
  Path Group: COMBO
  Path Type: max

  Des/Clust/Port     Wire Load Model       Library
  ------------------------------------------------
  pad_soc_uart_fifo  HYUNDAI18_Conservative
                                           m18gm180s_wci

  Point                                    Incr       Path
  -----------------------------------------------------------
  clock MAIN_CLOCK (rise edge)             7.00       7.00
  clock network delay (ideal)              3.00      10.00
  input external delay                     3.00      13.00 r
  Enable (in)                              1.15      14.15 r
  pad25/Y (PHTIC)                          0.91      15.06 r
  Usoc/Enable (soc)                        0.00      15.06 r
  Usoc/U8/Y (BUFX3)                        1.46      16.52 r
  Usoc/U38/Y (MX2X1)                       0.58      17.10 f
  Usoc/write_value_to_IO_0[1] (soc)        0.00      17.10 f
  pad117/PAD (PHTBCT24)                    2.27      19.37 f
  IO_0[1] (inout)                          0.00      19.37 f
  data arrival time                                  19.37

  clock MAIN_CLOCK (rise edge)            21.00      21.00
  clock network delay (ideal)              3.00      24.00
  clock uncertainty                       -1.50      22.50
  output external delay                   -3.00      19.50
  data required time                                 19.50
  -----------------------------------------------------------
  data required time                                 19.50
  data arrival time                                 -19.37
  -----------------------------------------------------------
  slack (MET)                                         0.13
```

그림 27 report_timing 결과 메시지

그림 27은 report_timing 커맨드에 대한 결과 메시지이다. Capture 클록에서 가장 타이밍 잡기 힘들었던 부분이 레포팅 된다고 생각하면 된다. 타이밍을 만족했다면 해당 클록 그룹에서는 어느 정도 목적한 바를 달성한 것이다. Enable부터 IO_0[1]까지의 구간이 타이밍이 제일 worst 했는데, 다행히 정해진 기준치보다 0.13ns 일찍 데이터가 도착했으므로, 타이밍을 만족했다는 것을 확인할 수 있다. 앞서 설명했지만 Path Group 이 총 5개이므로 그림 27 밑으로 4개의 타이밍 그룹을 확인할 수 있을 것이다.

7. 최종 결과물 파일 확인하기

```
[smkcow@server91 output]$ ll
 □ □  17596
-rw-r--r-- 1 smkcow smkcow    18547  1 □  15 19:32 pad_soc_uart_fifo.sdc
-rw-r--r-- 1 smkcow smkcow 13207416  1 □  15 19:32 pad_soc_uart_fifo.sdf_dc
-rw-r--r-- 1 smkcow smkcow  1190475  1 □  15 19:32 pad_soc_uart_fifo.v
-rw-r--r-- 1 smkcow smkcow  1630208  1 □  15 19:32 pad_soc_uart_fifo_mapped.ddc
-rw-r--r-- 1 smkcow smkcow  1916928  1 □  15 19:30 pad_soc_uart_fifo_unmapped.ddc
```

그림 28 합성 완료 후 최종 결과물

지금까지의 성공적인 합성을 통해 얻은 결과물을 그림 28에서 확인할 수 있다. 뒤이어 적용해야 할 툴에 입력으로 활용하면 되고 ddc를 포함하여 몇 가지 파일은 재차 합성해야 할 때 사용해야 하므로 적절한 naming을 통해 버전별로 관리해야 한다.

결론

기능 구현을 위한 소스 코딩과 검증, 합성을 포함한 Front-End 과정까지 진행하는 데는 그에 맞는 사전 지식과 경험, 그리고 많은 시간이 필요하다. 필자도 예제를 합성하기 전에 Synopsys의 Student Guide를 학습하고 총체적인 내용을 이해하기 위해 많은 시간을 투자했다.

본 고에 사용된 플랫폼은 기본적인 시스템이기 때문에 합성 constraint와 스크립트는 어렵지 않지만, 사용자 스스로 툴에 익숙해지도록 많이 사용할 것을 권장한다. 아울러 본 예제에서 사용한 스크립트나 constraint 내용을 다른 디자인에 그대로 적용하면 프로젝트에 실패할 확률이 높다. 디자인 마다 특성이 다르고, 목적하는 스펙이 다르므로 constraint는 매번 다르게 만들어져야 하고 design specific 해야만 한다. 실제로 MPW 참여자 중에는 특별히 무리만 없다면 스크립트나 constraint 들의 뜻을 알지도 못한 채 무조건 갖다 쓰려는 사람들이 다수 있기 때문이다. 때문에 시간을 충분히 갖고 학습을 한 뒤, 본인 디자인에 알맞은 접근을 하길 바란다.

총 2회에 걸쳐 SoC 시스템 소개 및 FPGA 검증부터 Synopsys Design Compiler를 이용한 합성을 다루었다. 다음 회차들을 통해 STA와 Auto P&R, Post-Simulation 까지 다룰 것이므로 큰 기대를 해도 될 것이다.

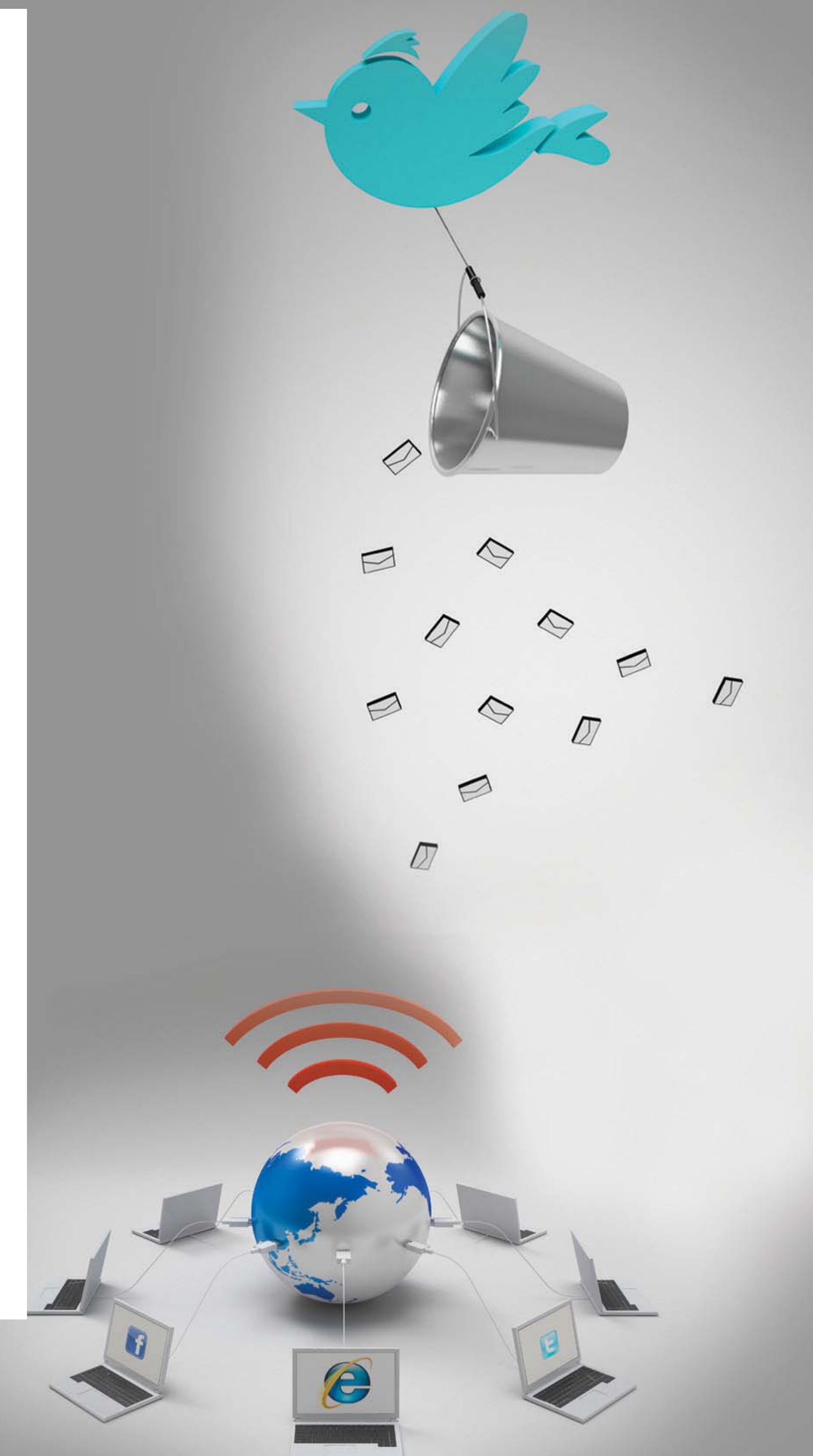
선 혜 승 선임연구원
소속 : 반도체설계교육센터
E-mail : smkcow@idec.or.kr
http://www.idec.or.kr

본 내용은 2013년 9월에 IDEC 본센터에서 개설된 IDEC 연구원 교육 자료를 요약, 정리한 것으로서 자세한 자료는 IDEC 홈페이지에서 다운로드 및 VoD 시청이 가능합니다.

참고문헌

다이나릿, Core-A Processor 예제, 2009
Synopsys, Design Compiler Student Guide
Synopsys, solvnet.synopsys.com
Core-A, www.core-a.net

본 내용의 무단 배포 및 사용을 금합니다



통신, 전력, 경제, 컴퓨터 등 다양한 분야의 융합, 스마트그리드 연구자

스마트그리드 및 에너지 ICT 분야는 통신, 전력, 경제, 컴퓨터 등 다양한 분야가 융합이 필요한 연구 분야이다. 국외에서는 이미 통신분야의 많은 교수가 스마트그리드 연구를 진행하고 있고 국내에서도 점차 확산되고 있다. 이와 관련하여 자원관리 및 최적화 기법을 적용한 무선통신 및 스마트 그리드를 연구하고 있는 서강대 전자공학과의 김홍석 조교수를 만나보았다.

신 창 환 교수
서울시립대
전자전기컴퓨터공학부

" 도전정신과 함께 즐거움을 선사하는 연구 분야 "

김홍석 교수는 서강대학교 전자공학과에 조교수로 재직 중이며, 현재 무선통신네트워크 중에서 자원관리 및 최적화에 대해 연구 중이다. 그는 서울대에서 학사/석사를 마친 후, KT 통신망 연구소에서 초고속 인터넷 관련 연구를 수행하다가 미국 텍사스 주립대 오스틴 전기컴퓨터공학과에서 박사학위 받았다. 이후 프린스터 대학교에서 박사 후 연구원을 마치고, 뉴저지 머레이힐 소재 벨연구소에서 책임연구원을 거쳐 지금의 서강대로 오게 되었다. 미국 벨 연구소 책임연구원 시절부터 융합통신의 한 분야인 스마트 그리드 연구를 시작한 그는 "수학적/연역적 사고가 재미있어서 계속 관련 연구를 수행하게 된 것 같습니다. 특히 스마트그리드 및 에너지 ICT 분야는 다양한 분야가 융합되어 있어서 더 도전적이고 재미있다고 할 수 있습니다."라며, 국내에서도 점차 확산되고 있는 연구분야에 대한 자부심을 드러냈다.

"성취감은 내가 하고 싶은걸 할 때 찾을 수 있다."

그는 텍사스 오스틴에서 박사과정으로 보냈던 4년 반의 시간이 가장 기억에 남는다고 했다. "늦게 다시 하게 된 공부였던 만큼, 정말 하고 싶은 마음에 시작했습니다. 매주 미팅과 토론, 그리고 연구가 힘이 들만도 했지만, 내가 하고 싶어서 시작한 공부이기에 성취감은 더 컸습니다." 김홍석 교수는 석사 과정 중에는 〈신호처리〉, KT 통신망 연구소에서는 〈ADSL, VDSL, FTTH와 같은 초고속가입자망〉, 박사 과정 중에는 〈무선통신네트워크 및 자원관리/최적화〉 연구를 진행했다.

> 學問如逆水行舟
> 학문여역수행주
> 不進卽退 欲速則不達
> 부진즉퇴 욕속즉부달
> 見小利則大事不成
> 견소리즉대사불성
>
> 학문은 강을 거슬러 올라가는 배와 같아서 나아가지 못한 즉 퇴보됨가 같다. 빨리 이루려고 하면 도달할 수 없고 작은 이익을 보려하면 큰일을 이루지 못한다.

김홍석 교수는 연구자의 중요한 자세 중 하나로 몰입을 강조했다. 중요한 발견은 책상 앞에서가 아니라면서, "버스 타고 가다가 창밖을 보면서, 아니면 샤워 중에 갑자기 스쳐 지나가는 생각 속에서 문제가 풀릴 때가 있습니다." 아마도 오랫동안 한 문제에 몰입하다 보면 그렇게 되는 거 같아요."그는 모든 연구는 어렵다는 것을 강조했다. 어려운 점이 없다면 연구할 거리가 없다는 것이다. 어려운 문제들을 해결해 나가는 과정을 즐길 줄 안다면 좋은 연구를 수행할 수 있음을 느꼈다고 한다. "자신이 하는 연구를 좋아해야 어려움이 와도 이를 극복할 수 있지 않을까 합니다."

기존 전력망에 지능을 부여한 스마크그리드를 통해 상상할 수 없던 다양한 서비스가 가능할 것이라고 생각하는 김홍석 교수는 스마트그리드 분야에서 전력반도체 등에 대한 수요가 클 것으로 기대하고 있다. 지구 온난화 극복의 일환으로 에너지가 더욱 효율적으로 생산, 소비, 저장, 거래 되는 시스템에 도전하고 싶다는 그의 포부에서 앞으로의 연구활동에 대한 기대와 희망이 느껴진다.

▶ **문의** 서강대학교 전자공학과 융합통신망연구실 **전화** 02-705-7989
E-mail hongseok@sogang.ac.kr **Homepage** http://nice.sogang.ac.kr

시상 및 포상 종류

반도체설계대전 자유주제 공모전 (기존 공모전)

구 분		시상수	상 금	비 고
대 상		1	1,000만원	대 통 령 상
최우수상		1	700만원	국무총리상
우 수 상		2	각 400만원	산업통상자원부장관상
장려상		3	각 300만원	특허청장상
특 별 상		1	200만원	한국반도체산업협회장
		1	200만원	한국반도체산업협회장

반도체설계대전 창의 IP 공모전

구 분		부상수	상 금	비 고
대 학 생	금 상	1	200만원	특허청장상
	은 상	1	150만원	
	동 상	1	100만원	
대학원생	금 상	1	200만원	특허청장상
	은 상	1	150만원	
	동 상	1	100만원	

반도체설계 진흥 유공자 포상

구 분	부상수	상 금	비 고
공 로 상	1	400만원	특허청장상
특 별 상	1	200만원	한국반도체산업협회장

* 시상내역은 한국반도체산업협회의 협의 결과에 따라 조정될 수 있음

당선작에 대한 지원
- 기술혁신형 중소기업(INNOBIZ) 지정 평가시 가점 부여
- 수상작에 대한 기술거래 및 상업화 지원
- 언론매체를 통한 수상자와 수상작 홍보

신청자격, 대상

반도체설계대전 자유주제 공모전

신청자격 : 내국인으로서 반도체설계의 연구 또는 개발업무에 종사하는 반도체설계 관련 기업 · 연구소 · 대학의 개인 또는 팀(3인이하)

응모대상 : 2014년 3월 3일 현재 정부시상 또는 동 설계대전에서 수상한 사실이 없으며, 설계결과물 제출기한까지 반도체 설계가 완성된 작품

반도체설계대전 창의 IP 공모전

신청자격 : 내국인으로서 국내소재 반도체설계분야 대학 · 대학원에 재학중인 대학생 또는 대학원생 개인 또는 2인의 팀

응모대상 : 2014년 3월 3일 현재 정부시상 사실이 없으며, 결과물 제출기한까지 설계가 완성된 작품

반도체설계 진흥 유공자 포상

공 로 상 : 반도체 설계 분야에서 5년 이상 재직하며, 국내 반도체 설계 관련 산업과 기술을 진흥함으로써 국민경제의 발전에 이바지한 자

특 별 상 : 국내 반도체설계 분야의 진흥, 인력양성 및 지식재산 창출에 기여한 기업 또는 개인

신청기간

반도체설계대전 자유주제 공모전
참가신청 : 2014. 3. 3(월) ~ 2014. 4. 27(일)
☞ 설계결과물 설명서 제출기한 : 2014. 7. 27(일)

반도체설계대전 창의 IP 공모전
참가신청 : 2014. 3. 3(월) ~ 2014. 4. 27(일)
☞ 설계작품 설명서 및 결과물 제출기한 : 2014. 7. 20(일)

반도체설계 진흥 유공자 포상
참가신청 : 2014. 3. 3(월) ~ 2014. 7. 27(일)

신청방법 및 결과발표

- 참가 신청서 또는 포상 신청/추천서를 작성하여 특허청 홈페이지, 우편 또는 E-mail로 신청
  - 홈페이지 : www.kipo.go.kr/semicon-design
  - 우 편 : 대전광역시 서구 청사로 189, 정부대전청사 4동 602호 표준특허반도체팀 (우)302-701
  - E-mail : semicon-ip@kipo.go.kr
- 공모전 참가신청자는 홈페이지에 공개된 권리보호요강을 서명하여 같이 제출하여야 함

반도체설계대전 창의 IP 공모전 주제 및 참고사항

- **주제 :** 이미지 무손실 압축 및 복원 제품의 구현
- **결과물 제출목록 :** 소스파일, 실행파일, 이미지 압축 결과물 및 복원된 이미지 결과물 모두 – 우편 이용시 결과물이 기록된 저장 매체(USB 등)를 함께 제출해야 함
- **설계 언어 :** C언어(대학생) 및 HDL(대학원생)
- **사용 이미지 :** 홈페이지에 공개된 5개의 샘플을 모두 사용해야 함
- **2014년 8월 31일까지 수상작 통보 예정**

선정절차

반도체설계대전 자유주제 공모전
- 예선심사(설계결과물제출서의 서류평가, 8월) 및 본선심사(설계결과물 시연 및 발표, 9월)

반도체설계대전 창의 IP 공모전
- 설계작품 설명서의 내용과 설계작품 결과물을 시뮬레이션하여 종합 평가(8월)

반도체설계 진흥 유공자 포상
- 반도체설계 분야의 진흥, 인력양성 및 지식재산 창출 공헌도 등을 고려하여 산 · 학 · 연 전문가, 특허청 및 유관단체 인사 중에서 5~7인으로 구성된 포상추천심사위원회(8월)가 추천한 대상자 중 1인 선정(9월)

공모전 선정방법 및 결과발표
- **선정방법 :** 산 · 학 · 연 · 관 전문가 중에서 7인 이하로 구성된 심사위원회에서 평가
- **결과발표 :** 특허청 홈페이지 게시 및 개별통보

기 타

- **문의처 :** 특허청 특허심사기획국 표준특허반도체팀
  ☎ 042-481-8499, semicon-ip@kipo.go.kr
- **참가신청서, 제출서류 및 결과물의 보안 유지**(심사위원 : 비밀유지 서약서 제출)
- **시상식 일자 :** 2014. 10월 (예정)

주 최 : 특허청
공동 주관 : 특허청 • 한국반도체산업협회
후 원 : 산업통상자원부 • 한국발명진흥회

IDEC 논단

Processing In Memory로의 진화

필자가 종사하는 메모리 특히 DRAM 분야는 대한민국이 20년 이상 세계 1위를 유지하고 있다 보니, System LSI나 ASIC 등의 산업에 비해 나라 경제에 이바지하는 바는 컸으나 참신성과 미래 지향성이 떨어져 상대적으로 대학의 Lab 그리고 연구분야에 종사하는 학생들에게는 외면을 받아왔다. 그리고 최근의 반도체 공정 Scaling의 어려움과 이에 따른 DRAM 산업의 한계는 역설적으로 위기가 기회를 주는 가능성을 보여주고 있다. 이러한 가능성은 전체적인 Computer Architecture에서 하나의 분야로 발전해 갈 수 있으며, 한편은 많은 관련 연구의 Theme로도 방향성을 잡아가길 기대하면서 짧은 소견을 얘기하고자 한다.

프로세서의 진화와 메모리의 진화는 서로 다른 목적으로 진행되어왔다. 프로세서는 고가 공정을 써서라도 여러 가지 계산을 속도가 빠르면서 병렬적으로 처리하는 방향으로 진화하였고 메모리는(이하 DRAM과 같이 사용) 저가공정으로 대 용량을 가지면서 프로세서가 요구하는 데이터를 빠른 입출력 인터페이스를 이용하여 전달해 줄 수 있는 방향으로 진화되었다. 이 진화를 시간상으로 뒤돌아보면 1990년대에는 시스템이 요구하는 용량을 늘리기 위해 DRAM 셀 종류의 경합을 통한 진화가 시작되었고 2000년대는 시스템의 DRAM Bandwidth의 증가 요구에 따라 DRAM 인터페이스의 입출력 속도를 늘리기 위한 방향으로 전개되었다. 2010년대는 시스템의 저전력 DRAM의 요구를 충족시키기 위해 공급전압을 낮추는 기술을 집중으로 진화하였다. 이렇듯 주 진화 방향이 시스템 요구를 충족하는 수동적인 방향으로 DRAM이 진화한 것이다. 이 때문에 프로세서와 메모리와의 성능은 차이가 커지게 되었고 이를 Von Neumann Bottleneck 또는 Memory Bandwidth Wall이라고 한다. 이러한 문제를 해결하기 위한 일반적인 방법은 프로세서와 가까운 곳에 큰 용량의 임시저장 장소(Cache)를 계층적으로 배치하는 것이다. Cache가 차지하는 면적이 프로세서 칩의 50%가 넘는 경우도 발생하고 있으나 사실 그 성능차를 극복했다고 말하기에는 부족한 현실이다. 이 방법은 기존의 프로세서 중심의 컴퓨팅에서 크게 벗어나지 않은 접근방법이었다. 이와 다르게 메모리 중심의 컴퓨팅(Memory Centric Computing) 관점에서 이 성능차를 극복하려는 움직임이 1990년대 초부터 나타나기 시작했다. 이 컴퓨팅 방법은 용량이 큰 메모리가 중심이 되고 각종 연산기능을 할 수 있는 프로세서들을 메모리에 근접시키거나, 분할된 메모리 블락과 작은 단위의 프로세서를 한 단위로(Processing Element) 구성하여 2차원으로 배열시키는 등의 구조를 취하게 된다. 이 구조에 따라 메모리 중심 메모리 근접 컴퓨팅(Near Data Computing) 또는 Processing In Memory(PIM)등으로 불리게 되었다. 이 변화를 메모리 입장에서 보면 새로운 시스템 환경을 창출해 나가는 보다 창조적인 메모리로의 진화가 시작되었다고 볼 수 있다.

PIM은 여러 방향으로 진화될 수 있다. 예를 들어 특정 연산을 빠르게 수행할 수 있도록 돕는 가속기나 현재 DRAM에 PIM 기능만 추가시킨 스마트 메모리가 될 수 있을 것이다. 또한, 프로세서 없이 독립적으로 동작할 수 있는 혁신적인 형태의 PIM도 기대할 수 있다. 1990년 초에 업계에서는 최초로 실리콘으로 IBM에서 EXCUBE라는 DRAM 공정기반의 멀티프로세서를 처음 개발하였고 학계에서는 Berkeley에서 실리콘으로 DRAM 공정기반의 IRAM(Intelligent DRAM)을 개발하였다. 이 대표적인 두 경우 모두 다 프로세싱 로직을 집적도가 큰 DRAM 칩으로 이동시켜서 탑재된 프로세서와 DRAM 간에 대량의 데이터가 한 칩 내에서 전송할 수 있게 하였으며 이를 이용할 수 있는 ISA(Instruction Set Architecture)와 마이크로 아키텍처가 같이 개발되었다. 그러나 이 두 경우 모두 다 주요 DRAM 제조업체와는 협업이 없는 상태에서 이루어졌고 DRAM공정으로 로직의 성능을 구현하는 것에 있어 한계점에 부딪히게 되었다. 또한, DRAM의 용량이 Scalable 하지 않기 때문에 실제 제품으로 성공하기에는 부족한 점이 있었다. 이와 더불어 시스템의 환경을 많이 바꾸어야 하는 부담으로 범용으로의 진입은 불가능하였다. 이후에도 PIM이 지속해서 연구 개발되고 있고, 최근 PIM이 재조명을 받고 있는데 그 이유는 두 가지 관점에서 설명할 수 있다. 첫째는 응용적인 측면이다. 향후 수십억 개의 디바이스가 서로 연결되는 IoT(Internet of Things)등을 통해 생성되는 비정형 또는 정형의 Big data를 처리하기 위해서는 대량의 병렬처리가 가능한 지능적 시스템(Intelligent System)이 요구되고 있다. 이 요건을 충족시킬 수 있는 프로세서가 PIM인 것이다. 또 다른 한가지 측면은 TSV 등을 통한 3D 메모리를 구현할 수 있는 기술이 확보되고 있다는 것이다. 이 3D 구조를 이용할 경우 프로세서가 탑재된 실리콘을 위한 로직 공정과 DRAM을 위한 DRAM 공정이 별도로 최적화될 수 있기 때문에 기존 PIM 구현 시 한 쪽에 최적화된(DRAM 또는 프로세서) 공정을 사용함으로써 오는 성능저하를 회피할 수 있다. 그러나 아직 전반적인 시스템 환경(Ecosystem)은 보수적인 성향이 강하여 PIM을 받아들이기에는 준비가 되어 있지 않다. 따라서 Killer Application을 발굴하거나 전략적인 접근방법이 수반되어야 PIM의 제품화가 비로서 이루어 질 수 있을 것으로 예상한다. 예를 들어 서버시장은 다른 시장에 비해 더 보수적이고 시스템 환경(Ecosystem) 변화가 더 어렵다. 따라서 시스템 환경 변화의 수반을 요구하는 PIM이 서버시장에 진입하는 것은 쉬운 일이 아닐 것이다.

정리하면 PIM은 프로세서 중심의 컴퓨팅에서 벗어나서 기존 컴퓨터 시스템의 한계를 극복함과 동시에 Big Data 시대를 여는 열쇠 역할을 할 수 있다. 하지만 PIM의 첫 번째 상업적인 성공은 쉬운 일이 아니며 시스템 환경 변화가 적은 응용에서 이루어질 것이다. 이런 PIM은 프로세서 업체보다는 DRAM 제조업체에서 만들어 낼 가능성이 높다. DRAM 내의 구조를 PIM에 친화적으로 구현하면서 현 DRAM에 호환성 있게 만들 수 있는 잠재력을 충분히 가지고 있기 때문이다. 문제는 대량으로 표준화된 DRAM 생산체제가 시장의 규모가 불확실하고 응용에 따라 변화가 필요한 주문형의 메모리 비즈니스로 DRAM 업체가 진화할 수 있느냐는 것이다. 결론적으로 예전 DRAM의 진화는 프로세서가 요구하는 조건을 만족시키는 수동적인 진화였다면 향후 DRAM의 진화는 DRAM이 지능을 가지면서 새로운 환경을 창출해 나가는 창조적인 진화일 것이며 그 선두에 PIM이 있을 것으로 생각된다.

최 주 선 전무
삼성전자 메모리사업부 DRAM개발실장

Security SoC의 해킹 동향 및 대응 방법

컴퓨팅 기술의 발달로 정보 기기는 소형화되고 컴퓨팅 능력은 증가되었으며 네트워킹 기술의 발달로 통신 기기의 연결성은 극대화되어 서로에 대한 접근성이 증대되었다. 한때 단순히 통화를 위해 사용했던 전화기는 현재 손안의 컴퓨터로써 스마트폰, 태블릿 등의 휴대용 기기로 진화하였으며 이를 이용하여 언제 어디서든 음원, 서적, 영화 등 다양한 콘텐츠를 이용하거나 모바일 뱅킹, 온라인 쇼핑, 게임 등의 서비스를 이용할 수 있게 되었다. 휴대용 기기뿐만 아니라 정보 통신 기기는 자동차, 가전제품 등 다양한 형태의 기기와 융합하여 진화하고 있으며 서로 유기적으로 연결되어 온라인으로 서로의 정보에 접근하고 제어하는 것이 가능해지고 있다.

다양한 기기에 정보 통신 기기가 적용되어 인터넷으로 연결됨에 따라 사용자는 언제 어디서나 집안 상황을 확인하고 집 안의 기기를 제어하거나 원격으로 자동차의 시동을 걸어 미리 차안의 온도를 조절하는 등의 더욱 편리한 서비스를 이용할 수 있을 것으로 기대된다. 그러나 이와 함께 보안 문제도 크게 증가할 것으로 예상되고 있다. 실제로 스마트폰에 대한 피싱, 파밍, 스미싱 등의 공격은 사회적으로 이미 큰 문제가 되고 있으며 스마트 TV나 냉장고를 해킹해 스팸을 발송한 사례도 존재한다. 이러한 문제를 해결하기 위해 보안 기술의 필요성이 증가하고 있으나 보안 기술은 오버헤드로써 기존 기기의 성능을 저해시킬 수 있는 요인으로 작용할 수 있다. 또한 기존의 소프트웨어 기반의 보안 기술은 개방형으로 인해 끊임없이 취약점을 보완해야하는 단점이 존재한다. 이에 기존 시스템과 별도로 보안 기능을 독자적으로 수행하는 Security SoC(System On Chip) 기술이 대안이 될 수 있다.

Security SoC과 물리적 공격

Security SoC는 HSM(Hardware Security Module), 스마트카드와 같이 외부로 인터페이스만 존재하는 보안 전용 칩으로 내부 동작이 외부의 영향을 받지 않으므로 기존의 시스템으로부터 받는 영향이 최소화되며 기존 시스템과 별도로 동작하므로 기존 시스템의 성능을 저하시키지 않는다. 그러나 Security SoC도 모든 공격에 안전한 것은 아니다. 일반적인 소프트웨어적인 해킹 방법과는 달리 물리적인 방법을 이용하는 방법은 그 만큼 고도의 기술과 고가의 장비, 오랜 분석 시간을 요하나 상대적으로 안전하다고 알려진 Security SoC에도 유효한 공격을 할 수 있을 만큼 매우 강력하다. 이러한 강도 높은 공격에는 부채널 공격, 메모리 공격, 역공학(reverse engineering)을 통한 버스 프루빙(bus probing) 공격 등이 있으며 공격 방법과 함께 대응 방법에 대한 연구가 활발히 수행되고 있다.

부채널 공격과 그 대응 방안

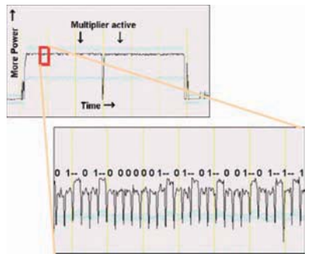
부채널 공격(SCA, Side Channel Attack)은 칩이 동작할 때 변화하는 전력 소모, 열, 연산 소모 시간, 전자기파(electro-magnetic wave) 등의 부가적인 정보, 즉 부채널 정보를 이용하는 공격방법이다. 〈그림 1〉은 부채널 공격 모델을 나타낸다.

〈그림1〉 부채널 공격 모델

부채널 정보를 수집 및 분석하여 비밀 데이터 및 키 등의 주요 보안 정보를 추출해낼 수 있으며 공격 시 칩의 외부에서 접근 가능한 인터페이스만을 이용하기 때문에 상대적으로 적은 시간과 비용만을 필요로 한다. 따라서 security SoC의 가장 현실적이고 위협적인 공격 방식으로 인식되고 있다.

1. 부채널 공격 종류

부채널 공격은 사용되는 부채널 정보에 따라 시차 공격, 전력 분석 공격, 전자기파 분석 공격, 오류 주입 공격 등으로 분류할 수 있다. 시차 공격은 입력 데이터에 따라 달라지는 연산의 시간이나 연산 회수를 관찰하여 분석하는 방법이다. 예를 들어 대표적인 공개키 알고리즘인 RSA의 경우 키의 각 bit 값에 따라 내부에서 수행되는 연산의 종류가 달라지므로 이를 관찰하여 키 값을 추출하는 것이 가능하다 [1]. 전력 분석 공격은 공격 대상 암호 장치의 소비 전력과 연산 중 처리되는 데이터간의 상관도를 이용하는 것으로 부채널 공격 방법들 중에서 가장 효과적이고 위협적인 공격 방법으로 알려져 있다. 전력 분석 공격은 분석 방식의 복잡도에 따라 단순 전력 분석(Simple Power Analysis : SPA)과 차분 전력 분석(Differential Power Analysis : DPA)으로 나누어진다. SPA는 특정 명령어가 수행되는 한 시점에서 데이터에 따라 달라지는 소비전력을 분석하여 비밀정보를 유추하는 방법이다.



〈그림2〉 RSA 연산 파형

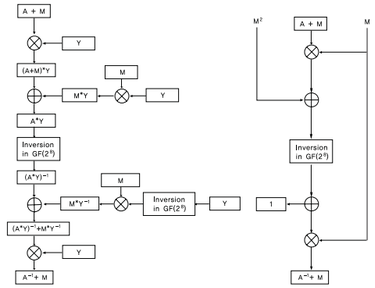
〈그림 2〉는 RSA의 파형을 분석한 것으로 연산 시간이나 파형 모양을 관찰하여 키 값을 분석하는 과정을 나타낸다. 그러나 이러한 SPA는 공격자가 공격하고자 하는 시점의 구현방법을 정확히 알고 있어야하는 단점이 있다. 반면 DPA는 비밀 정보 비트와 소비전력의 통계적인 상관관계를 이용하여 비밀 정보를 유추할 수 있는 방법으로 노이즈에 강인하고 아주 적은 자원을 사용하기 때문에 부채널 공격법 중 가장 강력한 공격법 중 하나로 알려져 있다.

전자기파 분석 공격은 공격 대상 암호 장치로부터 방사되는 전자기파 신호를 분석하는 방법으로 전력 분석 공격과 달리 원거리에서 정보의 습득이 가능하며 다중 채널로 구성되고 있어서 전력 분석 공격 대응 장치에서도 전자기파 정보의 분석이 가능하다는 장점이 있다. 전력 분석 공격과 비슷하게 단순 전자기파 분석 (Simple Electro-Magnetics Analysis : SEMA)과 차분 전자기파 분석 (Differential ElectroMagnetics Analysis : DEMA)으로 분류된다. 오류 주입 공격은 암호 연산을 위한 칩이나 하드웨어에 예상치 못한 결함을 유발시켜 발생된 잘못된 출력 값을 분석함으로써 내부의 비밀 정보를 알아내는 공격 방법이다. 칩의 패키징을 제거한 후 오류를 유발시키는 방법과 외부에서의 전기적 스파크를 일으켜 오류를 유발시키는 방법 등이 있다.

2. 부채널 공격 대응 방법

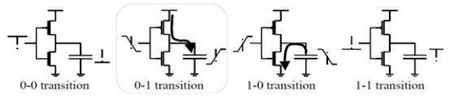
부채널 공격의 대응 방법으로 가장 많이 사용되는 것은 마스킹(masking) 방법과 하이딩(hiding) 방법이다. 마스킹 방법은 중간 과정에서의 연산 값을 랜덤하게 만드는 방식으로 원래 중간 연산 값과의 관계를 약하게 만들어 주는 것을 의미한다. 하이딩 방법은 연산 중간의 전력 소모량의 데이터 연관성을 제거하기 위해 소모량을 통일하거나 랜덤하게 만드는 방식을 의미한다.

마스킹은 랜덤 수를 적용하는 연산 종류에 따라 부울 마스킹(boolean masking)과 산술 마스킹(arithmetic masking) [2]으로 구분된다. 부울 마스킹은 XOR이나 AND와 같은 선형 연산에 랜덤 수를 적용하며 산술 마스킹은 AES의 S-box와 같은 비선형 연산에 랜덤 수를 적용한다. 그러나 이렇게 추가된 랜덤 성분은 DPA 시 약해지기 때문에 고차원의 DPA [3]에 취약하다는 단점이 있다. 따라서 하이딩 기법으로 대체하거나 이와 병행해서 사용해야 한다.

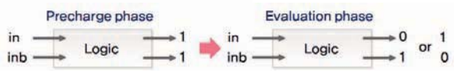


〈그림3〉 무작위수 M을 이용한 마스킹 기법

하이딩 방법의 주된 방식은 실행되는 동작과 데이터에 따른 전력소모량이 독립적이 되도록 회로를 구성하는 것이다. 일반적으로 DRP 회로 방식(Dual-rail precharge logic style)을 기반으로 하여 만들어진다.



〈그림4〉 일반적인 CMOS



〈그림5〉 DRP 회로

일반 CMOS(〈그림 4〉)는 입력 값에 따라 출력 값의 경로가 다르나 DRP(〈그림 5〉)의 경우 입력 값과 관계없는 출력 값을 가지며 모든 경우에 대하여 일정한 load capacitance를 갖는다. SABL (Sense Amplifier Based Logic) [4]과 WDDL (Wave Dynamic Differential Logic) [5]가 대표적인 DRP 회로로 SABL은 트랜지스터 수준에서 구현되며 WDDL은 일반 셀 라이브러리를 이용하여 만들어진다. 이러한 회로를 구성할 때에는 연결의 대칭이 중요하므로 대칭되는 노드 간 capacitance의 차이가 적도록 대칭적으로 설계하는 것이 중요하다.

메모리 공격과 그 대응 방안

메모리 공격은 메모리 내의 내용을 추출하거나 복제, 변경하는 방법이다. 공격 대상은 메모리의 위치에 따라 Off-SoC 메모리와 On-SoC 메모리로 나뉠 수 있으며 메모리의 종류에 따라 휘발성 메모리와 비휘발성 메모리로 나뉠 수 있다.

1. 공격 방법

Off-SoC 메모리의 경우 쉽게 메모리에 연결된 버스를 관찰하거나 메모리에 특수 처리를 하여 메모리 내의 정보를 획득할 수 있으며 공격자의 악의적인 코드가 담긴 메모리로 교체하는 등의 공격도 가능하다. On-SoC 메모리는 off-SoC 공격에 비해 상대적으로 공격이 매우 어려우나 뒤에서 설명할 역공학을 통해 칩 내부의 메모리에 접근하여 메모리의 내용을 추출하는 것이 가능하다. 그 밖에 메모리에 필요한 공급 전력을 차단하여 시스템의 불완전한 틈을 노릴 수도 있다.

메모리 공격의 대상은 비휘발성 메모리로 한정되지 않으며 휘발성 메모리도 공격이 가능하다. 휘발성 메모리의 경우 공급 전원이 차단될 경우 저장된 데이터가 사라지기 때문에 공격하기에 어려움이 있으나 완전히 데이터가 사라지기까지 약간의 시간을 소모하며 온도를 급격히 낮출 경우 그 시간은 수분에서 수 십분 이상으로 늘어난다. 따라서 전원이 차단된 비휘발성 메모리로부터도 저장되어 있던 데이터를 획득하는 것이 가능하다. 소거 기능을 사용하더라도 SRAM의 경우 반전에 의해 데이터가 소거되므로 소거 후 데이터로부터 원래 데이터를 추측할 수 있다.

2. 대응 방법

메모리 공격으로부터 중요 데이터를 보호하기 위해서는 메모리에 중요 데이터가 평문 상태로 저장되는 것을 방지해야한다. 그러나 데이터를 암호화하기 위해서는 반드시 키가 필요하므로 적어도 하나 이상의 키는 근원키로써 평문 형태로 저장되어야 한다. 따라서 이러한 문제를 해결하기 위한 방법이 필요하다. PUF(Physical Unclonable Function)는 메모리 공격의 대응방안으로 근원키를 구현하는데 사용될 수 있다. PUF는 말 그대로 복제 불가능한 함수로 똑같은 레이아웃을 이용하여 제작되나 칩마다 예측 불가능한 랜덤한 값을 생성하는 회로이다. PUF를 사용함으로써 각 칩은 고유의 근원키를 가지게 되며 이 키는 메모리에 저장되지 않는다. 추가적으로 키가 필요한 경우 근원키를 이용하여 암호화 후 메모리에 저장하게 된다. 〈표 1〉은 다양한 방식의 PUF를 나타낸다.

연도	구현 방법	제작자	layout
2000 [6]	CMOS의 랜덤 drain voltage	SiidTech, Portland State University	
2005 [7]	delay path의 속도 차	MIT	
2007 [8]	SRAM의 불안전한 초기 상태	Philips	
2009 [9]	랜덤 capaci-tance 값	semicon -ductors	

〈표1〉 다양한 방식의 PUF

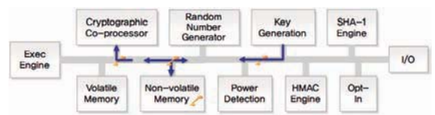
PUF는 키로 사용되는 것 외에도 값싼 ID로도 사용될 수 있는 등 다양하게 활용하는 것이 가능하나 랜덤성과 안정성, 높은 수율 등의 필요조건이 있어 쉽게 구현하기 어려운 기술이다. 현재 delay path의 속도 차를 이용한 arbiter PUF [7]와 SRAM의 초기 불안전한 상태를 이용한 SRAM PUF [8]를 각각 VERAYO와 INTRINSIC ID에서 상용화 중에 있으나 시불변성과 안정성을 확보하기 위한 ECC(Error Correction Code)를 필요로 하는 등의 문제가 있어 아직 출시된 제품은 전무한 상태이다. 그러나 PUF가 가지는 보안 특성으로 인해 기존의 단점을 개선할 수 있는 PUF에 대한 연구가 계속해서 진행되고 있으며 메모리 공격의 대응 방법뿐만 아니라 다양한 보안 프로토콜에서 사용될 수 있을 것으로 기대되고 있다.

역공학을 통한 버스 프루빙 공격과 그 대응 방안

역공학은 칩의 패키지를 제거하고 칩의 각 층을 하나씩 제거하며 레이아웃을 찍은 후 컴퓨터로 획득한 레이아웃을 분석하는 방법이다. 이를 통해 칩 내부의 레이아웃 정보를 모두 획득할 수 있으며 기술에 따라 칩이 동작하는 상태에서 외부 패키지만 제거한 후 원하는 곳의 신호를 관찰하는 것이 가능하다.

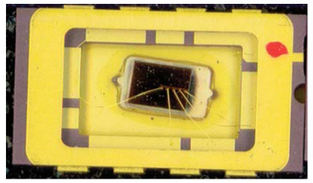
1. 공격 방법

Security SoC는 하나의 칩으로 되어있어 외부로부터 공격에 안전한 편이나 역공학 기술을 사용할 경우 칩 내부까지 관찰되어 중요 정보가 노출될 수 있다. SoC 칩의 내부가 관찰 가능할 경우 취약점을 살펴보기 위해 내부 구성을 살펴보면 〈그림 6〉과 같다.

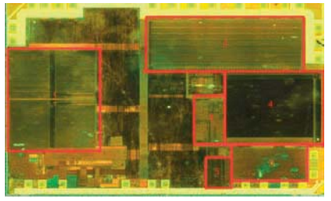


〈그림6〉 기본적인 내부 구성도

〈그림 6〉은 Secure SoC의 기본적인 내부 구성을 나타낸다. 기본적으로 칩의 동작을 주관하는 core인 execution engine이 있으며 데이터 저장을 위한 메모리와 외부와 인터페이스하기 위한 I/O, 마지막으로 보안 기능을 지원하기 위한 다양한 보안 모듈들로 구성되어 있다. 대부분의 보안 모듈들은 데이터의 암호화 및 복호화, 디지털 서명 생성 및 증명, HMAC 생성을 통해 중요 데이터에 대한 무결성 및 기밀성을 보장하고 사용자 인증, 부인 방지 등의 기능을 지원한다. 그러나 이러한 보안 기능들을 수행하기 위해서는 키를 사용하는데 이 키는 키 생성 모듈에서 생성되어 각 보안 모듈에서 사용되고 필요에 따라 메모리에 저장된다. 만약 bus를 관찰하는 것이 가능하다면 이러한 키 값이 노출될 수 있다. 실제로 스마트카드 칩의 내부 bus가 역공학 공격에 의해 관찰된 사례 [10]가 존재한다. 〈그림 7〉은 역공학을 하기 위해 칩의 외부 패키지를 제거한 모습이며 〈그림 8〉은 역공학에 의해 칩의 레이아웃이 분석된 모습이다.



〈그림7〉 외부 패키지가 제거된 칩

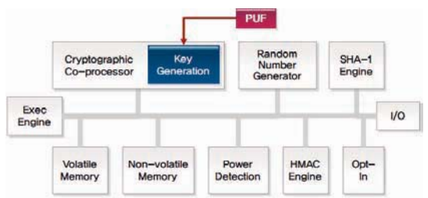


〈그림8〉 내부 레이아웃

역공학에 의해 내부의 레이아웃이 획득되면 〈그림 8〉과 같이 메모리나 코어 등의 IP는 쉽게 구별 가능하므로 이들 IP에 연결된 bus도 쉽게 찾아낼 수 있다. Infineon 66PE chip에 대한 해킹 사례에서는 이렇게 내부 bus를 관찰하여 지나는 데이터를 수집하고 분석하여 코드를 얻어내고 이를 이용하여 공격을 시도하였다. 이는 실제로 역공학을 통해 SoC 내부의 bus를 관찰하는 것이 가능하며 이는 bus를 통해 이동하는 데이터를 추출할 수 있다는 것을 의미한다. 비슷한 방법으로 bus를 통해 내부 코드뿐만 아니라 이동 중인 키 값도 추출될 수 있으며 특히 키가 노출될 경우에는 쉽게 내부 비밀정보를 복호화하거나 서명을 위조할 수 있다는 취약점이 존재한다.

2. 대응방안

SoC 내부의 bus를 오가는 데이터 중 특히 키 값을 보호하기 위하여 앞서 메모리 공격의 대응 방안에서 사용한 PUF를 사용할 수 있다. 〈그림 9〉는 PUF가 적용 시 변경되는 내부 구성을 나타낸다.



〈그림9〉 PUF가 적용된 내부 구성도

변경된 구성에서는 키 생성 모듈이 암호 모듈 내부에 존재하고 키 생성 모듈은 PUF를 내부에 포함하고 있다. 키 생성 모듈은 PUF를 기반으로 키를 생성하므로 각 SoC 칩마다 PUF 기반의 고유 키 값을 가지며 필요에 따라 키를 동적으로 생성하고 키를 메모리에 저장하지 않는다. 또한 키가 필요한 암호 모듈은 내부의 키 생성 모듈로부터 바로 키를 전달받으므로 키가 bus를 이동할 필요성이 사라진다. 따라서 결과적으로 키가 bus를 이동하지 않으므로 버스 프루빙에 의해 키가 노출될 위험성이 사라지게 된다.

결론

앞으로 컴퓨팅 능력과 네트워킹 능력을 갖춘 정보 통신 기기는 더욱 다양화되고 그 수는 폭발적으로 증가할 것으로 예상된다. 이러한 성장을 안정적으로 이어나가기 위해서는 안전한 보안 기술의 뒷받침되어야 하며 높은 보안성을 제공하는 Secure SoC가 주요 보안 방법이 될 것으로 기대된다. 그러나 Secure SoC도 위협할 수 있는 부채널 공격, 메모리 공격, 역공학에 의한 버스 프루빙 공격 등의 강도 높은 물리적 공격들이 존재한다. 앞서 설명한 대응 방안을 통해 이러한 취약점들이 해결된다면 Secure SoC의 보안성은 더욱 증대될 수 있을 것이며 그에 따라 정보 통신 기기의 안전성도 크게 향상될 것으로 기대된다.

김 동 규 교수
소속 : 한양대학교 융합전자공학부
연구분야 : 보안 SoC 설계, 스마트카드 보안, 전자결제시스템 보안, 제어시스템 기능안전 및 보안, 자동차용 보안시스템
E-mail : DQKIM@hanyang.ac.kr
Homepage : http://esslab.hanyang.ac.kr

Reference

[1] P. Kocher, J. Jaffe and B. Jun, "Differential Power Analysis," CRYPTO '99, LNCS 1666, pp. 388-397, Springer-Verlag, 1999.

[2] Kamal, A.A. Youssef, A.M. "An-Area-optimized Implementation for AES with Hybrid Countermeasure against Power Analysis," ISSCS 2009, pp. 1-4, 2009.

[3] M. Joye, P. Paillier, and B. Schoenmaker, "On Second-Order Differential Power Analysis," CHES 2005, LNCS 3659, pp.293-308, 2005.

[4] A. Hevia, M. Kiwi, "Strength of two data encryption standard implementations under timing attacks," ACM Trans. on Information and System Security, Vol. 2, pp.416-437, 1999.

[5] D. D. Hwang, K. Tiri, A. Hodjat, B.-C. Lai, S. Yang, P. Schaumont, I. Verbauwhede, "AES-Based Security Coprocessor IC in 0.18-㎛ CMOS With Resistance to Differential Power Analysis Side-Channel Attacks," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 4, pp. 781-791, 2006.

[6] K. Lofstrom, W.R. Daasch, and D. Taylor, "IC identification circuit using device mismatch," Solid-State Circuits Conference, 2000. Digest of Technical Papers. ISSCC. 2000 IEEE International, 2000.

[7] D. Lim, J.W. Lee, B. Gassend, G.E. Suh, M. Van Dijk, and S. Devadas, "Extracting secret keys from integrated circuits," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, VOL. 13, 2005.

[8] J. Guajardo, S.S. Kumar, G.-J. Schrijen, and P. Tuyls, "FPGA intrinsic PUFs and their use for IP protection," Cryptographic Hardware and Embedded Systems-CHES 2007, VOL. 4727, 2007.

[9] D. Roy, J. H. Klootwijk, N. Verhaegh, H. Roosen, and R. Wolters, "Comb capacitor structures for on-chip physical uncloneable function," Semiconductor Manufacturing, IEEE Transactions on, VOL. 22, 2009.

[10] C. Tarnovsky, "Deconstructing a 'Secure' Processor", Black Hat, Washington DC., www.blackhat.com

반도체설계교육센터
IC DESIGN EDUCATION CENTER

2014 IDEC MPW 설계공모전

Multi Project Wafer 설계공모전

국내 대학(원)생의 SoC 설계 아이디어를 국내외 Foundry를 통해 구현해 볼 수 있는 기회를 드립니다

참여대상
IDEC Working Group(WG)대학의 학부생 및 대학원생

■ 2014년 MPW 공정 지원 내역
* 10개 공정 26회 진행
* 아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정(㎛)	공정내역	size	모집 횟수	모집수(/1회)	Package
삼성	65nm	CMOSRF 1-poly 8-metal(RF)	4mmx4mm	3	48chips	208pin QFP
매그나칩/ SK하이닉스	0.35㎛	CMOS 2-poly 4-metal (Optional layer (DNW,HR,BJT,CPOLY) 추가)	5mmx4mm	2	20chips	Design-144pin, Package지원 - 208pin QFP
	0.18㎛	CMOS 1-poly 6-metal (6metal을 Thick metal (TKM)로만 사용가능) (Optional layer (DNW,HR,BJT,MIM) 추가)	4.5mmx4mm	4	20chips	Design-200pin, Package 제작 -208pin QFP
동부하이텍	0.11㎛	CMOS 1-poly 6-metal (Top : UTM)	5mmx5mm	2	12chips	208pin QFP
	0.18㎛ BCDMOS	CMOS 1-poly 4-metal TM	5mmx5mm	4	2chips	지원하지 않음.
	0.35㎛ BCDMOS	CMOS 2-poly 4-metal TM	5mmx5mm	4	3chips	지원하지 않음.
Tower Jazz	0.18㎛ CIS	CMOS 1-poly 4-metal	5mmx5mm	2	1chips	지원하지 않음.
	0.18㎛ CA18HA	RFCMOS 1-poly 6-metal	5mmx5mm	2	1chips	
	0.18㎛ BCDMOS	CMOS 1-poly 3-metal(MT)	5mmx5mm	6	3chips	
	0.18㎛ SiGe	SiGeBiCMOS 1-poly 6-metal	5mmx5mm	1	1chips	

* Tower Jazz 0.18㎛ CA18HA는 (구)RFCMOS 공정과 특성이 동일한 공정임.

■ 2014년 MPW 진행 일정
* 회차 표기 방법 변경 :"공정코드-년도모집순서" (예시)삼성65nm 2014년 1회차:S65-1401)
* 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

공정사	회차구분 (공정_년도순서)	우선모집 신청마감	정규모집 신청마감	후기 접수시작 (선착순마감)	제작 칩 수	DB 마감 (Tape-out)	DB 전달 (Fab-in)Die-out	Die-out
삼성 65nm	S65-1401	-	2013.12.09	-	48	2014.02.17	2014.03.15	2014.08.15
	S65-1402	2013.12.09	2014.02.03	2014.05.05	48	2014.08.25	2014.09.29	2015.02.27
	S65-1403	2014.03.03	2014.06.02	2014.09.01	48	2014.12.15	2015.01.12	2015.06.12
매그나칩/ SK하이닉스 0.18㎛	MS18-1401	-	2013.12.09	-	20	2014.02.24	2014.03.10	2014.07.28
	MS18-1402	-	2014.01.06	2014.02.03	20	2014.05.19	2014.06.02	2014.10.20
	MS18-1403	2013.12.09	2014.02.03	2014.04.07	20	2014.08.11	2014.08.25	2015.01.12
	MS18-1404	2014.02.03	2014.05.05	2014.07.07	20	2014.11.10	2014.11.24	2015.04.13
매그나칩/ SK하이닉스 0.35㎛	MS35-1401	-	2014.01.06	2014.03.03	20	2014.06.16	2014.06.30	2014.10.06
	MS35-1402	2014.03.03	2014.06.02	2014.09.01	20	2014.12.01	2014.12.15	2015.03.23
동부 0.11㎛	D11-1401	-	2013.12.09	-	12	2014.04.02	2014.04.23	2014.08.06
	D11-1402	2014.02.03	2014.04.07	2014.07.07	12	2014.10.01	2014.10.22	2015.02.04
동부 0.18㎛ BCD	D18-1401	-	2013.12.09	-	2	2014.02.05	2014.02.19	2014.05.14
	D18-1402	-	2013.12.09	-	2	2014.04.30	2014.05.14	2014.08.06
	D18-1403	2013.12.09	2014.02.03	2014.05.05	2	2014.08.13	2014.08.27	2014.11.19
	D18-1404	2014.02.03	2014.05.05	2014.08.04	2	2014.11.05	2014.11.19	2015.02.11
동부 0.35㎛ BCD	D35-1401	-	2013.12.09	-	3	2014.02.19	2014.03.05	2014.05.28
	D35-1402	-	2014.01.06	2014.03.03	3	2014.05.28	2014.06.11	2014.09.03
	D35-1403	2013.12.09	2014.03.03	2014.06.02	3	2014.09.10	2014.09.24	2014.12.17
	D35-1404	2014.03.03	2014.05.05	2014.08.04	3	2014.11.19	2014.12.03	2015.02.25
Tower Jazz 0.18㎛ BCD	TJB18-1401	-	2014.01.06	2014.02.03	3	2014.05.12	2014.05.19	2014.09.08
	TJB18-1402	2014.02.03	2014.04.07	2014.07.07	3	2014.10.20	2014.10.27	2015.02.16
Tower Jazz 0.18㎛ CIS	TJC18-1401	-	2014.01.06	2014.02.03	1	2014.05.05	2014.05.12	2014.09.01
	TJC18-1402	2014.02.03	2014.04.07	2014.07.07	1	2014.10.13	2014.10.20	2015.02.09
Tower Jazz 0.18㎛ CA18HA	TJR18-1401	-	2014.01.06	2014.02.03	1	2014.05.12	2014.05.19	2014.09.08
	TJR18-1402	2014.02.03	2014.04.07	2014.07.07	1	2014.10.20	2014.10.27	2015.02.16
Tower Jazz 0.18㎛ SiGe	TJS18-1401	-	2013.12.09	-	1	2014.03.11	2014.03.18	2014.07.08

* Package 제작은 Die out 이후 1개월 소요됨.
* 동부와 Tower Jazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집함.
* 선정 결과는 모집마감후 15일내 개별 통보됨.
* 문의처 : yslee@idec.or.kr (홈페이지 http://www.idec.or.kr)

참여기업 SAMSUNG MagnaChip SK 하이닉스 동부하이텍 Amkor SEMITEQ TOWERJAZZ

안드로이드의 소개와 개발 시작하기

1. 안드로이드란 무엇인가?

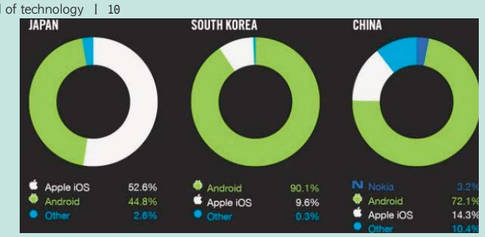
'안드로이드(Android)'라는 단어 자체는 모습과 행동이 인간을 닮은 인간형의 로봇을 의미합니다. 로봇을 의미하는 이 안드로이드라는 개념이 현 구글 부사장인 앤디 루빈에 의해 스마트폰의 OS(Operating System, 운영체제)가 됩니다. 로봇 광이던 루빈은 2003년 '안드로이드'라는 회사를 설립하고 최초의 오픈 소스형 휴대폰 운영체제를 개발하지만, 월세를 낼 돈이 모자라 친구에게 돈을 빌려야 하는 형편이었다고 합니다. 그러던 와중에 당시 세계 최고 수준의 휴대폰 판매량을 기록하던 한국의 삼성을 찾아왔지만 거절당하고 결국 구글의 창업자 중 한 명인 래리 페이지를 만나면서 구글이 수천만 달러에 안드로이드社를 인수한 이야기는 유명합니다. 루빈이 OS를 개발하자마자 휴대폰 제조사를 찾아간 까닭은 이렇습니다. 2005년, 구글이 앤디 루빈의 안드로이드사를 인수하던 당시만 해도 스마트폰 OS 시장은 저 유명한 마이크로소프트(MS)가 주름잡고 있었습니다. 당시 마이크로소프트는 OS를 휴대폰 제조사에 제공하며 비용을 물렸는데, 이런 방식과 달리 루빈은 안드로이드 OS 코드를 아예 제조사에 공개한 뒤 광고로서 다른 기업들의 투자를 얻는 방식을 고안했습니다. 구글은 루빈의 설계대로 OS와 콘텐츠만 제공하고, 스마트폰은 휴대전화 제조사가 만들며 여기에 통신사업자가 결합하는 방식의 소위 '안드로이드 연합군'을 탄생시켰고, 그 구상이 현실화되던 2007년 6월, 또 다른 강적 애플社가 '아이폰'이란 이름의 스마트폰을 출시하자 구글은 대만의 HTC와 손잡고 최초의 안드로이드폰 G1을 내놓게 됩니다. 이 과정에서도 구글이 HTC 이전에 먼저 손을 내민 휴대폰 제조사가 LG였다는 이야기가 전해지면서 왠지 아쉽다는 느낌으로 다가오는 안드로이드에 관련된 이야기였습니다.

2. 안드로이드의 점유율과 변천사

안드로이드 OS가 탑재된 스마트폰을 흔히 '안드로이드폰'이라고 하고, 그 폰에서 사용되는 프로그램을 '앱(APP 혹은 APK, 응용 프로그램을 의미하는 Application의 약자)'이라고 합니다. 안드로이드 앱들은 '안드로이드 마켓'이라는 곳에서 무료 혹은 유료로 구매하여 설치할 수 있습니다. 이런 앱을 프로그래밍하면서 $25를 지불하고 구글 개발자로 등록하면 누구나 프로그램을 만들어서 안드로이드 마켓에 등록할 수 있습니다. 전 세계의 스마트폰은 애플의 iOS폰과 구글의 Android OS를 사용한 Android폰, 이렇게 양진영으로 나뉘어 있습니다. 모바일 앱을 개발할 때는 먼저 두 가지 OS를 사용하는 폰을 모두 지원할 것인가, 아니면 어느 한쪽만을 목표로 개발할 것인가를 선택해야 합니다. 참고로, 2013년 2분기 가트너의 자료에 따르면 전세계 스마트 시장에서 Android의 점유율은 64.2%에 이릅니다. 그리고 국내의 Android 점유율은 90.1%에 육박합니다. 전 세계 사용자를 상대로 하는 앱이라면 iOS, Android에서 모두 플레이 가능한 모바일 웹 또는 하이브리드 앱으로 개발하거나 양쪽 OS 버전을 모두 개발해야 합니다. 하지만 국내 전용 앱이라면 9.6%인 iOS 사용자를 위해 멀티플랫폼용 앱을 개발하는 것은 상당히 부담스러울 것입니다. 2013년 2월에 iCrossing에서 발표한 OS 점유율에 따르면 Android OS의 사용자 수는 급격하게 증가하고 있습니다. 이런 수치로 살펴볼 때 우리가 안드로이드로 앱을 개발해야 하는 이유가 조금은 설명이 되었을 것 같습니다. 이제 이 안드로이드 OS의 버전을 살펴보겠습니다. 구글은 안드로이드 OS를 업데이트할 때마다 디저트 음식의 이름을 알파벳 순서로 붙여왔습니다.

2013년 2분기 전 세계 스마트폰 OS 점유 순위 (단위 : 천대)

스마트폰 OS	2Q13 판매량	2Q13 시장점유율 (%)	2Q12 판매량	2Q12 시장점유율 (%)
안드로이드	177,898.2	79.0	98,664.0	64.2
iOS	31,899.7	14.2	28,935.0	18.8
마이크로소프트	7,407.6	3.3	4,039.1	2.6
블랙베리	6,180.0	2.7	7,991.2	5.2
바다	838.2	0.4	4,208.8	2.7
심비안	630.8	0.3	9,071.5	5.9
기타	471.7	0.2	863.3	0.6
합계	225,326.2	100.0	153,772.9	100.0



1 안드로이드(버전 1.0~1.2)

첫 안드로이드는 이름이 없이 1.0이었습니다. 두 번째는 프티 푸르(Petit Four)였고, 버전은 1.1./1.2였습니다.

2 컵케익(버전 1.5)

세 번째부터 많은 변화가 일어 났으며, 한국어 지원이 시작되었습니다. 코드명은 컵케익(Cupcake)이며 안드로이드 버전 1.5입니다. 홈스크린과 음성인식 기능 지원이 시작되었습니다. 1.5부터가 정식버전입니다.

3 도넛(버전 1.6)

네 번째의 코드명은 도넛(Donut)이며, 버전 1.6입니다. 이때부터 WVGA 해상도가 지원되기 시작했으며 속도가 개선되었습니다. 멀티 터치 기능이 추가되었습니다.

4 이클레어(버전 2.0, 2.1)

다섯 번째는 이클레어(Eclair, 초콜릿을 얹은 길쭉한 빵)입니다. 버전 2.0, 2.1입니다. WXGA(16:9) 이상의 해상도가 지원되고, UI 디자인이 변경되었습니다.

5 프로요(버전 2.2)

여섯 번째는 프로요(Froyo, Frozen yoghurt. 얼린 요구르트)입니다. 안드로이드 버전 2.2이며 용량이 큰 앱을 외장메모리(SD-Card)에 옮기는 기능이 추가되었습니다. 어도비 플래시 10.1을 지원하기 시작했습니다.

6 진저브레드(버전 2.3)

일곱 번째는 진저브레드(Gingerbread, 생강빵)라는 이름의 버전 2.3입니다. SIP Voip(인터넷통화) 지원, webM/VP8 비디오 플레이, 다양한 오디오 효과를 지원하게 되었습니다.

7 허니콤(버전 3.0)

타블렛 전용인 허니콤(Honeycomb)입니다.

8 아이스크림 샌드위치(버전 4.0)

여덟 번째가 아이스크림 샌드위치(Ice Cream Sandwich, ICS)라는 이름의 버전 4.0입니다. 다양한 디바이스에 대응하여 폰용, 타블렛용(허니콤)을 따로 지원하던 것과 달리 4.0에서는 폰과 태블릿에서 공통적으로 사용 가능합니다. 얼굴인식 기능(Face unlock), 안드로이드빔(휴대폰을 서로 맞대어 정보교환)이 가능합니다.

9 젤리빈(버전 4.1~4.3)

아홉 번째는 젤리빈 (Jelly Bean)라는 이름의 버전 4.1~4.3입니다. OpenGL Es 3.0으로 그래픽이 향상되었고, 한 기기에 다 계정 연결이 가능해졌습니다. 보안이 강화되고 포토스피어 기능(파노라마를 3D로 기능) 및 무선 프로젝터 연결이 가능합니다.

10 킷캣(버전 4.4)

열 번째는 네슬레의 초콜릿 바 이름을 딴 킷캣 (KitKat)이라는 이름의 버전 4.4입니다. 원래는 5.0 키라임파이로 예정되었는데 이름이 낯설어서 킷캣으로 변경되었습니다.

3. 안드로이드 개발 환경 설정하기

안드로이드 개발 환경인 개발툴 이클립스와 안드로이드 개발용 SDK인 ADK(Android Development Kit)를 셋팅해 보겠습니다. 그리고 기본 샘플 프로젝트를 만들어 보겠습니다.

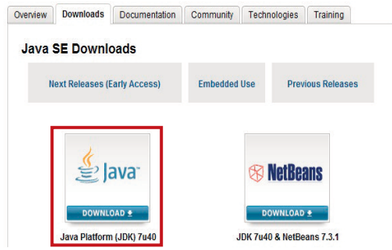
3.1. 자바 SDK 설치

안드로이드는 자바로 만들어진 운영체제다 보니, 안드로이드 앱을 만들기 위해서는 자바 SDK인 JDK가 기본적으로 설치되어 있어야 합니다. 스크린샷을 저장한 당시(2013년 10월 7일) JDK는 버전 7u40까지 출시되어 있었습니다. JDK의 버전업이 자주 이루어지므로 꼭 해당 버전이 아니어도 됩니다. 최신 버전을 동일한 방법으로 받아 주세요.

1 오라클사의 홈페이지에 접속합니다. (http://oracle.com)

2 상단 메뉴 중 [Downloads]를 클릭하여 들어간 뒤, 다음 그림과 같이 Java 메뉴에서 [Java SE]를 클릭합니다.

3 다음과 같은 화면이 나타나면, [JDK 배너(Java)]를 클릭하여 버전 선택화면으로 넘어갑니다.



4 우선 사용권 계약에 "동의(Accept)" 한 뒤 자신의 OS에 맞는 버전으로 선택하여 다운로드 합니다.

Java SE Development Kit 7u40 Demos and Samples Downloads

Java SE Development Kit 7u40 Demos and Samples Downloads are released under the Oracle BSD License

Product / File Description	File Size	Download
Linux ARM v6/v7 VFP Hard Float ABI	9.89 MB	jdk-7u40-linux-arm-vfp-hflt-demos.tar.gz
Linux ARM v6/v7 VFP Soft Float ABI	9.73 MB	jdk-7u40-linux-arm-vfp-sflt-demos.tar.gz
Linux x86	16.6 MB	jdk-7u40-linux-i586-demos.rpm
Linux x86	16.56 MB	jdk-7u40-linux-i586-demos.tar.gz
Linux x64	16.65 MB	jdk-7u40-linux-x64-demos.rpm
Linux x64	16.63 MB	jdk-7u40-linux-x64-demos.tar.gz
Mac OS X	15.3 MB	jdk-7u40-macosx-x86_64-demos.tar.gz
Solaris x86	22.89 MB	jdk-7u40-solaris-i586-demos.tar.Z
Solaris x86	16 MB	jdk-7u40-solaris-i586-demos.tar.gz
Solaris x64	1.23 MB	jdk-7u40-solaris-x64-demos.tar.Z
Solaris x64	0.82 MB	jdk-7u40-solaris-x64-demos.tar.gz
Solaris SPARC	22.89 MB	jdk-7u40-solaris-sparc-demos.tar.Z
Solaris SPARC	16 MB	jdk-7u40-solaris-sparc-demos.tar.gz
Solaris SPARC 64-bit	1.24 MB	jdk-7u40-solaris-sparcv9-demos.tar.Z
Solaris SPARC 64-bit	0.86 MB	jdk-7u40-solaris-sparcv9-demos.tar.gz
Windows x86	17.41 MB	jdk-7u40-windows-i586-demos.zip
Windows x64	17.49 MB	jdk-7u40-windows-x64-demos.zip

여러분이 사용하는 대부분의 PC는 윈도우(Windows)를 운영체제로 삼고 있을 것입니다. 위 그림에서 표시된 'Windows x86'이 대부분의 32bit, 'Windows x64'가 64bit 버전입니다. 본인이 사용 중인 OS에 맞는 버전으로 다운로드 합니다. 이때 다운받은 파일을 바로 실행할 수도 있고, 적당한 위치에 파일을 받은 뒤 실행할 수도 있습니다. 설치를 하다보면 JDK 작동에 필요한 JRE(Java로 개발한 프로그램의 실행환경)의 설치 여부를 묻는데, 필수 설치항목이므로 디폴트 설치 폴더인 [C:\Program Files\Java\jre7]에 설치하면 됩니다. 이후 진행과정에서 JavaFX의 설치는 필요 없으므로 취소해도 됩니다.

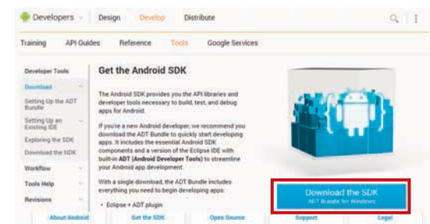
3.2. 안드로이드 ADK 다운로드

기존에는 이클립스를 받고 구글의 안드로이드 SDK인 ADK를 직접 다운 받아서 개발자가 연결을 해주어야 했습니다. 이 과정이 복잡했는데, 최근에는 구글에서 안드로이드 ADK를 받으면 그 안에 안드로이드 개발용 ADK를 함께 포함시켜 배포하고 있어 매우 간단해졌습니다.

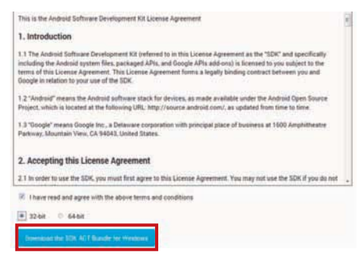
ADK를 다운받아서 이클립스를 실행 해보도록 하겠습니다.

1 '안드로이드 개발자 사이트(http://developer.android.com)'에 접속합니다.

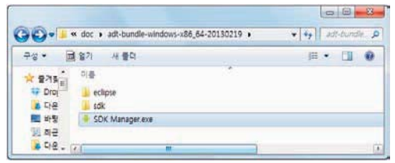
2 하단 메뉴 중 'Get the SDK'를 선택하면 SDK 패키지를 다운로드 할 수 있는 페이지가 열립니다.



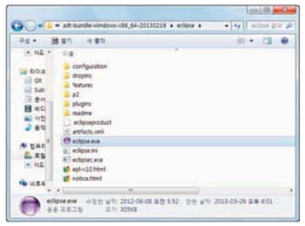
3 [Download the SDK] 버튼을 클릭하면, 구글의 정책에 대한 동의 항목이 나오고, 개발자의 운영체제를 선택하는 란이 있습니다. 정책에 동의하고 운영체제를 선택한 후에 [Download the SDK ADT Bundle for Windows]를 클릭합니다.



4 압축된 파일을 다운로드한 후, PC의 적당한 장소에 압축을 풉니다. [eclipse] 폴더 안에 개발툴인 이클립스가 있습니다. [sdk] 폴더 안에는 최신버전의 안드로이드 SDK가 포함되어 있습니다.

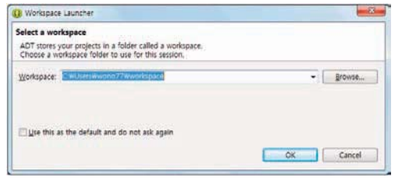


5 [eclipse] 폴더 안의 [eclipse.exe]를 클릭하여 이클립스를 실행합니다.

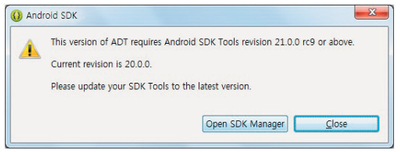


6 그림과 같은 화면이 나타나면서 이클립스가 로딩을 시작합니다. 이 로딩 이미지를 보면 안드로이드 SDK와 함께 다운로드 받은 이클립스가 구글에서 별도로 Android에 최적화하였다는 것을 알 수 있습니다.

7 프로젝트 소스의 저장 위치를 지정합니다. 대화창 아래의 'Use this as the default and do not ask again' 을 체크한 상태로 [Browse]를 눌러 폴더를 지정한 뒤 [OK]를 누릅니다. 해당 폴더는 앞으로 개발할 프로젝트의 기본 저장 폴더가 됩니다.

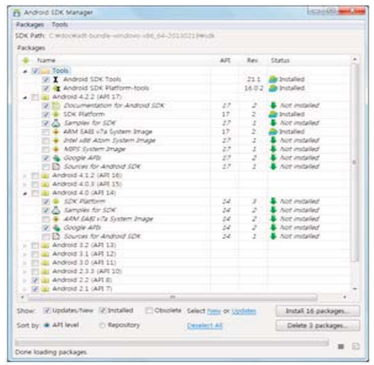


8 다음과 같이 신규 SDK를 설치하라는 메세지가 뜹니다. 이때는 [Open SDK Manager]를 클릭합니다.



9 그림과 같은 SDK Manager 창에서 개발에 사용할 안드로이드 버전과 하위 항목을 선택합니다. 모든 항목을 설치하면 시간이 오래 걸리므로, 안드로이드 4.2.2(젤리빈), 4.0(아이스크림 샌드위치), 2.3.3(진저브레드), 2.2(프로요), 2.1 정도를 체크해서 선택해 보았습니다. 처음 이클립스를 열면 당시 최신버전 ADK만 기본 설치되어 있습니다.

필요한 항목은 이클립스 메뉴에서 Android SDK Manager를 클릭해서 언제든 추가 가능합니다.



〈참고〉

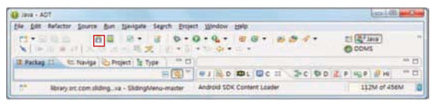
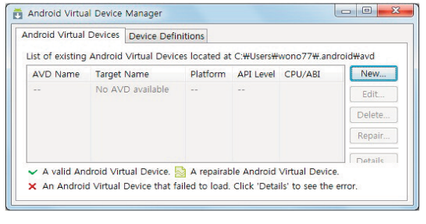


그림. SDK Manager 아이콘

Android SDK Manager : 안드로이드의 설치와 관리를 위한 버튼입니다. 〈/참고〉

10 선택이 끝나면 그림의 [Install ()packages] 부분을 눌러줍니다. 그러면 마지막으로 선택된 프로그램 라이센스에 동의를 구하는 대화창이 나타납니다. 'Accept All' 을 선택한 후 [Install]을 클릭하면 설치가 진행됩니다.

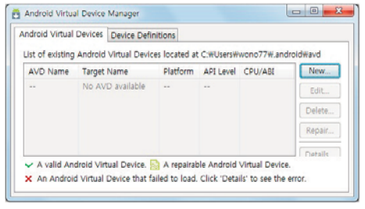


3.3.에뮬레이터로 안드로이드 폰화면 구현하기

안드로이드 에뮬레이터는 가상디바이스(AVD : Android Virtual Device)라고도 불리며, 컴퓨터에서 가상의 휴대폰 화면을 구현하는 프로그램입니다. 개발한 앱을 핸드폰에 옮기지 않고 AVD를 통해 앱을 테스트해 볼 수 있습니다. 하지만 가상으로 폰 화면을 구현하다보니 아무래도 실제 폰에 띄워서 개발하는 것보다는 속도가 느리고 폰에서는 되지만 에뮬레이터에서는 안 되는 등 여러가지 제약사항이 많습니다. 그래서 가능하면 실제 안드로이드폰을 PC에 연결해서 개발 화면을 폰에 띄우며 개발하는 방법을 추천 드립니다. 안드로이드 개발에서 안드로이드폰은 필수 준비물입니다. 아직 폰이 준비 안된 분들을 위해 이클립스에서 안드로이드 에뮬레이터를 띄우는 방법을 설명 드리겠습니다.

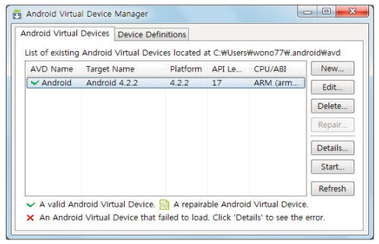
1 이클립스에서 [AVD Manager] 버튼을 클릭합니다.

2 [Android Vitural Device] 화면이 열리면, [New] 버튼을 클릭합니다.



3 그림과 같은 창에서 에뮬레이터의 세부 내용을 설정할 수 있습니다. 'Name' 은 앞으로 사용할 가상 휴대폰의 이름이므로 적당히 지어 주세요. Device는 핸드폰 기기를 선택하는 곳인데, 화면의 해상도를 따라 다양한 선택이 가능합니다. 이 해상도는 안드로이드의 제조사마다 다양합니다. 현재 보편적인 안드로이드 폰의 해상도는 480x800, 720x1280, 800x1280입니다. 앱을 출시 할때는 최소한 이 3가지 해상도에서 화면이 정상적으로 출시되도록 맞추어야 좋습니다. 480x800을 선택해 주세요. 'Target' 은 안드로이드 SDK의 버전을 의미합니다. 4.2.2 젤리빈을 선택합니다. 설정을 끝낸 후, [OK]를 눌러 저장합니다.

4 [Android Virtual Device Manager] 창으로 돌아오면 리스트에 방금 저장한 AVD 설정을 확인할 수 있습니다.



5 우측 하단의 [Start] 버튼을 클릭합니다. [Launch Options] 창에서는 [Launch] 버튼을 클릭합니다.

6 에뮬레이터가 정상적으로 가동되었습니다. 다음 화면이 보인다면 에뮬레이터가 정상적으로 시작된 것입니다.

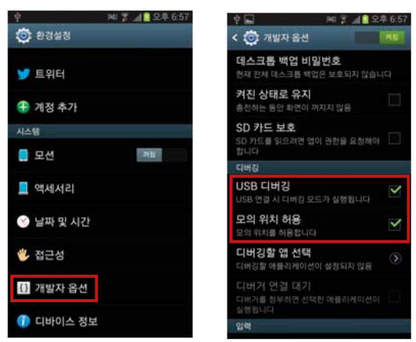
3.4.이클립스와 휴대폰을 연결하기

안드로이드 폰 없이 안드로이드 앱 개발이 불가능한 것은 아니지만, 앞서 말씀드린대로 에뮬레이터 만으로 개발을 진행하면 로딩 속도가 느리고 여러가지 제약사항이 많으므로 반드시 안드로이드 폰을 연결하여 테스트할 것을 추천 드립니다.

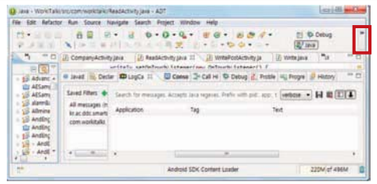
1 이클립스 ADT를 연 후, usb선과 핸드폰을 연결한 후, usb를 pc에 연결합니다.

2 핸드폰의 드라이버가 PC에서 적용되지 않는다면, 각 핸드폰의 제조사 사이트에서 다운받아 설치 합니다.

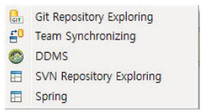
3 핸드폰에서 [환경설정]으로 들어간 후, [개발자 옵션]에서 디버깅 메뉴의 [USB 디버깅], [모의 위치 허용]을 체크해서 활성화합니다.



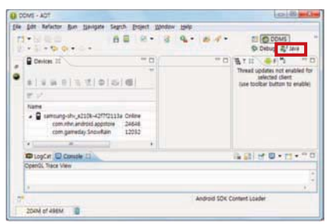
4 PC와 휴대폰이 연결되었으므로, 이클립스에서 정상적으로 인식되는지 확인합니다. 연결확인은 이클립스의 DDMS(Dalvik Debug Monitor Service)에서 가능합니다. 이 메뉴는 이클립스 메뉴의 우측 끝에 존재합니다.



5 DDMS를 클릭합니다.



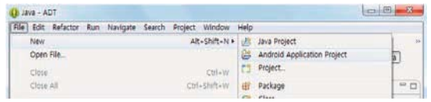
6 DDMS 화면에서 이클립스 좌측에 인식된 폰이 표시됩니다. DDMS를 한번 실행하고 난 후에는 이클립스에서 DDMS 메뉴가 활성화됩니다. 다시 개발이 가능한 창으로 돌아가기 위해서는 DDMS 아이콘 아래의 [Java] 버튼을 클릭하면 됩니다.



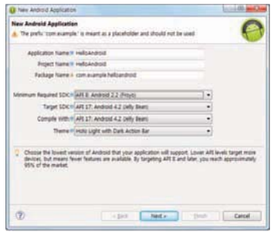
3.5.Hello Android 출력하기

안드로이드의 가장 기본적인 프로젝트를 생성하고 결과물을 에뮬레이터와 핸드폰에 띄워보도록 하겠습니다.

1 새로운 프로젝트를 생성하기 위해 이클립스 메뉴의 'File 〉 New 〉 Android Application Project'를 선택합니다. 새로운 프로젝트를 생성하면 안드로이드의 가장 기본적인 골격이 자동으로 생성됩니다.

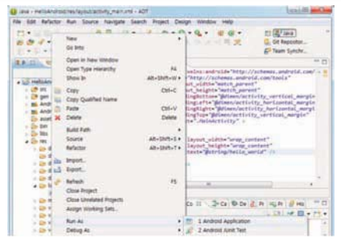


2 Application Name과 Project Name을 입력합니다.



3 이 후 나타나는 창에는 모두 'Next'를 눌러 설정을 완료합니다. 해상도에 따른 아이콘이라던가 프로젝트의 Activity 설정 등에 대한 것들인데, 프로젝트 생성 완료 후 수정이 언제든 가능하므로 여기서는 자동 선택에 맡기도록 합니다.

4 이클립스의 좌측 [WorkSpace]란을 보면 방금 생성한 HelloAndroid 프로젝트를 볼 수 있습니다. 해당 프로젝트에서 마우스 오른쪽 버튼 클릭 후 [Run As 〉 Android Application]을 선택합니다.



5 실행 결과, 휴대폰 화면과 에뮬레이터 화면에서 다음과 같은 "Hello world"가 출력된 결과를 확인할 수 있습니다.

그림. 에뮬레이터에서 실행

핸드폰에서 실행

안드로이드 OS에 대해 살펴보고 간단히 에뮬레이터와 핸드폰에 출력해보았습니다. 모든 개발은 항상 개발 환경을 셋팅하고 Hello World를 출력하는 처음이 가장 어렵습니다. 여기까지만 하면 안드로이드 개발의 절반은 했다고 생각하시면 됩니다.

최 원 효 과장
㈜네이버 컨텐츠검색랩
E-mail : ytkim@idec.or.kr
http://www.idec.or.kr

디지털 시스템의 MPW 설계 방법에 대한 이해 (3)

Equivalence Check & Static Timing Analysis(ECO)

서론

최근 심각해지는 반도체 업계의 인력난과 어려움에 반하여 대학 및 관련 분야에서는 숙달된 고급 인력의 지속적인 양성이 힘들어 둘 사이에 장벽이 존재하고 있다. 이는 축적된 노하우를 바탕으로 지속적인 칩 제작을 하면서 고급인재를 양성하는 대학 및 연구실이 많지 않다는 것을 뜻하며, 칩을 만들고자 하는 대학은 HOW-TO 문서를 그때그때 검색하고 짧은 기간에 임기응변식의 칩 제작을 한다는 뜻이기도 하다. 실제 MPW 참여자들의 경우 정기적으로 참여하는 팀과는 대조적으로 MPW 참여와 동시에 구글링부터 시작하는 사람들이 많다. 칩 설계 고급 인력 양성을 위해서는 시간과 노력이 많이 들어가야 하므로 직관적이고 정확한 이론 및 실습자료가 매우 필요하다. 지금까지 "SoC 시스템과 IDEC MPW Flow 소개"와 "FPGA 검증부터 Synopsys Design Compiler를 이용한 합성"에 대해 알아보았다. 이번 호에서는 "Equivalence Check와 Static Timing Analysis"에 대해 소개 하고자 한다.

본론

◆ Equivalence Check

Equivalence Check를 진행하는 이유는 logic synthesis와 layout 이후 function 변화가 없는지 점검하기 위함이다. Synthesis 과정에서 툴은 constraint 및 compile options 등에 따라 optimization을 위해 특정 모듈을 삭제하거나 timing을 위해 buffer 등을 삽입한다. 사용되지 않는 register 또는 unconnected net의 경우 compile 이후 삭제될 수 있으며 이러한 과정은 설계 면적을 줄이는 좋은 방법이 되기도 한다. 이를 통해 설계자는 register 나 net에 대해서 관련 모듈을 점검할 수 있으며 설계에 재 반영하여 진행할 수도 있다. 최근에는 IP의 재사용이 늘어나면서 외부 모듈을 활용하는 경우가 많아졌고 design이 커지면서 module을 여러 설계자가 나누어 설계하는 경우도 늘고 있다. 이러한 경우 design에 대해 충분히 고려하지 않고 synthesis를 진행할 경우 의도하지 않은 결과가 나타날 수 있으므로 주의해야 한다. 설계자는 synthesis 이후 function simulation을 진행하며 function에 문제가 없는지 점검한다. 하지만 function simulation은 test bench에 의존적이며 다양한 test bench를 통해 검증하고자 할 경우 runtime이 증가하게 되는 단점이 있다.

이러한 부분을 개선하고자 synthesis 이후 equivalence check 과정을 진행하며 대표적으로 사용되는 툴은 Synopsys 사의 Formality 툴 이다. Formality는 logic의 0과 1의 input에 따른 output 값만을 비교하며 딜레이는 고려하지 않는다. 예를 들어 synthesis 이후 단일 net 에 invertor 2개가 연속하여 삽입되었을 경우 Formality는 동일한 function으로 인식하고 error report를 하지 않는다.

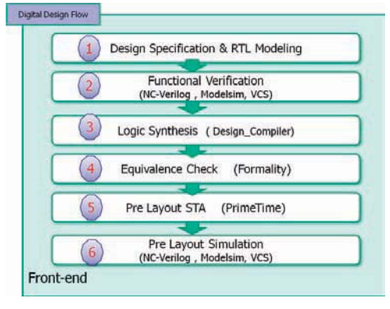


그림1. IDEC MPW FLOW (Digital Front-End)

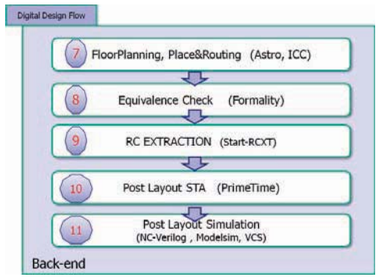


그림2. IDEC MPW FLOW (Digital Back-End)

Formality에 대한 자세한 기능과 사용 방법은 간단한 예제를 통해 확인해 보도록 하자.

◆ 환경설정

Formality는 다른 툴들과 마찬가지로 command mode와 GUI mode에서 모두 실행이 가능하다. command mode에서 실행할 경우 fm_shell로 실행하며 GUI mode로 실행 시 formality 명령어로 실행할 수 있다. GUI 구성이 비교적 잘 구성되어 있으므로 처음 사용 시 GUI로 진행하는 것이 좋다. 단계별로 0번부터 6번까지 번호로 표기되어 있으며 사용자는 순서대로 진행하면 결과를 확인할 수 있다. 이상이 없으면 녹색으로 표기되며 다음 단계의 메뉴가 활성화된다.

환경설정을 위해 designware 등에 대한 경로 설정과 synthesis 과정에서 생성된 svf 파일이 필요하다.

- set_app_var hdlin_dwroot SYNOPSYS/design_compiler
- set_svf design_compiler.svf

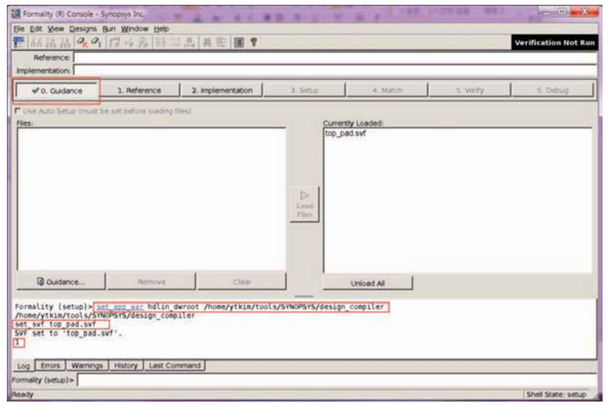


그림3. Formality GUI (환경설정)

◆ Reference

Synthesis 이후 점검 시 reference는 synthesis 이전 RTL 이 되며 layout 후 비교할 경우에는 synthesized netlist가 reference 가 된다. verilog를 load 한 이후에는 database Library 설정과 Top Design을 지정해 준다.

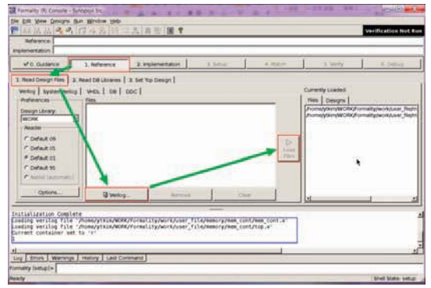


그림4. Reference Design Setup

- read_verilog container r library WORK top.v
- read_db -technology_library slow.db
- set_top r:WORK/top

◆ Implementation

Synthesis 된 netlist 파일을 load하고 Top Design 선언 후 다음 단계로 넘어간다. DB는 reference 과정에서 이미 load 하였으므로 read_db 과정은 생략해도 무방하다.

- read_verilog container i libname syned_top.v
- set_top i:WORK/top

◆ Setup

Setup 단계에서 설정해 주는 것은 scan en과 같은 constant 값이 있는 경우나 CTS 등의 과정이 후 net name이 변경된 경우 설정을 한다. scan을 사용하지 않았거나 단순히 synthesis 이후 진행을 할 경우 별도의 설정을 하지 않아도 된다.

- set_constant type port i:WORK/scan_en 0
- set_compare_rule r:/WORK/top -from {reg\[\([0-9][0-9]*\)\]} -to {reg_\1_}

◆ Match

위 과정까지 이상 없이 진행한 뒤 match를 진행하면 reference와 implementation design과 상이한 점을 report 한다.

- match

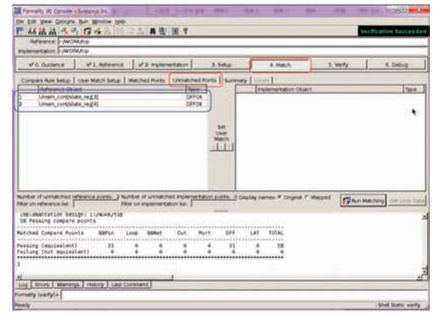


그림5. Results of Match

report 된 내용을 보면 register 두 개가 일치하지 않은 것을 보여주고 있으며 synthesis 이후 implementation design에서 state_reg[3] 과 state_reg[4] 의 두 개의 register가 삭제된 것을 확인할 수 있다. 설계자는 삭제된 register가 동작에 이상이 없는 부분인지 점검해야 하며 필요에 따라 RTL을 수정하거나 DesignCompiler 에서 constraint를 변경하여 다시 synthesis를 진행해야 한다.

report 된 곳의 source code를 살펴보면 state 상태를 저장하기 위한 register를 5개 생성하였으나 state는 6개만 사용하였으므로 3개의 register로만 처리가 가능한 상황이었음을 알 수 있다. DesignCompiler는 2개의 register를 삭제함으로써 면적에 대한 optimization을 진행한 것을 알 수 있다. 설계자는 reg [2:0] state; 로 RTL을 수정하여 다시 synthesis를 진행하거나 동작에 문제가 없는 구간이므로 SKIP 하여 다음 단계로 진행할 수 있다.

```
reg [4:0] state;
parameter IDLE = 4'h0;
parameter READ_DATA =4'h1;
parameter RECEIVE_DATA =4'h2;
parameter WRITE_RAM = 4'h3;
parameter ADDRESS_PLUS = 4'h4;
parameter READ_RAM = 4'h5;
parameter READ_RAM_SETADD = 4'h6;
```

위와 같이 Synthesis 과정에서 register 등이 삭제되었을 경우 Formality가 아닌 Design Compiler에서도 확인이 가능하다. synthesis 이후 report를 보면 삭제된 register 및 unconnected net에 대해 설계자가 확인할 수 있게 되어있다. Formality를 통해 Equivalence Check를 하는 이유는 아래 사례 같은 경우에 보다 유용하다.

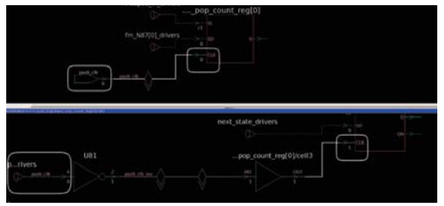


그림6. Unmatched ports

그림에서 상단부분이 reference design(RTL)이며 하단부분은 implementation design(Synthesized netlist)이다. push_clk의 값을 보면 reference design에서는 input 값인 0이 count_reg[0]에 그대로 인가되고 있으나 implementation design에서는 1로 값이 변경되어 인가되고 있음을 알 수 있다. 위 경우는 CTS 또는 ECO 과정 진행에서 timing violation 문제를 해결하기 위해 inverter가 삽입된 것이며, timing 문제는 해결되었으나 설계자가 의도하지 않은 동작을 하게 된다. function simulation을 통해 이상 여부가 확인될 수도 있으나 test bench에 의존적이므로 복잡한 logic일 경우 놓치고 지나칠 수 있으며, 문제가 되는 구간과 원인을 찾는데 많은 시간이 필요하다. 그러므로 Equivalence Check를 점검하고 진행하는 것이 오히려 검증시간을 줄이는 좋은 방법이 된다.

최근 본 센터에서 지원하는 MPW Chip 제작 type을 보면 Mixed Design이 증가하고 있으며 이에 따라 다양한 DIGITAL IP가 활용되고 있다. Equivalence Check Tool은 대부분 공정에서 사용되기를 권장하고 있으며 사용법이 쉽고 간편하다는 장점이 있으므로 많은 설계자에게 도움이 될 것으로 생각된다.

◆ Static Timing Analysis (STA)

STA는 Function Simulation과 Equivalence Check와는 달리 timing에 대한 이상 여부만을 판별한다. 예를 들어 3+5=8을 연산하는 덧셈기에서 3+5=9 연산이 되더라도 timing 대해서만 분석할 뿐 logic의 true/false 여부에 대해서는 고려하지 않는다. 대표적인 툴은 Synopsys사의 PrimeTime이며 대부분 공정에서 sign off 툴로 사용되고 있으므로 Digital 설계자는 필수적으로 사용하게 되는 툴이다. PrimeTime은 크게 세 가지 Feature로 구분되며 기본 STA를 진행하는 PrimeTime, Crosstalk Analysis 기능이 포함된 PrimeTime-SI, Power Analysis가 가능한 PrimeTime-PX가 있다. 설치를 개별적으로 진행하는 것이 아니라 해당 기능을 사용할 수 있는 License를 보유한 상태에서 특정 명령어를 통해 기능을 활성화하는 형태로 동작한다. IDEC에서 제공하는 License는 SI와 PX까지 모두 사용할 수 있다.

STA에서 가장 중요한 개념은 setup과 hold time에 대한 것으로 clock을 기준으로 데이터가 원하는 시점에 유효한 값을 인식할 수 있는지를 판별한다. rising edge에서 data 값을 인식하기 위해서는 data는 clock rising edge보다 이전에 유효한 값을 일정 시간 동안 가지고 있어야 하며 (setup

time) 반대로 switching 후 상태 변화가 정확히 인식되도록 하기 위해서는 일정 시간 동안 값을 유지하고 있어야 한다(hold time). STA는 기본적으로 clock을 기준으로 delay를 점검하므로 로직에 clock이 없을 경우, virtual clock을 별도로 선언하여 timing 분석을 진행하거나 다른 방법으로 접근해야 한다. 이외에도 skew 및 latency에 대한 개념 등 timing에 대한 기본적인 사항을 알고 있어야 원활한 사용이 가능하다.

PrimeTime에 대한 사용방법을 모두 소개하는 것은 어려우므로 자세한 사용법은 IDEC에서 제공하는 교육 강좌를 수강하는 것을 추천한다. 본 호에서는 IDEC MPW 공정 진행 시 설계자들에게 꼭 필요한 개념과 많은 질문이 있었던 ECO 방법에 대해서 간략하게 소개하고자 한다. PrimeTime 은 DesignCompiler 통해 synthesis가 완료된 시점과 Astro 및 ICC를 통해 layout을 진행한 이후 두 번에 걸쳐 진행하게 된다. Synthesis 이후 STA 진행 시 설계자는 setup time에 대해서만 violation이 없는지 점검한다. hold violation에 대해서 report 되더라도 무시하고 진행한다. hold Violation을 무시하는 이유는 DesignCompiler에서 clock에 대해 ideal하게 선언을 하고 실제 layout이 진행되지 않은 상태이기 때문이다.

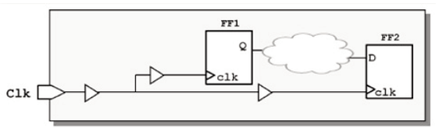


그림6. Clock 에 Buffer 가 삽입된 회로

예를 들어 위와 같이 두 개의 Flip Flop이 있으면 clock net의 길이가 다르므로 FF1에 clock이 인가되는 시점과 FF2에 clock이 인가되는 시점이 다르게 된다. Layout을 진행하기 이전에는 얼마큼의 시간이 필요한지 정확히 알 수 없으므로 그림 7에서와 같이 버퍼를 미리 삽입했더라도 정확한 값이 아니다. Synthesis 진행 시 clock을 ideal network로 선언하고 모든 clock이 동시에 active 되는 것으로 고려하며, Layout CTS 과정에서 기존에 적용된 clock에 대한 모든 buffer를 삭제하므로 Layout 이전에 hold violation을 점검하는 것은 의미가 없다. 그러므로 synthesis 이후에는 setup violation만을 점검하고 layout 이후 setup과 hold time violation이 모두 이상이 없는지 점검해야 한다. 물론 최종 Sign Off 과정에서는 setup, hold violation뿐만 아니라 max transition, max fan out 등도 점검되어야 한다.

Layout 이후 timing violation 발생 시 가장 좋은 해결 방법은 constraint를 명확히 확인한 뒤 합성부터 다시 진행하는 것이지만 이럴 경우 처음부터 검증을 다시 진행해야 하므로 많은 시간과 노력이 필요하다. 오류의 범위가 넓지 않고 일부분만을 수정하여 해결이 가능한 상황일 경우 ECO를 진행하는 것이 효율적이다. ECO는 Engineering Change Order의 약자로 timing violation을 해결하기 위해 특정 구간에 buffer를 삽입하거나 cell의 size를 조정하는 방법 등으로 문제를 간편하게 해결하는 방법이다. 기본적으로 ICC나 Astro에서도 기본적인 timing analysis가 가능하고 buffer 등을 바로 삽입할 수 있으며 design에 바로 반영할 수 있다는 장점이 있으나 timing 분석의 결과에 대한 정확도가 떨어지므로 Timing Check 및 ECO는 PrimeTime 툴에서 진행하는 것이 일반적이다. 다만 PrimeTime은 netlist나 layout에 직접적인 영향을 주는 툴이 아닌 단순히 분석하는 툴이므로 PrimeTime을 통해 수정하고자 했던 사항은 Auto PnR 툴(Astro, ICC 등)이나 Synthesis 툴(DesignCompiler)을 통해 재 반영되어야 한다. ECO를 진행하기 전에 공정사에서 안내된 방법으로 Timing Analysis를 진행하였는지 점검해야 할 필요가 있다. 대부분의 IDEC MPW 공정은 Post STA 과정 시 StarRCXT(synopsys)를 통해 RC 값을 추출하고 Parasitic을 반영하도록 안내하고 있다. 간혹 Post STA 과정에서 parasitic을 반영하지 않거나 Layout 툴인 ICC 나 Astro를 통해 RC 값을 추출하고 이를 Post STA 반영하는 경우가 있으나 이는 정확한 결과를 report 하지 않을 수 있으므로 주의해야 한다.

구분	Pre STA	Pre STA	비고
Netlist	Design Compiler Netlist	Astro or ICC Netlis	.v
Parasitic	없음	StarRCXT	.spef
Target LIB	Worst Case	All Corner & Mode	.db
Analysis	Setup Time	Setup&Hold Time MTTV 등	

표 1 Pre STA 와 Post STA 비교

만약 violation이 발생하게 될 경우 설계자는 spec out으로 보고 합성부터 다시 진행할 것인지, ECO를 진행할 것인지, 또는 clock margin, uncertainty margin으로 보고 수정 없이 진행할 것인지를 판단해야 한다.

ECO를 진행하는 방법 중 기본적으로 사용하는 방법은 cell size를 변경하는 것이다. Cell은 size와 delay 사이에 trade off 관계에 있으므로 size가 증가하게 되면 delay는 줄어들게 된다. Delay 감소를 위해 cell의 size를 키우게 될 경우 전체적인 면적이 다소 증가할 수는 있으나 cell을 추가로 삽입하는 것보다는 면적에 대한 이득이 있으므로 우선 size를 변경하여 해결할 수 있는지 점검해 보는 것이 좋다. 특정 구간에 이전 cell 대신 사용이 가능한 cell을 확인하기 위해서는 PDK를 통해 제공되는 cell 문서를 통해 점검해 볼 수 있으며 아래와 같이 명령어를 통해 library에서 확인할 수 있다.

```
pt_shell>report_alternative_lib_cells Usoc/Uamba_ahb/Uahb_lite/U5
```

```
pt_shell> report_alternative_lib_cells Usoc/Uamba_ahb/Uahb_lite/U5
Information: Loading library data due to accessing lib cells not link
Information: Loading library data due to accessing lib cells not link
Information: Loading library data due to accessing lib cells not link
****************************************
Report : alternative_lib_cells
        Usoc/Uamba_ahb/Uahb_lite/U5
        -delay_type max
Design : pad_soc_uart_fifo/0 (unknown)
Version: F-2011.12-SP3-5
Date   : Tue Sep 10 03:52:39 2013
****************************************

Alternative          Slack
Library Cells
-----------------------------------------------------------------------
m18gm180s_wci/INVX8
                          7.64(f)
m18gm180s_wci/INVX4
                          7.64(f)
m18gm180s_wci/INVX3
                          7.60(f)
m18gm180s_wci/CLKINVX8
                          7.59(f)
m18gm180s_wci/RFRDX4
                          7.58(f)
m18gm180s_wci/CLKINVX4
                          7.56(f)
m18gm180s_wci/INVX16
                          7.54(f)
m18gm180s_wci/INVX20
```

사용이 가능한 cell의 종류를 확인한 뒤 size를 변경하기 위해서는 아래 명령어를 통해 진행할 수 있다. Size 변경 후에는 report timing 명령어를 통해 이상 없이 cell이 변경 되었는지를 점검하고 delay 값을 확인해 볼 수 있다.

```
pt_shell> size_cell Usoc/Uamba_ahb/Uahb_lite/U5 m18gm180s_wci/INVX8
```

Cell의 size 변경으로 timing violation이 해결되지 않을 경우 cell을 삽입해야 할 필요가 있다. 특정 구간에 buffer cell등을 삽입하기 위해서는 삽입하고자 하는 구간, 삽입 셀 이름을 확인한 뒤 insert buffer 명령어를 통해 삽입할 수 있다.

```
pt_shell> insert_buffer Usoc/Uamba_ahb/Uahb_lite/U5/Y m18gm180s_wci/BUFX4
```

```
-----------------------------------------------------------------------
clock MAIN_CLOCK (rise edge)                          7.50       7.50
clock network delay (propagated)                      4.67      12.17
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/u_hsel_reg_reg_3_/CK (DFFRHQX1)
                                                      0.00      12.17 r
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/u_hsel_reg_reg_3_/Q (DFFRHQX1)
                                                      0.58 &    12.75 r
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/U20/Y (NOR3X1)      0.30 &    13.05 f
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/U34/Y (NAND4X1)     0.32 &    13.37 r
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/U9/Y (CLKINVX3)     0.62 &    13.99 f
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/U4/Y (NOR3X1)       0.24 &    14.23 r
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/U3/Y (NAND4X1)      0.38 &    14.61 f
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/U25/Y (NAND4X2)     0.52 &    15.13 r
Usoc/Uamba_ahb/Uahb_lite/Uahb_s2m/HREADY (ahb_s2m_s5)
                                                      0.00 &    15.13 r
Usoc/Uamba_ahb/Uahb_lite/U5/Y (INVX8)                 0.07 H    15.20 f
Usoc/Uamba_ahb/Uahb_lite/U158/Y (BUFX4)               0.17 H    15.37 f
Usoc/Uamba_ahb/Uahb_lite/U4/Y (INVX8)                 0.16 &    15.53 r
Usoc/Uamba_ahb/Uahb_lite/M_HREADY (ahb_lite_s5)       0.00 &    15.53 r
Usoc/Uamba_ahb/M_HREADY (amba_ahb_m4s5)               0.00 &    15.53 r
Usoc/Ucore/D HREADY (corea ahb) <-                    0.00 &    15.53 r
```

앞서 언급한 것처럼 변경된 내용을 layout 툴에서 적용하기 위해서는 수정된 내용을 별도의 파일로 export 한 뒤 layout 툴에서 다시 load 해야 한다. Layout 툴에서는 netlist 에 수정사항을 반영한 뒤 추가해야 하는 새로운 cell이 있을 경우 placement를 진행해야 한다. 이때 core filler가 있을 경우 삽입할 공간이 없으므로 filler는 제거한 뒤 진행한다. placement 후에는 해당 cell에 대해 route를 진행하여 실제 layout 상에서 net이 연결 될 수 있도록 한다.

```
pt_shell> write_changes -format icctcl -output eco_test.eco
icc_shell> eco_netlist -by_tcl_file eco_test.eco
icc_shell> legalize_placement  -eco -incremental
icc_shell> route_zrt_eco
```

위에서 사용된 format은 IC Compiler 용으로 저장한 것이며 기본적으로 write_change 명령어로 지원되는 format은 PrimeTime, DesignCompiler, IC Compiler, Text이다. Astro 의 경우 2009년도 이전 버전에서만 format을 지원한다.

◆ Multi-Scenario STA

Post STA에서 Worst Case와 Best Case를 각각 진행하는 과정에서 한쪽 Case에서 발생하는 violation을 해결하기 위해 ECO를 진행하게 될 경우 다른 case에서 violation이 추가로 발생할 수 있으며 mode와 corner가 많을 경우 STA에 많은 시간이 필요하게 된다.

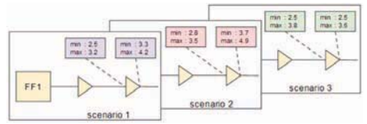


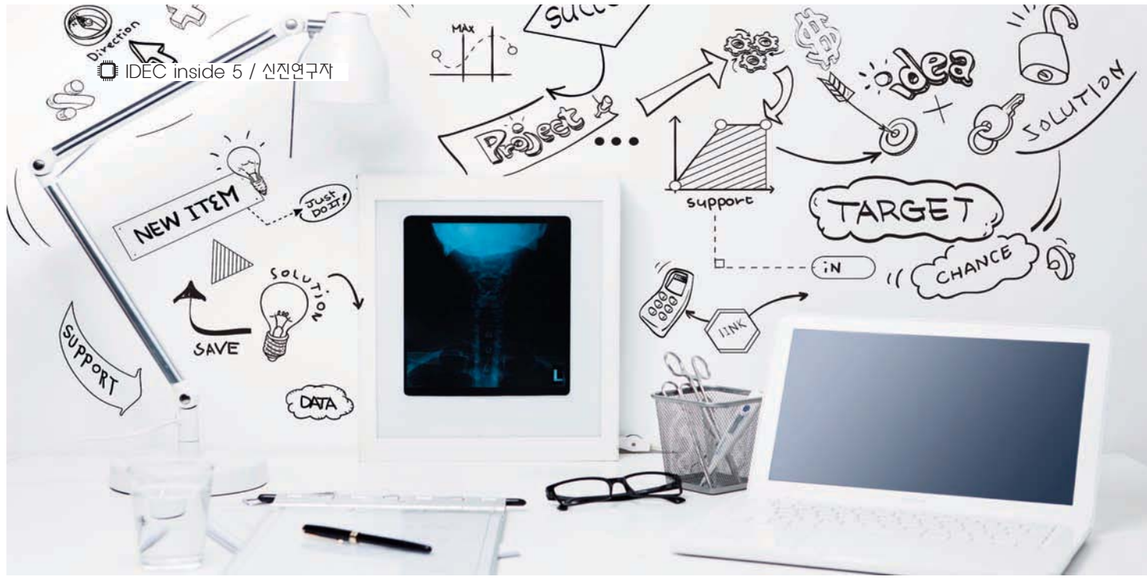
그림7. Concept of Multi-Scenario

이를 개선하기 위해서 최근 사용되고 있는 방법은 Multi-Scenario Mode를 사용하는 것으로 다양한 scenario를 구성하여 이에 대해 동시에 STA를 진행하는 방법이 많이 사용되고 있다. Multi-Scenario 진행을 위해서는 pt_shell -multi 명령어로 툴을 실행해야 하며 mode 수만큼 라이센스가 추가로 필요하다. 다양한 corner에 대한 timing violation을 동시에 확인할 수 있다는 장점과 ECO 역시 모든 corner 상황을 반영하여 진행할 수 있다는 장점이 있으므로 검증 시 활용해 보는 것도 좋을 것으로 생각된다.

이번 호에서는 Equivalence Check와 Static Timing Analysis & ECO 방법에 대해서 간략하게 알아보았다. STA는 중요한 검증 과정이며 알아두어야 할 것이 많으므로 반드시 한번은 IDEC 강좌를 수강할 것을 권장한다. 다음 호에서는 Digital Auto PnR 에 대해 주의사항과 기본 진행 과정에 대해 알아보고자 한다.

김 연 태 전임연구원
소속 : 반도체설계교육센터
E-mail : ytkim@idec.or.kr
http://www.idec.or.kr

본 내용은 2013년 9월에 IDEC 본센터에서 개설된
IDEC 연구원 교육 자료를 요약, 정리한 것으로서 자세한 자료는
IDEC 홈페이지에서 다운로드 및 VoD 시청이 가능합니다.
본 내용의 무단 배포 및 사용을 금합니다.



천 지 민 교수
금오공대
전자공학부

따뜻한 기술을 연구하고 싶은 연구자

스마트 센서 시스템은 디지털카메라, 스마트폰, 나아가 구글 글래스와 같은 웨어러블 디바이스에서 이미지 및 영상 획득을 위해 필수인 CMOS 이미지 센서와 IoT 세상을 구현하기 위한 필수적 기반 기술이다. 전기.전자공학을 전공하고 현재, 금오공과대학교 전자공학부 조교수로 재직 중인 천지민 교수를 만나 그간의 연구 인생에 대해 들어보았다.

"웨어러블 디바이스, IoT를 통해 부각되는 연구 분야"

천지민 교수는 CMOS 공정을 이용한 이미지 센서 및 스마트 센서 시스템 구현을 위한 analog/mixed-signal 집적회로를 연구한다. 디지털카메라, 스마트폰, 나아가 구글 글래스와 같은 웨어러블 디바이스에서 이미지 및 영상 획득을 위해 필수인 CMOS 이미지 센서와 사물인터넷(IoT: Internet of Things) 세상을 구현하기 위한 필수적 기반 기술을 연구하고 있다. 웨어러블 디바이스 및 사물인터넷이 대두하고 있는 요즘, 각종 스마트 센서 시스템 연구개발에 대한 요구는 더욱 커질 것으로 예상하며 특히 여러 기술과 산업 간 협력이 필요한 전형적인 융합 산업으로 다양한 분야의 많은 연구인력이 필요한 분야이다. 그는 연세대에서 학사.석사.박사를 모두 마친 후, 삼성전자 System LSI 이미지개발팀에서 근무했다. 그곳에서 국내 최초로 DSLR/Mirrorless 디지털카메라용 ADC 내장 APS-C 크기 CMOS 이미지 센서를 개발을 수행하고, 이후 SK telecom 융합기술원 반도체 Tech. Lab에서 반도체 분야 신기술/신사업 발굴 업무를 하다가, 지금의 금오공과대학교로 오게 되었다.

"꿈은 이루어진다."

천지민 교수는 어렸을 때 꿈을 이룬 사람이다. "초등학교 때, 신문에서 삼성전자 DRAM 개발 기사를 보고 감전된 것 같은 전율을 느꼈습니다. 아무것도 모르는 어린 꼬마였던 제가 무작정 반도체 설계 엔지니어를 꿈꿨지요." 천지민 교수의 석.박사 과정 중 진행한 핵심 연구 테마는 〈CMOS 이미지 센서 시스템 설계〉였다. 일반적인 디지털카메라를 위한 〈CMOS 이미지 센서에 필요한 픽셀 설계 및 리드아웃 회로 설계〉, 〈구조광(structured light)을 이용한 고조도 환경에 적용 가능한 3D 센서〉, 〈생체 신호〉, 〈연기 및 온도 측정 등을 위한 각종 스마트 센서 시스템〉도 함께 진행했다. 어릴 적 꿈을 이룬 그였지만 전자회로 과목은 힘들었다고 회상했다. 그러면서도 "Spice 시뮬레이션을 통해 진행되는 회로 설계 프로젝트는 너무 재미가 있었어요. 설계 결과를 바로 눈으로 확인할 수 있는 매력이 지금 전공분야를 결정하게 되었습니다." 그러면서 자신의 석.박사 과정을 지도해 주신 교수님의 연구자로서의 열정과 비전도 지금의 자신을 있게 해준 계기였다고 한다.

"처음의 중요성과 긍정의 힘"

처음 진행한 일이 순조롭게 진행이 되면 누구나 자신감도 생기고 계속해서 더 좋은 결과를 얻는 원동력이 된다. 아마도 그가 석사과정 입학 후 첫 칩 설계가 가장 기억에 남는 것도 같은 이유가 아닐까? "직접 설계하고 레이아웃을 진행한 첫 번째 칩이 동작에 성공했을 때는 최고였던 거 같습니다." 연구 진행의 어려움이 없었느냐는 질문에서도 천지민 교수는 무한 긍정을 표현했다. "누구나 새로운 아이디어 창출의 어려움은 있고 저 또한 마찬가지입니다." 세계 각지에서 비슷하거나 같은 연구를 하는 연구자들이 많기 때문에 생각해 낸 새로운 아이디어가 새롭지 않은 상황을 많이 맞이할 때가 많다는 것이다. "실망은 하지 않아요. 다만 세상에 나와 같은 생각을 하는 사람들이 많다는 사실이 놀랍고 신기합니다. 그땐 '난 어떤 아이디어를 먼저 내어서 다른 사람을 놀라게 할 수 있을까?'하고 한 번 더 생각을 합니다."

"현재를 소중히 생각하고 즐기자"

천지민 교수는 연구자에게 조급함은 금물이라고 말한다. "무언가를 이루겠다는 조급함보다는 기본에 충실한 연구가 중요한 거 같습니다. 기본이야말로 연구 기반을 단단하게 만들고 이를 통해 더 창의적인 아이디어가 나올 수 있다고 생각합니다." 그러면서 그는 현재의 시간을 소중하게 생각하고 즐기기를 강조했다. "나 자신에게 '나중에', '다음에'라는 말은 없다고 생각하면서 하루하루를 소중히 보냈으면 좋겠습니다." 천지민 교수는 삼성전자의 AP 분야에서의 활약으로 성장하는 것으로 보이는 비메모리 분야는 여전히 핵심 시스템 설계, 응용 S/W 개발 등에서 절대적 열세를 보이고 있다고 말한다. 그러면서 비메모리 분야는 설계자인 핵심인력의 경쟁력에 의해서 산업의 경쟁력이 좌우되기에 국가 및 관련 기업에서 핵심인력 양성을 위한 대책을 다시 점검할 필요가 있다고 지적했다. 어떤 분야의 도전보다는 본인이 갖춘 연구능력을 활용하여 사회적인 안전과 장애인 및 고령자 등 사회적 약자의 생활에 도움이 되는 따뜻한 기술을 연구하고 싶다는 그의 포부에서 앞으로의 연구 활동에 대한 기대와 희망이 느껴진다.

문의 금오공과대학교 전자공학부 마이크로시스템Tech.연구실 전화 054-478-7436
E-mail jimin.cheon@kumoh.ac.kr Homepage http://sites.google.com/site/kmstlab/

Dreams come true!

반도체설계교육센터
IC DESIGN EDUCATION CENTER

IDEC newsletter

VOL. 204
JUNE 2014

IDEC Newsletter I 통권 제204호
⊙ **발행일** 2014년 5월 30일 ⊙ **발행인** 박인철 ⊙ **편집인** 남병규 ⊙ **제 작** 푸울디자인
⊙ **기 획** 전항기 ⊙ **전 화** 042) 350-8535 ⊙ **팩 스** 042) 350-8540 ⊙ **홈페이지** http://idec.or.kr
⊙ **E-mail** jhg0929@idec.or.kr ⊙ **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 204 JUNE 2014

IDEC 논단

IoT시대, 개방형 SoC 플랫폼의 필요성

이 석 희 원장
SK하이닉스 미래기술연구원

2007년 애플의 아이폰이 등장했을 때 노키아의 최고경영자 올리 페카 칼라스부오는 '우리는 세 살배기용 스마트폰 따위는 만들지 않는다'라고 일축했다. 당시 노키아는 세계 휴대전화 시장의 40%를 차지하고 핀란드 전체 법인세의 23%를 납부하고 있었다. 고인이 된 스티브 잡스조차 아이폰 출시 당시 시장점유율 1%를 목표로 한다고 말했을 정도로 애플이 휴대전화 시장에서 노키아를 넘어설 것이라고는 아무도 예상하지 못 했을 것이다. 그러나 7년 후 애플의 스마트폰 시장점유율은 13% 이상인 반면 노키아의 시장 점유율은 겨우 3.5%이다. 휴대전화사업의 부진으로 막대한 규모의 적자에 시달리던 노키아는 수많은 직원들을 해고하고 본사 사옥을 매각하는 등 구조조정에 힘을 쏟았으나 결국 신용평가사들로부터 투자부적격으로 분류되는 수모 끝에 휴대전화사업부를 마이크로소프트에 넘기고 말았다. 많은 이들이 노키아가 스마트폰 시장에 대한 대응이 늦었고 그로 인해 몰락했다고 생각하지만 사실 노키아는 아이폰이 등장하기 훨씬 전인 1990년대부터 스마트폰이라고 불릴 만한 제품들을 여럿 출시해왔다. 1996년에 이미 달력, 계산기, 주소록, 전자우편, 인터넷이 가능한 노키아 9000 커뮤니케이터를 출시했고 2000년에는 터치스크린과 심비안 OS를 사용한 에릭슨380를 에릭슨, 모토로라 등과 공동 개발하였다. 더 놀라운 사실은 이미 노키아가 1990년대 말에 노트북을 대체하기 위한 용도로 타블렛 PC를 극비리에 개발했었다는 것이다. 새로운 제품의 시대를 누구보다 빨리 예상했고 그것을 만들어낼 기술도 이미 십 수년 전부터 가지고 있었다. 시장지배력은 그야말로 압도적이었다. 대체 무엇이 문제였을까?

그것은 바로 자신들이 모든 것을 해낼 수 있다고 믿는 오만함, 다시 말해 '자만'이었다. 성공한 자가 자만을 경계하는 것은 미덕이지만 현대의 첨단 기술 산업 군에서 '자만'의 의미는 조금 더 의미심장하다. 바로 '폐쇄성'이다. 실제 노키아를 쓰러뜨린 것은 매력적인 디자인에 부드러운 터치감을 자랑하는 아이폰 그 자체가 아니라 앱스토어였다. 노키아가 실패한 이유는 대부분의 일반 사용자들이 스마트폰으로 무엇을 해야 할지 알 수 없었고 마니아들을 위한 장난감이나 바쁜 비즈니스맨을 위한 복잡한 통신 수단 정도로 인식했기 때문이었다. 애플은 앱스토어의 매출에 대해 30%의 수수료를 받는 조건으로 독립적인 개발자들이 만든 수천 개의 애플리케이션을 유통시키면서 스마트폰의 놀라운 확장성과 다양한 활용 예제를 소비자들에게 확실하게 각인시켰다. 애플은 순식간에 IT 업계의 맹주이자 혁신의 아이콘으로 떠올랐다. 만약 애플이 이 모든 애플리케이션을 단독으로 개발하려 시도했다면 절대 불가능했을 일이었다. 아이폰이라는 하드웨어와 iOS라는 플랫폼을 제공하되 그 안에서 동작하는 소프트웨어는 사용자와 시장에 맡기는 개방성이 애플의 성공 이유였던 것이다. 애플의 움직임을 주시하던 구글은 한 발자국 더 나아갔다. 구글은 모바일 OS 업체인 안드로이드를 인수하고 그 OS를 다수의 휴대폰 제조업체에 공개했다. 애플이 소프트웨어를 개방시켰다면 구글은 OS까지 개방시킨 것이다. 이러한 구글의 전략은 그야말로 전 세계 스마트폰 시장을 폭발시켰다. 애플의 성공을 불안과 시기 속에 지켜보던 수많은 휴대폰 제조업체들이 다양한 사양과 소비자 요구를 반영한 제품을 앞 다투어 쏟아냈다. 현재 전 세계 스마트폰 5대 중 4대는 구글의 안드로이드 OS를 사용한다. 만약 구글이 안드로이드를 독점적으로 사용하며 스마트폰을 직접 생산하여 애플과 경쟁하려 했다면 어떻게 되었을까? 애플을 이기는 것은 가능했을지도 모르겠지만 지금과 같은 거대한 스마트폰 시장과 안드로이드로 대표되는 모바일 생태계는 열리지 않았을 것이다.

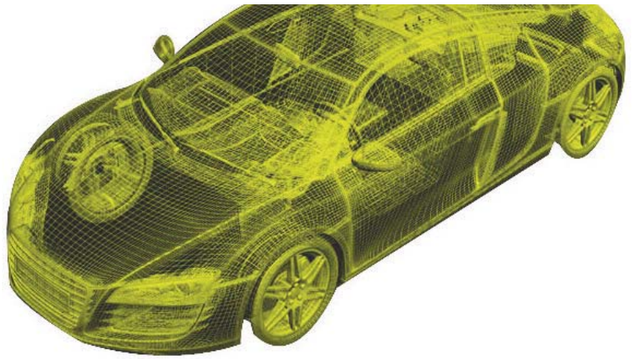
지금 전세계 ICT 업계 종사자들과 전문가들은 지난 약 10년을 지배했던 스마트폰 시장의 성장 둔화에 대한 우려와 새로운 성장동력으로 등장한 IoT (Internet of Things : 사물인터넷)에 대한 기대로 술렁이고 있다. IoT는 인간과 사물, 서비스의 환경요소가 인간의 명시적인 개입 없이 상호 협력적, 지능적 관계를 형성하는 사물 공간 연결 망을 뜻한다. IoT와 유사한 개념은 M2M (Machine to Machine), 유비쿼터스 등의 이름으로 이전부터 존재했고 이미 일부 구현되고 있다. 우리의 스마트폰은 과거 한 나라의 정보기관이나 가지고 있었을 법한 방대한 양의 정보들을 실시간 스트리밍을 통해 언제 어디서든 제공해 준다. 자동차에는 사고를 내기가 더 어려울 정도로 정교한 ADAS가 장착되고 있고 심지어 베개에도 센서가 장착되어 수면 중 흘린 땀과 체온 등을 측정한 후 수면의 질을 분석해 주기도 한다. 하지만 IoT 시대에는 더 나아가 이런 베개로부터 간밤의 수면 상태가 전송되면 스마트폰이 사용자가 감기에 걸릴 가능성을 판단하고 근처 병원에 다시 이 상황을 전달, 사용자가 퇴근 후 집에 오면 조제된 약이 미리 도착해 있는 수준의 상호 협력적이고 지능적인 교류가 이루어지게 될 것이다. 이처럼 사람들이 IoT에 열광하는 것은 단순히 2020년까지 10조 달러 이상의 경제 효과를 창출한다거나 수백억 개의 사물들이 연결된다는 거창한 숫자 때문만은 아니다. IoT는 개방적 생태계의 궁극적인 모습이고 그로 인해 상상할 수 있는 거의 모든 서비스들이 실제로 구현될 수 있을 것이라는 기대가 있기 때문이다. 이미 우리는 스마트폰 시장에서 개방성이 기존의 골리앗들을 쓰러뜨리고 우리의 삶을 송두리째 변화시키는 것을 직접 목격하였다.

그렇다면 IoT 시대의 System IC 반도체는 무엇을 개방해야 하는가? IoT 시대를 준비하는 반도체 제조업체들은 두 가지 딜레마에 빠져있다. 첫째, 새로운 아이디어와 그로 인한 수요, 공급이 매 순간 나타났다 사라지는 복잡하고 거대한 IoT 생태계에서 모든 것을 예측하여 선제적으로 대응하는 것이 불가능하다는 점이다. IoT 디바이스가 요구하는 초저전력, 초저가, 초소형의 특징을 구현하려면 필연적으로 System IC 반도체는 SoC의 형태를 띄게 되는데 그 기능과 형태에 대한 요구가 천차만별이다. 예를 들어 어떤 고객은 MCU와 Bluetooth, Flash memory에 초저전력 특성이 결합된 SoC를, 또 다른 고객은 AP와 Wi-Fi, PMIC에 고성능 특성이 결합된 SoC를 원할 수도 있는데 무엇을 선택하고 집중할 것이냐의 문제는 차라리 예언에 가까울 정도로 어렵다. 다양한 포트폴리오를 갖추는 것이 전통적인 해결책이지만 이러한 방대한 포트폴리오를 개발하고 유지하는데 필요한 resource를 감당할 수 있는 SoC 제조업체는 지금도 극소수이며 이들 업체들도 적절한 제품을 선정하고 시장 진입 시점을 판단하는 것에 애를 먹고 있다. 둘째, IoT 관련 SoC 초기 수요의 상당수는 적은 물량을 주문하는 다수의 소형 고객들이지만 이들이 요구하는 SoC를 구현하기 위한 기술들은 막대한 규모의 투자와 R&D 노력이 수반되어야 확보할 수 있는 것들로 대량 주문, 대량 생산을 통한 원가 절감과 수익성 제고가 전제되지 않는다면 해당 기술을 개발하는데 위험부담이 너무 크다는 점이다. 특히 스마트폰과 같은 단일 form factor가 존재하지 않고 제품 순환 주기도 상대적으로 길 것으로 예상되는 IoT 시장에서 이러한 우려는 더욱 커질 수 밖에 없다.

반대로 IoT SoC를 구매할 Start up 업체들 역시 난관에 부딪쳐 있다. 이들 업체의 대부분은 컴퓨터 앞에 앉아 OS와 API를 붙들고 새로운 solution과 application을 개발하는데 몰두하고 싶어하지 이를 실제로 구동시킬 SoC를 설계할 여력과 관심은 없다. 그로 인해 현재의 Foundry + Fabless의 사업 모델 (1987년 모리스 창이 TSMC를 설립하며 제시한 Foundry 사업 모델도 반도체 산업에서 IDM에 종속되어 있던 Design house들에게 Chip 생산을 개방하여 성공한 또 다른 예이다)을 적용할 수 없어서 OEM이나 EMS가 정해주는 SoC와 module 형태를 그대로 받아들이거나 자신들의 제품에 그나마 가까운 SoC를 chip 공급자가 제공하는 포트폴리오에서 고를 수 밖에 없다. 이러한 괴리는 가격과 성능 측면에서 필연적으로 타협을 요구하며 이는 작은 Start up 업체들에게 심각한 경쟁력 저하로 이어질 수 있다. 만약 유사한 형태의 SoC마저 존재하지 않을 경우, 제품 개발 자체가 불가능하거나 여러 chip을 PCB에 SMT하는 방법으로 구현해야 해서 처음 기획했던 제품과는 본질적으로 다른(IoT로 보기 어려운) 형태가 될 수도 있다. 이러한 문제를 해결하기 위해서는 여러 SoC를 개별적으로 개발하여 그 중 몇 가지가 운 좋게 시장에서 많이 쓰이기를 기대하기보다 각각의 사용자들이 자신들의 필요에 따라 SoC를 선택, 조합할 수 있는 개방적이고 유연한 공통 플랫폼의 개발이 우선되어야 한다. IoT SoC는 크게 Processor, Connectivity, Memory, Sensor의 네 가지 기능을 구현해야 하는데 각각의 기능들은 독립적인 sub spec이나 표준을 가지고 있다. 이것이 기존의 SoC가 특정 애플리케이션에만 한정적으로 적용될 수 있고 그 애플리케이션의 종류가 늘어나면 과도하게 방대한 포트폴리오를 확보해야 하는 이유이다. 만약 각 sub part들의 IP를 공통의 인터페이스로 연결하고 필요에 따라 추가, 변경, 대체, 제거할 수 있는 유연한 플랫폼을 제시하면 사용자는 마치 레고 블럭을 조립하듯 필요한 기능들을 조합해 SoC를 구성할 수 있고 IoT 생태계를 현실화하는 일이 보다 용이해질 것이다. 애플리케이션 개발자들은 SoC를 직접 설계하지 않고도 자신들이 원하는 기능을 갖춘 SoC를 확보할 수 있고 Chip maker는 적은 물량의 개별 SoC들을 하나의 플랫폼으로 묶어 생산함으로써 유의미한 규모를 창출할 수 있다. 이러한 선순환의 과정은 어떤 의미에서 라즈베리 파이나 아두이노와 같이 오픈소스를 기반으로 한 개발자 보드 마이크로 컨트롤러와 닮아있다. 즉, 유연하고 확장 및 변경이 용이한 플랫폼을 제공하여 수많은 개발자들을 끌어들이고 사용 사례를 늘려나가며 하나의 생태계를 형성하는 것이다.

IoT 시장에서의 System IC 반도체의 방향성은 여전히 수많은 논의가 존재하며 그 누구도 명확한 비전을 제시하지 못 하고 있다. 혹자는 SoC를, 또 다른 이는 SiP를 말한다. 누군가는 공통 플랫폼을, 다른 누군가는 다양한 포트폴리오를 논한다. 하지만 거꾸로 이러한 현상은 IoT의 무한한 잠재력과 가능성에 대한 암시이기도 하다. 한 가지 확실한 것은 애플이 앱스토어를 만들어 개발자들을 끌어들일 때, 구글이 범 안드로이드 진영을 구축할 때, TSMC가 Foundry 사업모델로 Design house들의 해방자를 자처할 때 자신들이 모든 것을 다 할 수 있다는 자만에 빠져 있던 기업들은 지금 시장에서 사라졌거나 생존의 기로에서 몸부림치고 있다는 것이다. 세계적인 네트워크 장비 회사인 시스코는 IoT를 IoE (Internet of Everything)라고 부른다. 모든 것이 연결되는 세상이라는 뜻이다. 아무리 위대한 기업도 혼자서 모든 것을 잘 할 수는 없다. IoT 시대에는 그 어느 때보다 개방성이 중요한 성공 요소가 될 것이며 그것은 System IC 반도체 분야에서도 마찬가지이다. 멀고 험한 길을 갈 때 친구는 많을수록 좋은 법이다.

• 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.



스마트카를 위한 모바일 기기에서의 영상처리 기술

서론

최근 자동차와 IT 융합기술의 연구 개발이 가속화되며 '스마트카' 시대가 도래하고 있다.아직은 스마트카가 보편화되지 못한 상태에서 국내 자동차 수는 지속적으로 증가 추세에 있고 그와 함께 자동차 교통사고 수와 그로 인한 부상자 및 사망자의 수도 역시 증가하고 있다.이러한 상황에서 운전자의 주행을 보조하여 사고위험으로부터 안전성을 부여하는 주행보조시스템(ADAS: Advanced Driver Assistance System)에 대한 필요성이 더욱 부각되고 있다.

이와 동시에 이동통신 기술을 자동차에 접목하여 주행 중 차량 내 정보를 통합 관리하고,운전자가 차 안에서 오락, 정보 등 다양한 컨텐츠를 즐길 수 있도록 하는 카-엔터테인먼트에 관련된 연구도 많이 진행되고 있다.이 중에서도 모바일과 자동차의 커넥티비티를 이용하여 상기의 기술들을 누릴 수 있도록 하는 연구가 관심을 받고 있다.스마트폰을 이용하는 사람들이 증가하면서 많은 사람들이 보유하고 있는 모바일과 자동차의 커넥티비티를 이용한다면 스마트카에서 필요한 3G, Wi-Fi 등의 네트워크 기능과 그에 따른 기존의 다양한 컨텐츠를 그대로 누릴 수 있기 때문이다.

이러한 모바일 기술은 몇 년 새 비약적인 발전을 이루고 있다.특히, 그림 1에서 제시하고 있는 것처럼,모바일의 두뇌라 할 수 있는 AP(Application Processor)의 계산능력 역시 상당한 발전을 이루었다.AP가 데스크톱컴퓨터의 계산능력을 따라오게 되면서 모바일의 효용성이 커졌고,많은 계산 자원이 필요한 영상처리 및 컴퓨터비전 기술이 구현 가능하게 되어AR(Augmented Reality) 및 HCI(Human-Computer Interaction) 관련 연구도 많이 진행되고 있다.하지만 모바일에 장착되는 디스플레이 장치 및 카메라,다양한 센서들이 집약된 MEMS(Micro Electro Mechanical System),그리고 통신 모듈이 함께 발전[1]하여 처리해야 할 복잡도와 데이터량이 급수적으로 증가하기 때문에 고해상도 영상에서 컴퓨터비전 알고리즘을 CPU만으로 실시간 처리하는 것은 거의 불가능하다고 할 수 있다. 따라서 모바일 GPU역시GPGPU(General Purpose Graphics Processing Unit)로 이용함으로써 영상처리를 병렬화 및 고속화하여 실시간 영상처리가 가능하도록 하는 연구가 활발히 이루어지고 있다[2,3,4].

본론

모바일에서 영상처리를 할 수 있는 방법은 기본적으로 CPU를 이용한 방법과 GPU를 이용한 방법으로 나뉜다.모바일 AP의 CPU는 GPU에 비하여 클럭 주파수가 높기 때문에 처리속도는 빠르다는 장점이 있지만 전력이 많이 소모된다는 단점이 발생한다.반면, 모바일 GPU는 저전력 구조를 통하여 설계된 더 많은 수의 코어들로 동작할 수 있다는 장점이 존재한다[5].안드로이드OS에서는CPU를 이용한 영상처리를 주로 JavaCV나 OpenCV를 이용하여 수행하게 된다.인하대학교 컴퓨터비전 연구실에서는 영상처리에서 일반적으로 사용하는 OpenCV를 이용하여 GPU를 이용한 병렬영상처리와의 비교에 신뢰도를 높였다. OpenCV는 Open Source Computer Vision Library의 약자로 Intel에서 개발하여 공개한 오픈소스 기반의 컴퓨터비전 라이브러리인데,기본적인 영상처리 함수부터 고등의 영상처리 함수까지 다양한 알고리즘을 구현하여 제공하고 있다.또한,대표적인 OS 환경에 맞추어 미리 컴파일된 라이브러리를 제공할 뿐만 아니라 원본 소스코드 또한 제공하기 때문에 사용자의 환경에 맞추어 빌드하여 사용할 수 있다.

모바일 GPU를 이용한 병렬영상처리를 수행하기 위해서는 GPU에서 지원하는 공용 API를 이용하거나 모바일 GPU 제조사에서 제공하는 라이브러리를 사용해야 한다.현재 많은 개발자들은 하나의 산업표준인 OpenGL ES를 이용하여 GPU 프로그래밍을 하고 있다[6].또한 2013년 상반기부터 모바일 AP에서 OpenCL을 지원하기 시작하면서 이에 대한 연구도 진행되고 있다[7].인하대학교 컴퓨터비전 연구실에서는 OpenGL ES 2.0과 OpenCL 1.1 각각에 대한 구동 프레임워크를 구현하였고 몇몇의 기본적인 함수들과 GPU의 성능평가에 대표적인 SIFT와 SURF 특징점 검출 함수에 대하여 OpenCV를 벤치마크하여 구현 및 결과를 비교해보았다. OpenGL ES는 3D 그래픽 API를 제공하는 오픈 라이브러리인 OpenGL의 임베디드 버전으로, OpenGL이 워크스테이션이나 고성능 PC와 같은 환경에서 3D 영상을 렌더링하는 것을 목표로 하는 것과는 달리 적은 용량의 메모리와 낮은 속도의 CPU를 갖춘 임베디드 환경에 최적화되어 있다.이전의 그래픽 파이프라인은 프로그래머가 변경할 수 없었지만 GLSL(openGL Shading Language)이 출시됨에 따라 프로그래밍이 가능한 GPU를 사용할 수 있게 되었다.GLSL을 이용하면 그래픽 파이프라인 중 정점 셰이더(Vertex shader)와 프래그먼트 셰이더(Fragment shader)를 임의로 수정할 수 있는데, 이를 이용하면각각의 화소 값을 동시에 연산하여 GPU에서의 병렬연산이 가능하다. 그림 2는 OpenGL ES 2.0을 이용한 병렬영상처리를 위한 프레임워크를 도식화하고 있다. 1) 영상(카메라/파일)이 입력되면 2) 입력 영상을 텍스처 메모리에 저장하고,3) 텍스처 메모리를 FBO(Frame Buffer Object)로 지정한 후 4) 정점/프래그먼트 셰이더를 통한 병렬처리를 수행하여 5) 마지막으로 처리 결과가 저장된 텍스처를 화면에 출력하게 된다. OpenGL ES 2.0 파이프라인을 효과적으로 이용하기 위하여 입력영상을 GPU 메모리에 텍스처 형태로 저장하여 GPU에서의 고속 접근을 가능하도록 하였고, 결과가 저장된 FBO의 텍스처를 그대로 디스플레이 장치에 출력하는 구조를 통하여 프로세서간 자료이동을 최소화하였다.또한, FBO를 패스 간에 연속적으로 이용하여 GLSL을 통하여 계산된 결과를 프레임 버퍼에 저장함으로써 GPU와 CPU간 자료이동으로 인한 성능저하를 방지할 수 있다. 하지만 OpenGL ES의 파이프라인 구조는 셰이더 간 독립성으로 인해 동시적으로 발생한 결과를 서로 공유할 수 없고,셰이더 당 32bit(RGBa)결과만 출력할 수 있다는 제약조건을 가지고 있다.이 때문에 다중 텍스처를 이용하고 다중 패스로 셰이더를 설계하여야 한다.따라서 알고리즘에 따라 한 개의 동작을 여러 개의 단계로 나누어 동작하도록 커널을 구현해야 하므로 개발의 비효율성을 갖고 있다.

OpenCL은 개방형 범용 병렬 컴퓨팅 프레임워크로서 CPU, GPU, DSP 등의 다중 프로세서를 동시에 사용하는 heterogeneous 시스템에서 병렬 프로그램 개발을 도와주는 표준 라이브러리이자 일종의 API라 할 수 있다.상용 모바일의 경우, ARM의 Mali-T6xx 시리즈, Qualcomm의 Adreno 3xx 시리즈 등 최근에 다수의 AP 제공자들이 OpenCL 1.1을 지원하는 모바일 GPU를 생산하면서 모바일에서도 OpenCL을 이용한 병렬처리가 이슈화되고 있다. OpenCL은 앞의 OpenGL ES의 텍스처와 FBO 그리고 렌더 버퍼와 같은 데이터들을 공유할 수 있어서, 이를 이용하면 OpenGLES의 제약 사항인 고속 공유 메모리와 외부 메모리를 추가로 사용하는 것이 가능하며,메모리 관리 모델을 제공하여 병렬 컴퓨팅 과정에서의 메모리 사용의 효율성을 높일 수 있다.

OpenCL 1.1을 이용하기 위한 프레임워크는 그림 3에 도식화하였다. OpenCL 1.1 라이브러리는 계산 관련 API로서 실제 영상처리 부분만을 위하여 동작하고,입/출력은 OpenGL ES 2.0의 프레임워크와 동일하게 동작한다. 1) 영상이 입력되면 2) 입력 영상을 OpenGL 타입의 텍스처로 메모리에 저장하고 3) GL_Sharing 관련 함수로 메모리 객체로 지정하여 4) OpenCL 커널에 구현된 일련의 코드로 병렬처리를 수행한다. 5) 마지막으로 결과를 OpenGL 타입의 텍스처로 변환 후 바로 화면에 출력한다.일반적으로 모바일 환경에서는 CPU와 GPU가 동일한 하나의 메모리를 다른 구역으로 구분하여 각각 활용하지만, OpenGL 1.1에서는 위의 메모리 객체를 CPU와 GPU에서 모두 접근이 가능하도록 도와준다. 즉, CPU와 GPU 간 자료이동에 대한 제약에서 벗어날 수 있는 것이다.

Category	Algorithm	OpenCV (ms)	OpenGL (ms)	SpeedUp
Image Filtering	boxFilter	331.5	17.7	×18.7
	buildPyramid	65.6	7.9	×3.5
	Dilate	41.5	16.4	×2.5
	GaussianBlur	219.7	20.8	×10.6
	Laplacian	60.1	18.5	×3.2
	medianBlur	469.1	17.1	×27.5
	Sobel	61.8	15.6	×4.0
Geometry Transform	warpAffine	70.6	9.6	×7.4
	warpPerspective	107.1	10.6	×10.1
Pixel Transform	cvtColor	49.8	8.9	×5.6
	threshold	14.2	8.1	×1.8
Histogram	calcHist	19.4	77.3	×0.3
	calcBackProject	28.7	9.9	×2.9
Feature Detection	Canny	326.4	20.2	×16.2
	cornerHarris	278.0	22.7	×12.3
Robust Feature Detection	SIFT	1147.9	229.6	×5.0
	SURF	965.5	179.1	×5.4

표1. OpenCV 및 OpenGL ES 2.0 구현 함수 속도 비교

표 1은 CPU를 이용하는 OpenCV4Android의 영상처리 함수들의 수행결과와 GPU를 이용하는 OpenGL ES 2.0으로 구현된 병렬영상처리 함수들의 수행속도 결과를 비교해보았다.각 알고리즘에 따라 2~27배 정도의 처리속도 개선을 확인할 수 있었으나, calcHist 함수처럼 전체 화소에 대해 각 화소 값의 빈도수를 누적하는 경우 병렬처리의 결과가 더 느릴 수 밖에 없었다. 하나의 화소를 담당하는 각각의 셰이더가 독립적으로 동작하며 공유 메모리에 값을 저장할 수 없기 때문에 셰이더를 반복하여 동작하도록 구현하였기 때문이다.

Category	Algorithm	OpenGL (ms)	OpenCL (ms)	SpeedUp
Image Filtering	boxFilter	17.7	16.3	×1.1
	buildPyramid	7.9	9.3	×0.9
	Dilate	16.4	17.6	×0.8
	GaussianBlur	20.8	16.5	×1.2
	Laplacian	18.5	17.2	×1.2
	medianBlur	17.1	18.2	×0.9
	Sobel	15.6	14.6	×1.1
Geometry Transform	warpAffine	9.6	21.8	×0.4
	warpPerspective	10.6	22.7	×0.5
Pixel Transform	cvtColor	8.9	8.7	×1.0
	threshold	8.1	8.3	×1.0
Histogram	calcHist	77.3	48.1	×1.6
	calcBackProject	9.9	10.2	×1.0
Feature Detection	Canny	20.2	20.6	×1.0
	cornerHarris	22.7	20.1	×1.1
Robust Feature Detection	SIFT	229.6	212.2	×1.1
	SURF	179.1	214.1	×0.8

표2. OpenGL ES 2.0 및 OpenCL 1.1 구현 함수 속도 비교

다음 표 2에서는 GPU를 이용하는 OpenGL ES 2.0과 OpenGL 1.1로 구현된 병렬영상처리 함수들의 처리 속도를 비교하여 나타내었다.비교적 간단하며 화소들 간의 의존성이 낮은 함수들에 대해서는 동작이 다르지 않아 성능차이를 거의 보이지 않았으나,영상의 기하학적 처리와 관련된 함수에서는 OpenGL ES 2.0을 이용하는 것이 더 효과적인 것을 확인할 수 있었다.이는 OpenGL ES 2.0으로 구현된 함수에 정점 셰이더를 이용한 텍스처 매핑 기법을 사용하였기 때문이다. OpenGL은 3D 렌더링을 목적으로 하기 때문에 영상의 기하학적 처리 부분에서 효과적임을 알 수 있다.한편, OpenCL 1.1을 이용하면 전역 메모리와 워크그룹 내부에서 공용으로 사용 가능한 로컬 메모리를 활용할 수 있고, 각 쓰레드에서 동일 주소의 메모리 값을 참조 시 발생할 수 있는 문제를 해결하는 atomic 함수들을 이용할 수 있다.따라서 각 화소 간의 종속성 문제에 대하여 더 자유로울 수 있기 때문에 관련함수에 대하여 더 구현하기 용이하였고 처리 속도도 빠른 것을 볼 수 있었다.

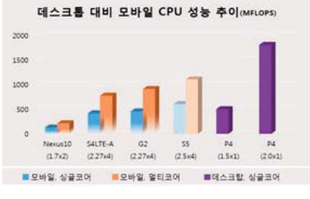


그림1. 모바일CPU의 성능 추이

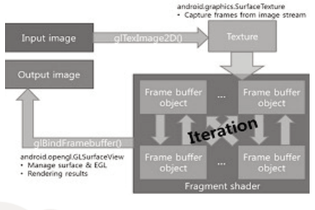


그림2. OpenGL ES 2.0 기반 병렬영상처리 프레임워크

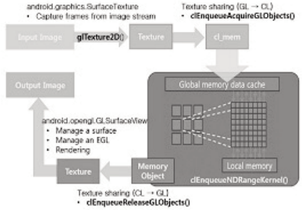


그림3. OpenCL 1.1 기반 병렬영상처리 프레임워크

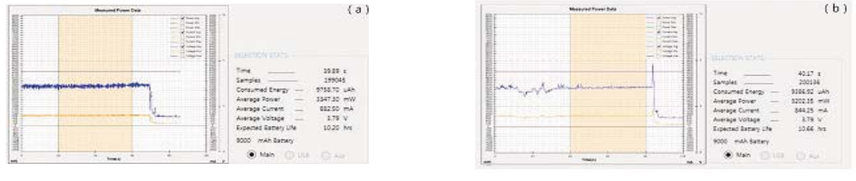
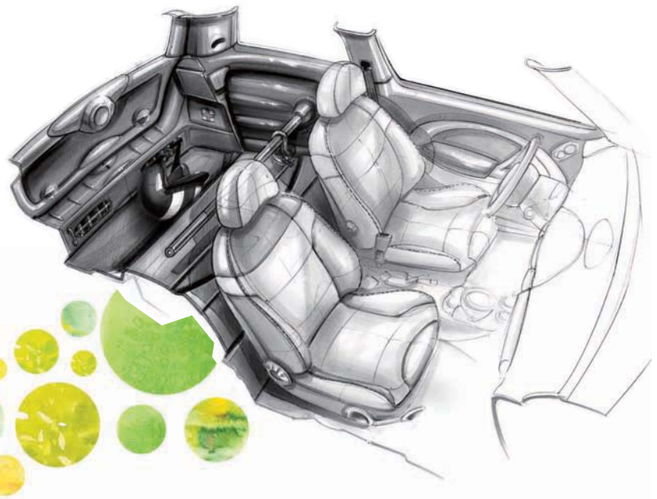


그림4. (a) CPU와 (b) GPU에서 Viola-Jones 차량 검출기 수행 시 소모전력량 측정 결과

이렇게 모바일에서 GPU를 이용한 연산은 CPU에서의연산보다 더 빠른 처리속도를 보인다는 것을 알 수 있다.하지만 한가지 더 짚어보고 가야할 문제가 바로 소모전력 문제이다.그래서 본 연구실에서는 OpenCV의 Viola-Jones 기반 차량 검출 어플리케이션과 직접 구현한 OpenCL 1.1 기반 Viola-Jones 차량 검출 어플리케이션의 소모전력을 비교해보았다.그 그래프가 그림 4에 나타나있고,노란색으로 강조된 안정적인 40초 구간 내에서 소모 전력량을 계산했다. 그 결과 표 3에서 볼 수 있듯이 GPU를 이용한 병렬연산처리 시에 비교적 더 적은 전력을 소모한다는 사실을 확인할 수 있었다.이는 20초 간의 소모 전력으로 매우 낮아 보일 수 있지만 일반적인 운전 시 수십 분에서 수시간 동안 구동을 해야 하므로 소모전력량 차이는 커질 수 밖에 없다.그림 5는CPU와 GPU기반에서의 차량 검출 결과이다.이외에도 차선검출,보행자검출 등 많은 ADAS 관련 어플리케이션을 모바일로 구현할 수 있다.



결론

최근 스마트폰의 카메라 성능이 유효 화소 4100(Lumia 1020)만에 이르는 등 고화질의 영상을 취득하는 데는 문제가 없게 되었지만 그만큼 영상처리를 하는 데는 처리 속도 문제가 발생할 수 밖에 없게 되었다.

표3. CPU와 GPU에서 Viola-Jones 차량 검출기 수행 시 소모전력량 측정 결과

Computer	Average Power	Average Current	Consumed Energy
CPU	3347.30mW	882.50mA	9758.70uAh
GPU	3202.35mW	844.25mA	9386.92uAh

그림5. CPU(왼쪽)와 GPU(오른쪽) 기반의 차량 검출 결과

따라서 고속의 병렬 영상처리가 필요하게 되었고, 이제는 모바일에서도 CPU뿐만이 아닌 GPU도 적극적으로 활용해야 할 때가 왔다. 또한,기존의 스마트폰을 이용하여 ADAS를 구축하면 별도의 장비가 필요하지 않아 비용을 최소화할 수 있다는데 큰 장점이 있다.

김 학 일 교수
소속 : 인하대학교 정보통신공학과
연구분야 : 패턴인식, 컴퓨터비전, 바이오인식
E-mail : hikim@inha.ac.kr
Homepage : http://vision.inha.ac.kr

Reference

[1] N. Bhas (2012), MEMS in Mobile: Smartphones, Tablets, eReaders & Ultrabooks,U.K.Hampshire:Juniper Research.

[2] I. Park, M. Lee, Y. Choi, "Trends of Computer Vision on Embedded platform,"Journal of the Institute of Electronics Engineers of Korea, vol.39, pp.157-164, 2012.

[3] N. Singhal, J. Yoo, H. Choi, I. Park, "Implementation and optimization of imageprocessing algorithms on embedded GPU," IEICE transaction on Information andSystems, vol.95, pp.1475-1484, 2012.

[4] J. Owens, D. Luebke, N. Govindaraju, M. Harris, J. Kruger, A. Lefohn, T. Purcell,"A Survey of General-Purpose Computation on Graphics Hardware," Proc. OfComputer Graphics Forum, no.26, pp.80-113, 2007.

[5] 이환용, "핸드폰에서의 그래픽스 및 플랫폼 기술 동향," 정보과학회지, vol.29,pp.55-62, 2011.

[6] A. Munshi, OpenGL ES 2.0 Programming Guide, Addison-Wesley, 2009.

[7]A. Munshi, OpenCL Programming Guide, Addison-Wesley, 2012.

실바코, IDEC에
TowerJazz PDK 제공

TCAD, EDA 소프트웨어의 선도 기업인 SILVACO, Inc. (이하 SILVACO)는 반도체설계교육센터 (IDEC)에 TowerJazz 공정에 필요한 SILVACO PDK를 제공합니다.

- TS18SL (Mixed Signal CMOS 0.18um
- TS18PM (Power Management 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

프로세스 디자인 키트(PDK)는 칩 설계 플로우에서 EDA 툴과 함께 사용하는 파운드리용 데이터와 스크립트 파일을 정리한 것입니다. PDK 는 주로 Spice 모델, Schematic symbol, Script Files, 파라미터화된 셀 (P-Cell) 및 룰 파일로 구성되어 있습니다. PDK의 사용으로 설계자는 칩 설계를 쉽게 시작할 수 있으며, 스키매틱 작성에서 테이프 아웃까지 디자인 플로우를 원활하게 수행할 수 있습니다. Silvaco 에서 제공되는 PDK를 실행하기 위해서는 스키메틱 에디터인(Gateway), 회로 시뮬레이터(Smartspice), 레이아웃 에디터(Expert)를 사용하게 됩니다. 레이아웃 디자인에 대한 검증은 Guardian DRC/LVS/LPE 를 사용합니다. 또한, Full-Chip 기생 성분 RC 추출을 위한 Tool로써 Hipex 를 지원함으로서 Front-End부터 Back-End까지 설계할 수 있도록 Full package를 지원합니다.

About Silvaco, Inc.
SILVACO는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 툴을 제공하는 선도 기업입니다. SILVACO의 툴은 반도체 공정을 개발하는 팹과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용합니다. SILVACO는 Third-Party tool에 대한 설계 플랫폼에 대하여 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. SILVACO는 전 세계 주요 지역에 사업 거점을 두고 있습니다.

Tower Semiconductor, Ltd. and Jazz Semiconductor, Inc.
Tower Semiconductor Ltd.(NASDAQ: TSEM) (TASE: TSEM)는 순수 독자적인 전문 웨이퍼 파운드리로서, 미국에 Analog-Intensive Mixed-Signal (AIMS) 파운드리 솔루션의 선도 업체인 Jazz Semiconductor를 자회사로 두고 있습니다. Tower와 Jazz는 1.0~0.13um IC를 제조하며, 테크니컬 서비스와 설계 지원을 제공합니다. Digital CMOS 공정 기술 외에, 고급 mixed-signal, RF CMOS, Power Management, CMOS 이미지-센서, 비휘발성 메모리 기술 및 Flash MTP, OTP 솔루션을 제공합니다. 모듈형 AIMS 기술에 대한 Jazz의 포괄적인 공정 포트폴리오는 RF CMOS, Analog CMOS, Silicon, SiGe BiCMOS, SiGe C-BiCMOS, Power CMOS, High Voltage CMOS 등을 포함합니다. 세계 정상급의 고객 서비스를 제공하기 위해, Tower는 이스라엘에 두 곳의 제조 설비를 두고 있습니다.

Ansys사 PowerArtist-XP

A. 목적 : 칩 설계 초기 단계에서의 Power Management 및 Estimation

B. 구분 : Ansys의 PowerArtist-XP는 Design Engineer or Verification Engineer에게 Power Management Based Debugging Solution및 Low Power Design 가이드를 제공

C. Supported Platform and O/S System

- Solaris (64bit) 8,9,10
- RedHat 7,8,9
- Red Hat Enterprise (64bit) Linux 3,4,5
- SuSE (SLES 9/10) (64bit) Linux

D. 특성 및 기능

Apache Subsidiary of Ansys사의 PowerArtist는 반도체 설계 Process의 Early Stage인 RTL 설계 단계에서 Chip이 소모할 파워를 예측하는 기능을 가지고 있으며, 예측된 파워를 기반으로 파워 누수 부분과 수정 가능 포인트를 알려줌으로써 Front-End 기반 설계에서의 전력관리 및 저전력 설계가 가능하도록 돕는 획기적인 툴이다. PowerArtist는 RTL 설계 단계에서 실제로 소모될 IC의 전력을 예측할 수 있다. IC 기능 동작 검증을 위하여 만들어진 시나리오를 바탕으로 실제 IC의 동작환경을 통해 소비전력을 유추하고 평균 전력량 및 순시적 전력 변동량을 측정하여 초기 설계단계에서부터 IC 소비 전력을 관리할 수 있도록 도와준다.

PowerArtist 특성 및 성능

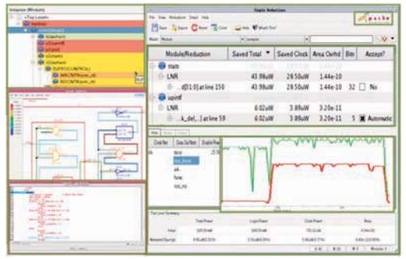


그림1. PowerArtist GUI

평균전력량 측정(Average Power Calculation)

FSDB 나 VCD 등의 Activity Waveform을 기반으로 해당 시간 구간 동안의 평균 전력을 각각의 컴포넌트, 인스턴스 단위로 파워를 계산한다.

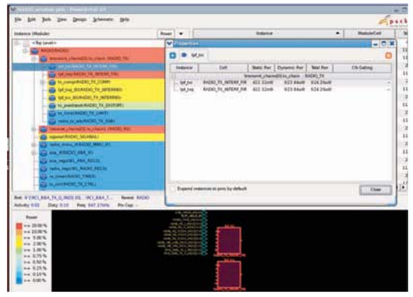


그림2. Average Power Calculation 결과 및 전력소모가 큰 핫스팟 표시

Time Based Calculation

Activity Waveform 파일의 시나리오를 바탕으로 순시적인 전력의 변동량을 측정하여, 최대소비 전력(Peak Power)을 측정하고 기능블록이 시나리오대로 동작하는지를 직관적으로 파악할 수 있도록 도와준다.

그림3. Time Based Calculation 결과

Power Reduction

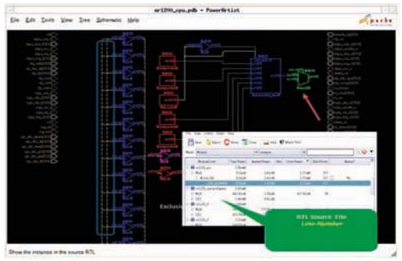


그림4. Power Reduction

GUI를 통해 전력소모량과 전력누수 부분, 그리고 이에 관계된 분석을 위한 여러 가지 파라미터(Activity, Frequency, Capacitance, Clock Gating Efficiency 등)들과 Gate Level의 Schematic을 보여주고, RTL 코드상에서 전력 세이브를 위한 수정 포인트를 짚어주어 디자이너가 직접 저전력설계를 할 수 있도록 안내 해준다.

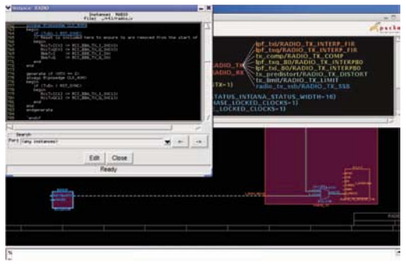


그림5. 저전력 디자인 가이드

ANSYS Apache

회 사 명 : Apache Design Solutions Inc.
(Subsidiary of Ansys Inc.)
웹 주 소 : www.apache-da.com
한국지사 : Ansys Korea Co., Ltd.
전 화 : 02-3441-5000
주 소 : 23F CityAir Tower 159-9 Samsung-dong, Gangnam-gu, Seoul, 135-973, Korea

디지털 시스템의 MPW 설계 방법에 대한 이해 (4)

Auto Place and Route

서론

최근 심각해지는 반도체 업계의 인력난과 어려움에 반하여 대학 및 관련 분야에서는 숙달된 고급 인력의 지속적인 양성이 힘들어 둘 사이에 장벽이 존재하고 있다. 이는 축적된 노하우를 바탕으로 지속적인 칩 제작을 하면서 고급인재를 양성하는 대학 및 연구실이 많지 않다는 것을 뜻하며, 칩을 만들고자 하는 대학은 HOW-TO 문서를 그때그때 검색하고 짧은 기간에 임기응변식의 칩 제작을 한다는 뜻이기도 하다. 실제 MPW 참여자들의 경우 정기적으로 참여하는 팀과는 대조적으로 MPW 참여와 동시에 구글링부터 시작하는 사람들이 많다. 칩 설계 고급 인력 양성을 위해서는 시간과 노력이 많이 들어가야 하므로 직관적이고 정확한 이론 및 실습자료가 매우 필요하다. 지금까지 "SoC 시스템과 IDEC MPW Flow 소개"와 "FPGA 검증부터 Synopsys Design Compiler를 이용한 합성", 그리고 "Equivalence Check 와 Static Timing Analysis"에 대해 알아보았다. 이번 호에는 "Auto Place and Route"에 대해서 소개 하고자 한다.

본론

◆ Auto Place and Route

지난 호에 Design_Compiler를 이용하여 RTL Code를 설계자가 디자인하고자 하는 사이즈, 타이밍 조건에 따라 gate-level netlist로 변환하는 작업을 수행하였고, Formality와 PrimeTime을 통해 검증을 했다(2014년 5월호 참조). 검증된 gate-level netlist와 Design constraint를 이용하여 공정사가 마스크를 제작할 수 있도록 산업계 표준인 GDSII 포맷으로 변환을 해주어야 한다. 이 GDSII 포맷의 내용은 gate-level netlist에 기술되었던 Logic들을 칩 사이즈와 타이밍에 맞도록 위치하고 배선된 실제적인 Physical Data정보가 포함되어 있다. 오늘날에는 수많은 Logic들을 타이밍, 사이즈, 전력, 신호 무결성 등에 따라, 배치 및 배선을 자동으로 수행할 수 있는 Auto P&R Tool들이 개발되어 있다. 따라서 Auto P&R Tool 중 Synopsys사의 IC Compiler를 이용한 배치 및 배선 기법에 대해 살펴보고자 한다.

◆ General IC Compiler Flow

기본적인 IC Compiler Flow에 따라, IDEC MPW의 Auto P&R 방법을 설명하겠다.

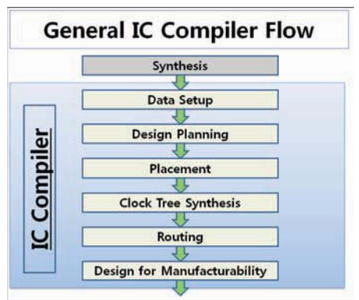


그림1. IC Compiler Flow

1. Data Setup

IC Compiler(이하 ICC)는 초기 입력 데이터로, gate-level netlist, Design constraints, Physical and logical libraries, 공정 프로세스 데이터를 이용하여 GDSII 포맷을 생성하게 된다. 이 때문에 ICC를 실행하기 전에 아래의 데이터 파일을 준비해야만 한다.

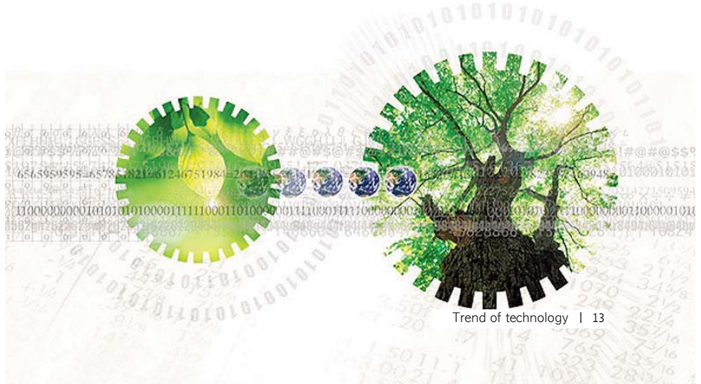
Data	Format	Generator	내용
netlist	.v or .ddc	DC	gate-level netlist
constraint	.sdc or .ddc	DC	Design constraint
logical libraries	.db	공정사	I/O, STD, MEM cell에 대한 logical 정보
Physical libraries	Milkyway	공정사	I/O, STD, MEM cell에 대한 Physical 정보
Process data	.tf, .tluplus, .map	공정사	metal layer에 대한 공정사 Parameters
etc	.tdf	설계자 or IDEC	I/O 또는 Pin 배치 정보

표1. 입력 데이터

표1 입력데이터를 Auto P&R을 실행할 수 있도록 위치 및 파라미터 값을 ICC에 정의해주어야 하는데, 이러한 작업이 Data Setup이다. ICC를 실행하기 전에 위의 입력데이터 및 파라미터를 정의하기 위한 파일을 만들어 두면, 이후 작업을 수월하게 할 수 있을 것이다. 먼저, 공정사에서 제공하는 Physical and logical libraries, 공정 프로세스 데이터의 위치를 지정한다.

```
## Common_Setup.tcl
A. lappend search_path  ~(path)/STD ~(path)/IO ~(path)/MEM
B. set_app_var target_library     " STD_ss.db STD_ff.db "
C. set_app_var link_library " * $target_library IO.db MEM.db"
D. set MW_REFERENCE_LIB_DIR "~(path)/STD ~(path)/IO ~(path)/MEM"
E. TECH_FILE "~(path)/tech_file.tf"
F. set TLUPLUS_MAX_FILE   "~(path)/worst.tluplus"
G. set TLUPLUS_MIN_FILE   "~(path)/best.tluplus"
H. set TLUPLUS_MAP_FILE   "~(path)/tluplus.map"
```

그림2. 공정 데이터 설정

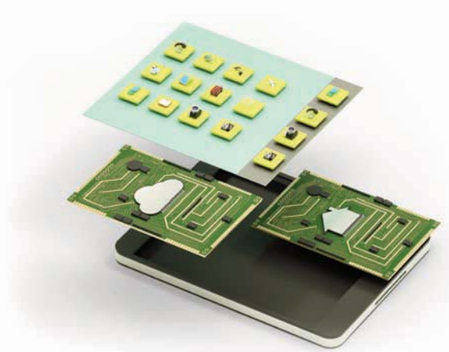


A 행은 target/link library에 사용될 logical library들의 디렉터리를 지정한다. B 행은 P&R 과정에서 timing에 따른 cell들의 변환을 수행하는 라이브러리를 target library로 지정해야 한다. 즉, IO와 MEM가 아닌 STD cell library를 지정한다. C 행은 target library와 함께 Netlist에 기록된 모든 cell의 라이브러리가 포함되도록 한다. D 행은 이미 layout이 된 STD, IO, MEM 등 Physical library들을 지정한다. E~H를 통해 Process data를 지정한다. 그림 2를 통해 공정 데이터 설정이 완료되었으면, 설계 디자인을 위한 데이터 설정을 한다.

```
## User_Design_Setup.tcl
A. set DESIGN_LIB_NAME    "pad_soc_uart_fifo"
B. set NETLIST_FILE       "~(path)/verilog.v or ~(path)/ddc"
C. set NETLIST_FORMAT     verilog | ddc
D. set LOGIC_TOP_MODULE   "TOP"
E. set MW_POWER_NET       "VDD"
F. set MW_GROUND_NET      "VSS"
G. set MW_POWER_PORT      "VDD"
H. set MW_GROUND_PORT     "VSS"
```

그림3. 디자인 데이터 설정

A 행은 설계자가 만들고자 하는 Layout과 Physical Cell 정보를 포함하기 위한 디자인 라이브러리 이름을 선언한다. B~D 행은 합성을 통해 만들어진 netlist의 위치, format, netlist에서 Top module을 지정한다. E~F 행은 Layout에서 그리고자 하는 Power net 이름을 선언하고, G~H 행은 STD, IO 등 각 cell의 power pin을 기입한다. 다음은 Multiple Corners and Multiple Modes (이하 MCMM)를 작성한다. 저 전력 IC에서는 라이브러리 모델, 전압, 인터커넥트 코너 등 잠재적으로 상충하는 전력 및 타이밍 요구사항을 분석하고 최적화하는 게 중요하다. 따라서 단계별 시나리오를 작성하여 MCMM에 최적화한 Layout을 진행할 수 있도록 한다.



```
## MCMM.tcl
A. create_scenario Scenario_name
B. set_app_var auto_link_disable true
C. set_scenario_options -setup true -hold false -leakage_power false
D. read_sdc SDC_file_name.sdc
E. set_tlu_plus_files \
      -max_tluplus $TLUPLUS_MAX_FILE \
      -tech2itf_map $TLUPLUS_MAP_FILE
F. set_operating_conditions \
      -analysis_type on_chip_variation \
      -max slow     -max_lib STD_ss \
G. set_timing_derate -early 0.88
H. set_case_analysis 0 scan_en
I. set_case_analysis 0 test_mode
J. set_app_var auto_link_disable false
```

그림4. 시나리오 설정

A 행은 새로운 시나리오를 만들기 위해 시나리오 이름을 선언한다. B 행과 J 행은 각 시나리오에 대해서 netlist의 연결되는 것을 방지하고, 디자인 최적화를 하기 전에 연결하므로 data setup 시간을 줄일 수 있기 때문에 사용하기를 권장한다. C 행은 시나리오 옵션을 제한하기 위한 명령어이다. 수행하고자 하는 옵션을 true와 false로 제한할 수 있다. D 행에서 SDC 파일 읽어 들인다. 위 예에서, E~G까지는 코너, H~I는 모드에 대한 부분이다. 먼저, TLU+ 파일을 선언한다. 위의 예에서는 max, min의 operating condition이 하나의 모델로 사용되기 때문에 TLU+ 파일도 하나만 사용하였다. 만일, 서로 다른 condition에 이용할 수 있는 TLU+파일이 있다면, -min_tluplus 옵션을 사용하면 된다. F 행은 operation condition을 선언하고, G 행을 통해 timing_derate 값을 준다. H~I 행은 사용하지 않는 모드에 대해서 수행하지 않도록 하였다. 위의 예는 Function Test를 위한 시나리오로 코너 및 모드에 대한 명령어 및 세팅방법은 많다. 자세한 사항은 Synopsys사의 solvnet이나 ICC 매뉴얼을 통해 알 수 있다. CTS, scan Test 등 필요한 시나리오는 위의 예와 solvnet을 참조하기 바란다.

Auto P&R을 위한 입력 파일이 준비되었으면, ICC를 Tool을 실행하기 위한 환경 설정을 해야 한다.

```
setenv ICC /tools/synopsys/ICC/H-2013.03-SP2   -> ICC가 설치된 경로
setenv SNPSLMD_LICENSE_FILE 27000@ls2idec      -> 라이선스 서버의 포트 및 IP주소
set path = ($path $ICC/bin)                    -> ICC bin폴더 위치
```

그림5. IC Compiler 환경 설정

ICC의 환경 설정 파일의 sourcing을 통해 ICC를 구동할 수 있으며 command mode와 GUI mode에서 실행할 수 있다.

```
icc_shell        -> command mode 실행
icc_shell -gui   -> GUI mode 실행
```

그림6. IC Compiler 실행 명령어

ICC 실행 창에 그림2와 그림 3에서 설정한 데이터 파일을 실행한다.

```
icc_shell> source Common_Setup.tcl
icc_shell> source User_Design_Setup.tcl
```

그림7. 설정 데이터 파일을 sourcing

Data-Setup의 첫 번째 단계로, 설정된 데이터 파일들을 layout을 위해 Milkyway 데이터베이스 구조의 design library를 생성한다.

```
icc_shell> create_mw_lib $DESIGN_LIB_NAME -open -technology
$TECH_FILE -mw_reference_library $MW_REFERENCE_LIB_DIR
```

그림8. Design library 생성

생성된 라이브러리에 합성을 통해 만들어진 Netlist를 읽고, Design Cel을 생성한다.

```
icc_shell> import_designs -format $NETLIST_FORMAT $NETLIST_FILE \
           -top $LOGIC_TOP_MODULE
```

그림9. netlist loading 및 design cell 생성

그림 4에서 작성한 시나리오 설정 파일을 읽는다.

```
icc_shell> source MCMM.tcl
```

그림10. 시나리오 sourcing

다음으로 Netlist에는 Power/Ground(이하 P/G) net에 대한 정의가 되어 있지 않다. 따라서 각 cell의 P/G pin을 연결하기 위한 net을 설정한다.

```
icc_shell> derive_pg_connection -power_net $MW_POWER_NET \
      -power_pin $MW_POWER_PORT –ground_net $MW_GROUND_NET \
      -ground_pin $MW_GROUND_PORT
icc_shell> derive_pg_connection -power_net $MW_POWER_NET \
      -ground_net $MW_GROUND_NET -tie
icc_shell> check_mv_design -power_nets
```

그림11. P/G connection 설정

위의 두 번째 명령어는 어떤 input pin이 high 또는 low로 고정된 경우, P/G net에서 input pin에 직접 연결될 수 있도록 해준다. 만일 tie-cell을 사용한다면 이 옵션은 사용하지 마라. P/G 연결이 잘되었는지 check_mv_design 명령을 통해 확인한다. ICC는 많은 변수와 명령어를 통해 timing과 최적화를 할 수 있다. 적용된 변수와 명령어는 ICC를 실행한 시점에만 적용되며, ICC를 재실행 시에는 다시 변수와 명령어를 실행해야만 한다. 따라서 변수와 명령어를 위한 스크립트를 작성한 후 재실행 시 load 하는 방향으로 진행하기를 권장한다.

```
## common_optimization_setting.tcl
A. set_host_options –max_cores 8
B. set_app_var timing_enable_multiple_clocks_per_reg true
C. set_fix_multiple_port_nets –all -buffer_constants
D. set_auto_disable_drc_nets –constant false
E. set_app_var enable_recovery_removal_arcs true
```

그림12. 최적화 설정

A 행의 명령을 통해 설계자 머신의 멀티코어를 사용함으로써, placement와 routing 시 런타임을 줄일 수 있다. B 행은 멀티 클럭을 사용할 경우 타이밍 해석이 가능하도록 한다. 이 경우 false path에 대한 선언도 필요하다. (ex: set_clock_groups -logically_exclusive -group C1 -group C2). 포트별로 독립적인 드라이버를 지정하는 것이 좋은 디자인으로써 C 행을 수행한다. D 행은 placement 단계에선 Clock net과 tie high or tie low net 이외의 모든 net은 버퍼를 삽입한다. tie-cell net에 버퍼를 삽입하지 않으면, crosstalk에 취약하므로 tie-cell net에도 버퍼를 삽입할 수 있도록 한다. E 행을 통해 reset과 같은 asynchronous signal간의 Recovery & Removal timing을 최적화한다. 각 행의 결과는 아래 그림을 참조하기 바라며, 이외의 디자인 최적화를 위한 명령어와 변수는 ICC 매뉴얼을 참고하기 바란다.

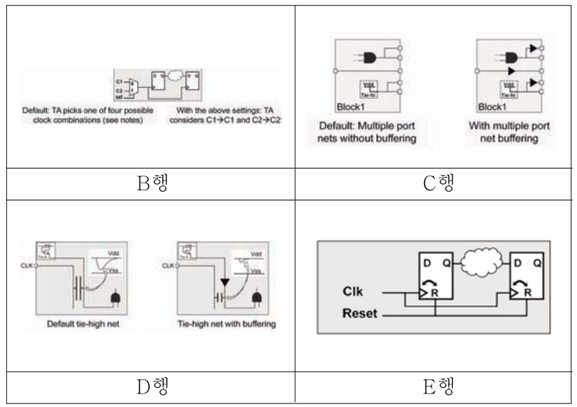


그림13. 최적화

다음으로, 설계자는 Placement를 진행하기 전에 zero-interconnect timing 체크를 통해 디자인이 over-constraint에 대해 체크하는 게 중요하다.

```
icc_shell> set_zero_interconnect_delay_mode true
icc_shell> report_constraint -all
icc_shell> report_timing
icc_shell> set_zero_interconnect_delay_mode false
```

그림14. zero-interconnect timing 체크

report_constraint와 report_timing을 통해 모든 path에서 positive slack이나 일부분 small negative slack 결과가 나오면 다음을 진행해도 된다. 그러나 large negative slack이 발생하면, 이후 ICC에서는 긍정적인 결과를 얻기 어려워서 다시 합성을 진행하는 것이 올바른 선택이다. 그리고 체크를 수행한 후 zero_interconnect_delay_mode를 false로 수정하는 것을 잊지 말아야 한다.

DC에서 reset, enable, select 시그널에 대해선, ideal network를 선언하여 버퍼 생성을 방지하였다. 이러한 시그널에 대해 placement 단계에서 버퍼를 삽입할 수 있도록 ideal network constraint를 제거해야 한다.

```
icc_shell> remove_ideal_network [get_ports "Enable Select Reset"]
```

그림15. ideal net 제거

Date Setup의 마지막 단계로, 지금까지 수행한 내용을 저장한다. 이후 Placement, route 등 단계별 작업을 수행 후 저장하는 습관을 통해 잘못된 단계를 진행 시, 앞선 단계로 돌아갈 수 있으므로, 작업시간을 효과적으로 사용할 수 있을 것이다.

```
icc_shell> save_mw_cel -as Data_Setup
```

그림16. Cell 저장

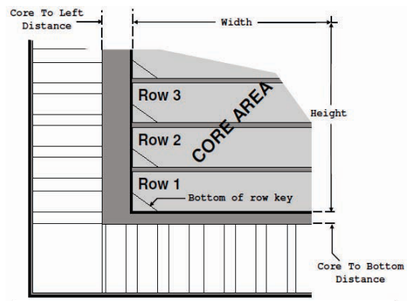
2. Design Planning

Design Planning은 칩의 사이즈 및 형태 정의, I/O pin과 macro의 위치 및 Power network를 형성하는 단계이다. 칩 사이즈 및 형태를 정의한다.

```
icc_shell> create_floorplan -control_type boundary \
           -start_first_row -flip_first_row -left_io2core 1355 \
           -bottom_io2core 1355 -right_io2core 1355 -top_io2core 1355
```

그림17. Chip 형태 설정

control_type은 세 종류가 있다. Aspect ratio 옵션은 전체 디자인의 width와 height의 비율로 결정된다. 만일 1이면 정사각 형태를 취하게 된다. boundary 옵션은 전체 디자인의 크기를 미리 지정할 경우 사용된다. (ex : set_die_area -coordinate {0 0 4292 3806}) width_and_height 옵션은 core의 width와 height를 각각 지정할 경우 사용된다. 또한, 각 cell의 행을 위치하는 방법 및 core와 io와의 거리를 지정할 수 있다. 위 사항이 모든 지정된 후 실행 결과에서 Core Utilization이 0.6 정도를 권장한다. 향후 optimization을 수행할 경우 buffer 또는 net의 삽입 시 여유를 두기 위함이다.



Example of a horizontal, no double back, no-flip first row with Row/Core <1.

그림18. Parameter 예

공정에서 제공되는 Layer 중 설계자가 routing layer를 지정할 수 있다.

```
icc_shell> set_ignored_layers -max_routing_layer M5
icc_shell> report_ignored_layers
```

그림19. routing layer 지정

위의 예는 M1~M5까지 Layer를 routing layer로 지정하였다.
다음으로 Macro를 위치시키는 방법이다. 설계자가 직접 Macro의 위치를 지정하는 방법과 ICC가 자동으로 위치를 지정하는 방법이 있다. 설계자는 ICC의 Toolbar의 버튼을 이용하여 macro의 위치와 방향을 지정할 수 있다.

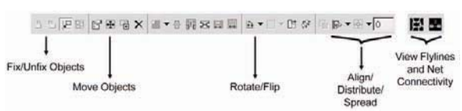


그림20. macro 위치 및 방향 지정

ICC를 이용한 macro의 auto placement를 진행하기 위해서는 ICC에 사전정보를 입력해주어야 한다.

```
icc_shell> set_fp_placement_strategy -min_distance_between_macros 10
icc_shell> set_fp_placement_strategy -sliver_size 12
icc_shell> report_fp_placement_strategy
```

그림21. macro placement를 위한 설정

위의 명령어는 macro 간 최소한의 거리를 지정하고 macro 사이가 좁은 영역일 경우 STD cell이 위치하지 못하도록 설정하므로 써 congestion을 줄인다. 위에서 설정한 정보를 바탕으로 STD cell과 Macro에 대한 Virtual Flat Placement를 수행할 수 있다.

```
icc_shell> create_fp_placement -timing_driven
icc_shell> route_zrt_global -congestion_map_only true -exploration true
```

그림22. Virtual Flat Placement

create_fp_placement 통해 Placement를 할 수 있다.
또한, route_zrt_global을 통해 일정 영역에서 이용 가능한 routing track 수와 global route에 필요한 signal net의 수를 비교할 수 있는 congestion map을 보여줌으로써 route 진행 여부를 판단할 수 있다. 보통 overflow가 10개 이상이거나, GRC overflow가 2% 이상이면, SI, 타이밍 저하, route가 불가능한 결과를 초래할 수 있다.

```
phase1. Routing result:
phase1. Both Dirs: Overflow =    3621  Max = 13 GRCs =    2247 (2.73%)
```

그림23. congestion 결과

위의 예는 route_zrt_global을 실행한 후 log의 결과이다. congestion map에서 "19/6" 이라는 결과를 발생했을 경우, 위의 예처럼 Max overflow가 13이 나올 것이다. 13개는 route가 어려울 수도 있다는 걸을 알려준다. 또한, 2.73%의 결과는 crosstalk 문제나 타이밍 저하의 결과가 발생할 수 있다. 위와 같은 결과 발생 시에는 Chip의 형태나 사이즈의 확인과 수정이 필요할 것이다. 예를 들어 core의 utilization이 너무 높다라면, core 사이즈를 넓혀주고, 세로축에 congestion이 많이 발생하면, 가로축을 core 사이즈를 넓혀주고, 반대로 가로축이 많이 발생하면, 세로축의 core사이즈를 넓혀주는 식으로 chip의 사이즈와 형태를 변경해주어야 할 것이다. 또한, macro와 macro 사이에서 좁아 병목현상이 발생하는 경우 macro 사이를 넓혀주어야 한다.

Virtual Flat Placement 후 congestion에 문제가 없으면, power network를 수행하기 위해 macro를 고정해야 한다. macro의 corner나 edge에는 in/out pin들이 많아 이 부분에서 congestion이 발생할 수 있다. 따라서 사전에 macro 주위에 blockage를 그려줌으로써 문제를 해결할 수 있다. blockage는 Hard blockage와 Soft blockage가 있다. Hard blockage는 standard & macro cell이 배치되는 것을 방지한다. Soft blockage는 standard & macro cell이 배치되는 것을 방지하지만, optimization 과정에서 필요한 buffer 등은 배치될 수 있다.

```
icc_shell> set_keepout_margin -type hard RAM5 -outer {10 10 10 10}
icc_shell> create_placement_blockage -bbox {345 355 392 400} -name A -type hard
icc_shell> set_dont_touch_placement [all_macro_cells]
```

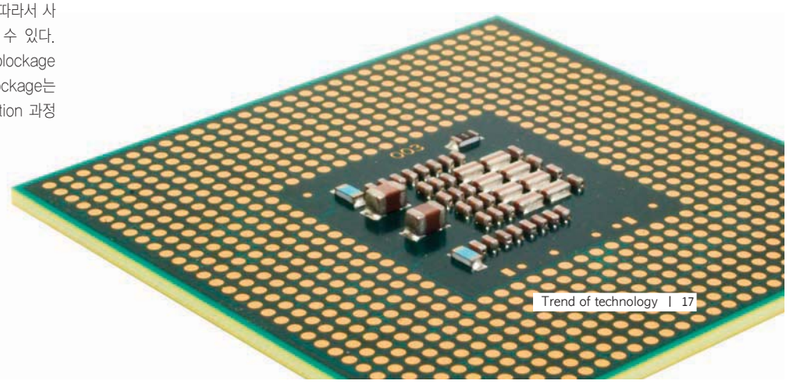
그림24. macro blockage 및 고정

set_keepout_margin의 예는 Hard blockage 형태로 RAM5라는 macro에 대해서 left, bottom, right, top에 대해서 10에 margin으로 모든 cell의 배치를 방지한다. 만일, RAM 5 macro를 움직이면 keepout margin도 같이 움직인다. create_placement_blockage도 hard type의 blockage가 생성되지만, 이것은 -bbox 영역에 대해서 cell 배치를 방지한다. 즉 macro instance가 움직였을 때, -bbox 영역은 움직이지 않는다. 모든 congestion 문제가 해결된 후에는, macro가 움직이는 것을 방지하기 위해 모든 macro를 고정하는 set_dont_touch_placement 명령을 사용한다.

다음으로 각 셀에 Power를 공급하기 위해, 앞선 내용에서 derive_pg_connection 명령어를 통해서 선언된 power net을 생성해야 한다. Power net을 형성하는 방법은 여러 방법이 있으며, 디자인에 따라 생성하는 조건도 많다. 이에 대한 자세한 내용은 solvnet 또는 design documentary를 확인하기 바라며, 한 가지 예를 설명하도록 하겠다.

```
icc_shell> create_rectangular_rings -nets {VDD VSS} -left_offset 1110 \
           -left_segment_layer M4 -left_segment_width 100 -right_offset 1100 \
           -right_segment_layer M4 -right_segment_width 100 -bottom_offset \
           1100 -bottom_segment_layer M3 -bottom_segment_width 100 \
           -top_offset 1100 -top_segment_layer M3 -top_segment_width 100
icc_shell> set_fp_rail_region_constraints -polygon \
  {{415.110 3356.420} {3850.470 3356.420} {3850.470 438.090} {415.110 438.090}}
icc_shell> set_fp_rail_constraints -add_layer -layer M5 -direction horizontal \
           -max_strap 128 -min_strap 16 -max_width 30 -min_width 0.280 \
           -spacing minimum
icc_shell> set_fp_rail_constraints -add_layer -layer M4 -direction vertical \
           -max_strap 128 -min_strap 16 -max_width 30 -min_width 0.280 \
           -spacing minimum
icc_shell> set_fp_rail_constraints -skip_ring -extend_strap core_ring
icc_shell> synthesize_fp_rail -nets {VDD VSS} -voltage_supply 1.98 \
           -synthesize_power_plan -power_budget 350 -pad_masters
           { PVDD_IO PVSS_IO }
icc_shell> commit_fp_rail
```

그림25. Power network 생성



create_rectangular_rings을 통해 Core나 macro 등 특정영역 주위에 Power ring을 생성하도록 net에 대한 layer, width, offset 등을 설정한다. 특정영역에 strap을 생성하기 위해 set_fp_rail_region_constraints 명령을 이용하여 영역을 지정한 후 set_fp_rail_constraints 통해 strap에 대한 조건을 지정한다. synthesize_fp_rail을 통해서 Power Synthesize를 수행한 후 IR-drop heat map을 확인한다. 문제가 없으면, commit_fp_rail 명령어를 실행하여 Power network를 생성한다.

생성된 Power ring과 strap에 Cell들의 Power를 연결한다.

```
icc_shell> preroute_instances
icc_shell> preroute_standard_cells -fill_empty_rows -remove_floating_pieces
```

그림26. P/G connect

preroute_instances를 이용하여 macro, PAD 등, P/G pin을 Power ring과 Strap에 연결한다. preroute_standard_cells을 이용하여 STD cell을 연결한다. Power network가 생성된 후, STD cell이 Power net과 DRC가 발생하지 않도록 Power Net Placement Blockage를 한다.

```
icc_shell> set_pnet_options -partial "M2 M3"
icc_shell> set_pnet_options -complete "M2 M3"
icc_shell> legalize_fp_placement
icc_shell> verify_pg_nets
```

그림27. P/G verify

대부분 디자인이 P/G Strap으로 메탈 4 이상을 사용한다. 또한, 대부분의 STD cell의 pin은 메탈 1로 되어 있어서, congestion 문제가 발생하지 않는 선에서 Cell의 밀집도를 높여 chip 사이즈 줄이는 목적으로 Blockage는 수행하지 않는다. 만일 메탈 2와 메탈 3으로 P/G Net을 구성한 경우, DRC violation을 방지하기 위해 P/G Net 아래에 STD Cell을 일부 배치하거나 완전히 차단할 수 있다. 첫 번째는 M2와 M3의 P/G Net 아래에 STD Cell을 배치할 수 있고 두 번째는 STD Cell이 위치되는 것을 방지한다. P/G Net에 대한 Blockage 선언을 한 후 STD Cell을 이동시키기 위해 legalize_fp_placement 명령을 실행한다. verify_pg_nets를 이용하여 Power net의 연결이 잘 되었는지 확인한다.

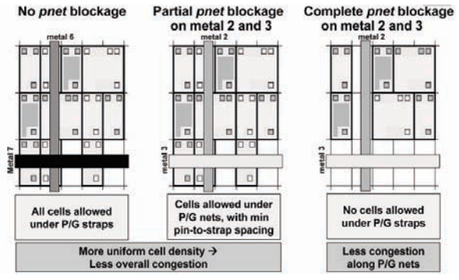


그림28. Power net blockage에 따른 Placement

congestion에 문제가 없는지 확인한다.

```
icc_shell> route_zrt_global -congestion_map_only true -exploration true
```

그림29. Congestion 확인

CTS 이전에는 Clock Signal은 ideal 하게 다루어진다. 그러나 "clock/data" 가 혼용된 Signal은 timing이나 DRC에 맞추기 위해 Placement 단계에서 버퍼가 삽입될 수 있다. CTS 이전에 버퍼삽입을 방지하도록 한다.

```
icc_shell> set_ideal_network [all_fanout -flat -clock_tree]
```

그림30. ideal clock tree 설정

set_ideal_network 명령을 통해 Placement 단계에서 "clock/data" signal에 버퍼 삽입을 방지한다.

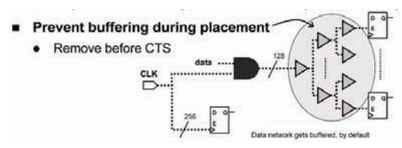


그림31. "clock/data" signal 버퍼 삽입 방지

다음으로 timing 분석을 한다.

```
icc_shell> optimize_fp_timing -hfs_only
icc_shell> report_qor
icc_shell> report_constraint -max_delay -all_violators \
           -scenarios [all_active_scenarios ]
icc_shell> optimize_fp_timing
icc_shell> optimize_fp_timing -effort high
```

그림32. In-Place Optimization

timing 분석하기 전에 먼저, optimize_fp_timing -hfs_only를 통해 High Fanout Synthesis를 수행한다. 그 후 report_qor과 report_constraint 명령을 통해 timing 분석을 한다. timing을 만족시키지 못한다면 optimize_fp_timing, optimize_fp_timing -effort high를 차례로 진행한다.

3. Placement

Placement 단계에서는 Timing과 congestion을 분석하여 Cell 배치를 최적화하는 단계며 Design Planning 단계에서 pre_place된 디자인을 Placement & Optimization을 진행한다.

Place_opt	timing과 congestion에 따라 logic optimization을 수행하는 명령어
- area_recovery	non-critical 경로에 대해서 buffer removal, cell down-sizing한 수 있는 옵션
- power	leakage & dynamic power를 최적화 하는 옵션
- congestion	추가적인 congestion 알고리즘 실행 옵션

그림33. Placement 최적화 옵션

위의 설명에 따라 설계자가 사용하고자 하는 옵션을 실행하면 된다.

```
icc_shell> place_opt -area_recovery -power -congestion
```

그림34. Placement 최적화

place_opt는 기본적으로 setup time 문제만 해결할 수 있고 hold time은 CTS 후에 최적화를 한다. 다음으로 place_opt 수행한 후 congestion과 timing을 분석한다.

```
icc_shell> route_zrt_global -cong true -exploration true   #congestion분석
icc_shell> report_constraint -max_delay -all_violators \
           -scenario [all_active_scenarios]              #timing 분석
```

그림35. congestion 및 timing 분석

place_opt를 수행 후에도 timing이나 congestion 문제가 남았다면 psynopt 명령을 실행한다.

```
icc_shell> psynopt -area_recovery -power -congestion
```

그림36. Incremental Logic Optimization

4. CTS

CTS(Clock Tree Synthesis)는 preroute와 postroute data의 상관관계 및 blockage를 고려하여 clock net을 최적화하는 단계이다. Clock Tree의 최적화는 버퍼크기 조정 및 재배치, 게이트 크기 조정 및 재배치 그리고 delay insertion 등을 수행함으로써 Clock skew와 Clock insertion delay를 향상시킨다.

Clock Tree는 CTS(Clock tree synthesis)와 CTO(Clock tree optimization) 단계로 나뉜다. 먼저, CTS는 설계 디자인의 constraint(transition delay, load capacitance, fanout, buffer level)에 충족하도록, 버퍼 삽입을 통해 clock tree의 균형을 잡도록 한다. CTO는 CTS를 통해 형성된 Clock Tree에 버퍼 추가 삽입, 재배치, 사이즈 조정을 통해 Skew를 최소화한다.

CTS 전에 CTS를 위한 세팅을 수행한다.

```
icc_shell> remove_ideal_network [all_fanout -flat -clock_tree]
icc_shell> set_delay_calculation_options -routed_clock arnoldi
icc_shell> set_app_var cto_enable_drc_fixing true
icc_shell> set_clock_tree_options -target_skew 0.2
```

그림37. CTS 설정

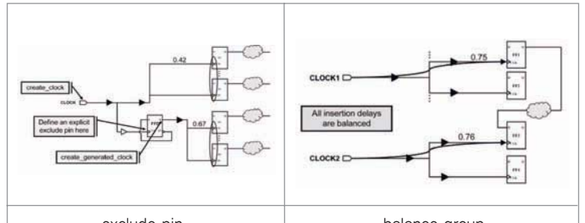
Clock net에 버퍼를 삽입할 수 있도록 ideal network를 제거한다. 또한, CTO 단계까지 완료되면, ICC의 Default delay model인 Elmore 대신에 더욱 정확한 arnoldi model이 사용되도록 세팅한다. CTO 단계에서 tran/cap violation을 수정할 수 있도록 세팅한다. CTS는 default로 skew와 insertion delay를 0ns로 설정되어 있다. runtime과 전체 버퍼수를 줄이기 위해 clock의 skew target을 완화하여 세팅하는 것을 권장한다.

Design에 따라 아래의 옵션을 사용할 수 있다.

```
icc_shell> set_inter_clock_delay_options -honor_sdc true
icc_shell> set_clock_tree_exceptions -exclude_pins [get_pins FFD/CLK]
icc_shell> set_inter_clock_delay_options -balance_group "CLOCK1 CLOCK2"
icc_shell> clock_opt -inter_clock_balance
```

그림38. CTS를 위한 Design 설정

CTS는 기본적으로 SDC에 정의된 network latencies를 준수하지 않는다. 하지만 설계자가 SDC의 network latencies를 매칭하기 위해 필요하다면 set_inter_clock_delay_options을 설정해준다. generated_clock이 Master_clock에 독립적이라면 두 번째 행과 같이 설정해준다. 기본적인 CTS는 inter-clock skew의 균형을 잡아주지 않으므로 세 번째 항과 같이 balance_group을 세팅해준다.



exclude_pin | balance_group

그림39. CTS를 위한 Design 설정 예

CTS를 수행한다.

```
icc_shell> clock_opt -no_clock_route –only_cts -inter_clock_balance
icc_shell> report_clock_tree –summary –setting
icc_shell> report_clock_timing –type skew
icc_shell> foreach $scn [all_scenarios ] {
            current_scenario $scn
            set_fix_hold [all_clocks] }
icc_shell> extract_rc
icc_shell> clock_opt -only_psyn -no_clock_route -power -area_recovery
```

그림40. CTS 실행

clock_opt 명령어를 실행하여 CTS 후 report_clock_tree와 report_clock_timing을 통해 CTS 결과를 확인한다. 그리고 CTS를 실행한 후 hold_time도 체크하기 위해 활성화한다.

또한, timing 최적화를 위해 이전까지는 virtual route extraction을 사용했다면, 다음 스텝 동안에 global route로 실행하기 위해 extract_rc 명령을 실행한다. 그리고 clock_opt –only_psyn 명령을 통해 최적화를 수행한다. CTO를 수행한 후 위의 예제에서 report_clock* 명령을 사용하여 결과를 확인한다.

5. Routing

CTS가 된 후에는 배치된 Cell들을 design의 timing과 공정사의 design rule에 맞게 배선을 하는 작업이다.

Route를 진행하기 위한 Route option을 세팅해준다.

```
icc_shell> set_delay_calculation_options -postroute arnoldi
icc_shell> set_route_zrt_common_options \
            -post_detail_route_redundant_via_insertion medium
icc_shell> set_route_zrt_global_options \
            -timing_driven true –crosstalk_driven true
icc_shell> set_route_zrt_track_options -timing_driven true –crosstalk_driven true
icc_shell> set_route_zrt_detail_options –optimize_wire_via_effort_level medium
icc_shell> source ~(path)/antenna_rules.tcl
icc_shell > set_route_zrt_detail_options –antenna true
icc_shell > set_si_options –delta_delay true –static_noise true \
            -static_noise_threshold_above_low 0.25 \
            -static_noise_threshold_below_high 0.25 \
            -max_transition_mode total_slew –timing_window true
icc_shell > set_si_options –route_xtalk_prevention true \
        -route_xtalk_prevention_threshold 0.25
icc_shell > set_route_opt_zrt_crosstalk_options -hold true -transition true
```

그림41. Route 설정

각각의 route option 다양하다. 본고에서는 기본적으로 많이 사용하는 option만 기록되어 있음을 참고하기 바란다. postroute delay model도 CTO와 마찬가지로 arnoldi로 설정한다. contact code를 좀 더 좋게 하기 위해 single via를 multiple via로 변경할 수 있도록 해준다. global and track route option은 timing과 crosstalk을 고려하도록 설정한다. route common options로 redundant via 삽입을 설정했으면 detail option에 via와 wire를 최적화할 수 있도록 설정한다. 또한, 공정 진행 과정에서 배선의 길이가 긴 경우에는 gate oxide가 손상되는 경우가 발생한다. 따라서 공정사에서는 이러한 문제가 발생하지 않도록, antenna rule을 배포한다. antenna 문제가 되는 wire의 길이를 조정 또는 diode 삽입을 할 수 있도록 antenna rule을 ICC로 읽어 들인 후 route 시 antenna rule을 고려할 수 있도록 세팅한다. 또한 crosstalk을 방지 또는 감소시키기 위해 설정을 한다.

설정이 완료된 후 route를 시작한다.

```
icc_shell> route_zrt_group -all_clock_nets –reuse_existing_global_route true
icc_shell> route_opt -initial_route_only
icc_shell> route_opt -skip_initial_route -xtalk_reduction -power
```

그림42. initial route

route는 signal net을 실행 전에 clock net을 최초에 route 한다. clock net에 대한 route가 완료되었으면, signal net에 대해서, global, track assignment, detail route를 하기 위해 route_opt –initial_route_only 명령을 사용한다. initial route를 실행 후 timing, tran/cap, Physical DRC violation이 발생했다면, 3행처럼 post-route optimization을 수행한다. post_route 시 hold나 cell size 등 부분적인 최적화가 필요하다면 route_opt -help 명령을 통해 부족한 부분의 최적화 명령을 찾아 수행하면 된다.

post-route가 완료된 후 Physical DRC 체크 및 수정을 한다.

```
icc_shell> verify_zrt_route
icc_shell> route_zrt_detail –incremental true
```

그림43. Physical DRC 체크

verify_zrt_route를 통해 DRC의 이상 유무 체크를 한 후, violation이 발생했다면 2행을 통해 수정할 수 있다.

6. DFM

DFM은 Chip을 제작과정 중에 발생할 수 있는 issue를 Design 단계에서 고려하여 미연에 방지하는 목적이 있다.

Antenna rule 위반에 대해서 수정한다.

```
icc_shell> set_route_zrt_detail_options –antenna true \
            -insert_diodes_during_routing true –diode_libcell_names \
            diode_cell_name
icc_shell> route_zrt_detail –incremental true
```

그림44. Antenna diode 삽입

Detail route 단계에서 metal jumping을 통해 antenna rule 위반을 수정하였지만, 여전히 수정되지 않은 부분이 있다면, diode를 삽입하여 수정할 수 있다. 먼저 1행과 같이 diode cell을 삽입할 수 있도록 설정한 후, 2행과 같이 명령을 실행하면 된다.

Cell들의 빈 공간에 Filler Cell을 삽입한다.

```
icc_shell> insert_stdcell_filler –cell_with_metal "fillCap64 fillCap32" \
        -respect_keepout –connect_to_power VDD –connect_to_ground VSS
icc_shell> insert_stdcell_filler –cell_without_metal "fill64 fill32" \
        -respect_keepout –connect_to_power VDD –connect_to_ground VSS
icc_shell> insert_pad_filler –cell "IOFILLER60 IOFILLER10"
```

그림45. Filler Cell 삽입

Design에서 cell들이 위치하지 않은 공간은 filler cell 삽입을 통해, 칩의 density, DRC 해결 및 완벽한 P/G net을 형성할 수 있다. 먼저 core에 1행과 같이 metal이 포함된 filler cell을 삽입한 후 남아 있는 공간에 2행과 같이 metal이 포함되지 않은 filler cell을 삽입한다. 다음으로 pad filler도 삽입하여 I/O의 P/G ring이 형성될 수 있도록 한다.

Timing 최적화를 수행한다.

```
icc_shell> report_constraint –all_violators –scenarios [all_active_scenarios]
icc_shell> route_opt –incremental –size_only
```

그림46. Timing 최적화

diode와 filler cell 삽입 중에 timing과 DRC violation이 발생할 수 있다. 따라서 cell sizing을 통해 timing을 최적화한다. 먼저 violation을 확인 후에 2행과 같이 최적화를 수행한다.

DRC 및 LVS를 체크한다.

```
icc_shell> verify_zrt_route
icc_shell> verify_lvs
```

그림47. DRC 및 LVS 체크

netlist와 GDS 파일을 생성한다.

```
icc_shell> change_names -rule verilog -hier
icc_shell> write_verilog -no_unconnected_cells –no_flip_chip_bump_cells \
            -no_corner_pad_cells –no_pad_filler_cells –no_tap_cells \
            -no_core_filler_cells Verilog_out.v
icc_shell > write_stream -format gds -lib_name LIB –cells {CHIP_FINISH_cell }
            CHIP_FINISH.gds
```

그림48. netlist 및 GDS 추출

Layout에 이상이 없으면 STA 및 simulation을 위한 netlist와 공정사에 제출할 GDS 파일을 생성해야 한다. netlist를 생성하기 전에 change_name 명령을 통해 설계자가 define 한 rule 또는 ICC의 default_rule에 맞추어 netlist를 생성하도록 설정한다. write_verilog 명령을 통해 netlist를 생성하되 filler나 spare cell 등 timing이 없는 Physical cell 등은 생성되지 않도록 한다. 그 후 write_stream 명령을 통해 gds를 추출한다. ICC에 사용된 I/O, STD, MACRO cell들은 auto P&R을 수행하는데 필요한 기본적인 Layer 정보만 포함되어 있을 수 있다. 따라서 real layer가 전부 포함된 Physical cell로 변환 과정이 필요할 수도 있다.

Physical cell 변환은 일반적으로 virtuosos와 같은 custom layout tool 등을 많이 사용한다. 또한, ICC에서 추출된 netlist를 통해 지난 호에 다루었던, PrimeTime, Formality를 통해 STA나 Equivalence check를 수행해야 한다.

결론

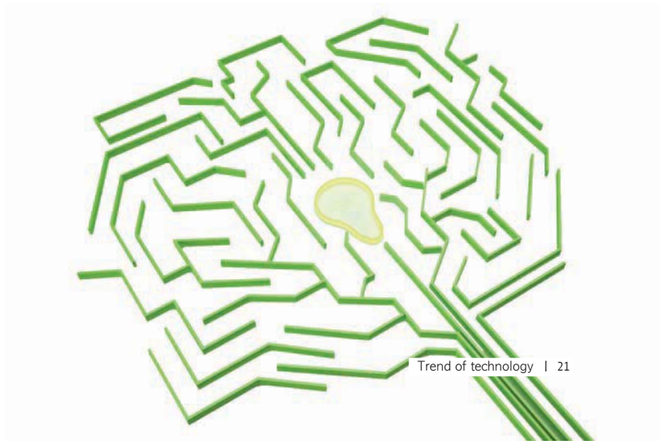
이상으로 Auto Place and Route에 대해 간략히 알아보았다. 본 고에서 기재된 내용은 일반적인 ICC Flow로, 위의 내용에 더불어 ICC에 대한 option등을 추가하여 더 좋은 Design을 설계할 수 있을 것이다.

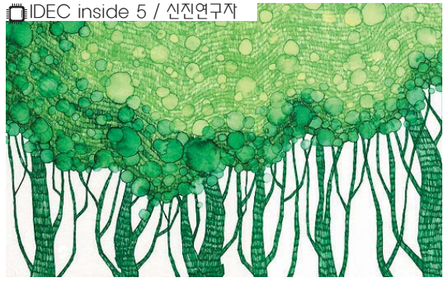
유 은 광 선임연구원
소속 : 반도체설계교육센터
E-mail : yuk0428@idec.or.kr
http://www.idec.or.kr

참고 문헌

IC Compiler 1 Workshop Student Guide
Solvnet.synopsys.com

본 내용은 2013년 9월에 IDEC 본센터에서 개설된
IDEC 연구원 교육 자료를 요약, 정리한 것으로서 자세한 자료는
IDEC 홈페이지에서 다운로드 및 VoD 시청이 가능합니다.
본 내용의 무단 배포 및 사용을 금합니다.





나무를 보지 말고 '숲'을 보라

선택이라는 문제에 접근하는 경로는 다양할 것이다. 새로운 시각의 접근도 중요하지만 내가 관심을 두고 있는 분야라면 더욱 다각적이고 깊이 파악할 수 있을 것이다. 전자공학과를 다니던 학부 시절 휴대전화가 보편화하는 모습 속에 통신 시스템에 관심을 두고 Microwave IC를 전공하게 된 민병욱 교수를 만나 보았다.

"우리 생활 곳곳에 자리 잡을 연구분야"

민병욱 교수는 현재, 연세대학교 전기전자공학부 조교수로 재직 중이다. 그는 microwave 회로를 Si chip 위에서 설계하여 하나의 통신/레이더 시스템을 만드는 Microwave integrated circuit 연구를 하고 있다. 현재, 그가 연구하고 있는 Microwave IC는 학위 중에 하던 연구의 연장선상으로 지금은 passive microwave circuit과 active millimeter-wave IC 두 가지 주제로 연구가 진행 중이다고 한다. 차세대 통신을 위한 밀리미터파(Millimeter) IC가 요즘 많은 관심을 받고 있는 실정이라, 상용화가 언제쯤 이뤄질지는 모르지만, Microwave IC는 기술이 발전하면 우리 생활 곳곳에 자리 잡을 분야 중 하나일 것이다.

"관심으로 부터의 출발."

그는 전자공학을 전공하던 학부 시절 휴대전화 보급의 활성화를 보고 통신 시스템에 관심을 두게 되었다고 한다. "전자공학을 전공하면서 electronic circuit에 관심을 두게 되었고 통신 시스템과 함께 공부하다 보니 자연스럽게 Microwave IC를 전공하게 되었습니다." 민병욱 교수는 서울대에서 학사를 마치고 미시간대학교 (University of Michigan)에서 석/박사 학위를 받았다. 석/박사 과정 중에는 〈Si based millimeter-wave phased array system〉이란 연구주제로 CMOS switch 기반의 phase shifter, attenuator 등과 SiGe BJT 기반의 amplifier들을 설계하여 Si Chip 위에서 millimeter-wave phased array system을 개발했다고 한다. "밤새며 tape-out을 준비했던 그 시간이 고생이었던 같아요. 그래도 첫 IC가 내 생각대로 동작했을 때의 짜릿함은 잊을 수 없습니다." 석/박사를 마친 그는 퀄컴(Qualcomm)에서 3년 정도를 근무하다가 지금의 연세대학교로 오게 되었다.

"상호협력은 연구자가 가져야할 중용한 자세"

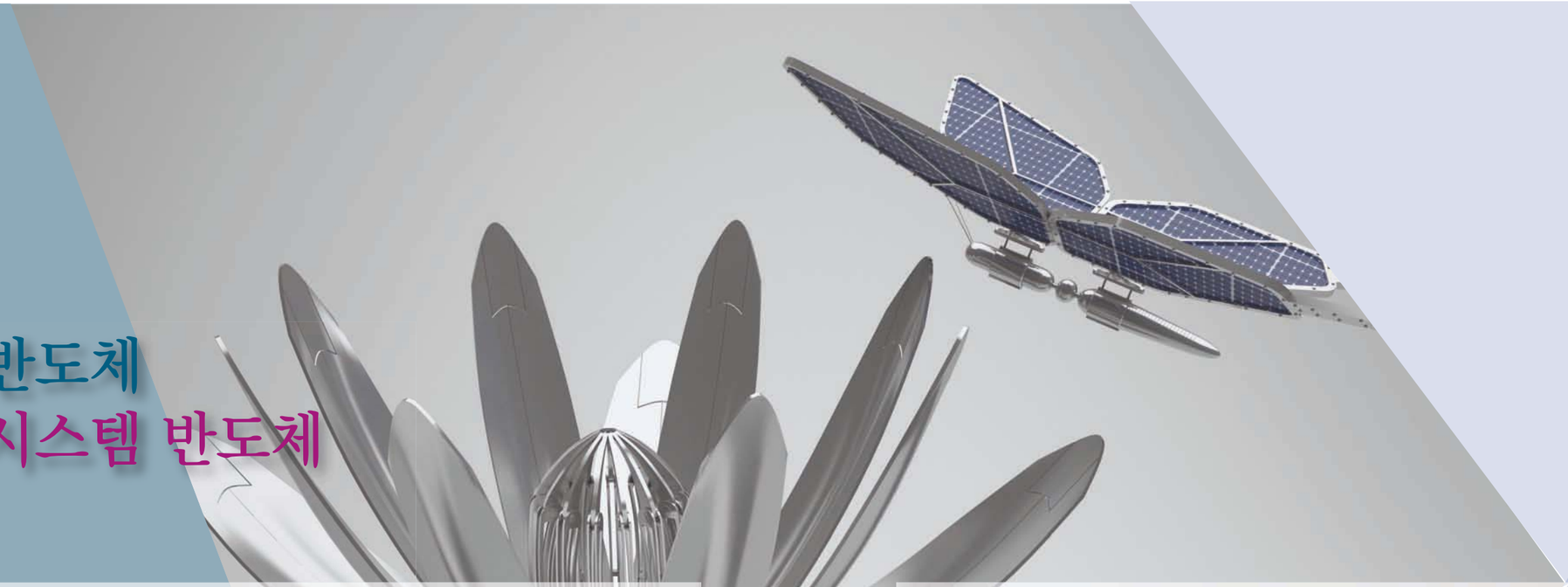
공부에 지치거나 연구를 진행하면서 만나는 어려움은 누구나 다를 것이다. 이에 민병욱 교수는 시간과의 싸움을 꼽았다. "tape-out이라는 시간 제약 아래서 연구가 진행되다 보니까 더욱 그런 거 같습니다. 완벽한 설계보다는 시간에 맞춘 설계가 많은 것이 안타까워요." 라면서 "아마 Engineering이라는 학문 자체가 trade-off가 기본 바탕이라 생각이 됩니다. 결국, 개인시간을 줄여 설계에 투자할수록 더 좋은 결과가 나오는 거 같아요." 민병욱 교수는 복잡한 Engineering 세계에서 연구자가 가져야 할 자세로 상호협력을 강조했다. "맡은 임무를 성실히 수행해 내는 것이 가장 중요합니다. 그건 꼭 Engineer가 아니더라도 맡은 임무를 성실히 수행하는 것은 사회 구성원의 중요한 덕목이라고 생각하니까요."

"우리 생활의 일부분이 된 반도체"

반도체는 이제 우리 생활의 일부분이라면서 앞으로는 다품종 소량생산의 반도체 시대 즉, 소비자의 다양한 취향을 만족시키는 반도체가 필요한 시대가 도래할 것으로 전망한 민병욱 교수는 우리의 발전방향도 이런 흐름에 맞춰야 한다고 언급했다. 또한, 전공에 대한 완벽한 이해와 함께 더 큰 그림을 그릴 수 있는 식견을 후배 연구원들이나 학생들이 갖기를 바랐다. "저를 포함해서, 반도체 회로 설계를 하다 보면 큰 그림을 잊어버리기 작은 일에 매몰될 수 있는 거 같아요." 라면서 "좀 더 큰 시스템, 나아가 사회를 보는 식견도 필요한 거 같습니다." 지금까지 회로의 설계기술을 높이는 것에 중점을 두었지만, 이제는 전체 시스템을 새롭게 꾸며 좋은 결과를 내고 싶고 Emerging device를 이용한 Microwave circuit를 만들고 싶다는 그의 모습에서 자신의 분야를 서서히 개척해 나가는 열정이 고스란히 전해져왔다.

민 병 욱 교수
연세대학교 전기전자공학부

문의 연세대학교 전기전자공학부 MICS연구실 민병욱 교수
전화 02-2123-5880 E-mail bmin@yonsei.ac.kr
Homepage web.yonsei.ac.kr/mics



메모리 반도체 강국의 시스템 반도체

우리는 지금 ICT (Information and Communication Technology) 혁명의 시대에 살고 있습니다. 몇 해 전만 해도 미래의 이야기였던 Cloud는 이미 현실이 됐으며 사람들은 이제 머지않아 IoT의 시대가 도래할 것을 이야기하고 있습니다. 이처럼 ICT 혁명은 아직도 역동적으로 진행 중이며 그 핵심에 Computing Technology의 발전과 이를 견인해 온 반도체 산업이 있습니다. Von Neumann Architecture에 근거한 Computing Technology의 핵심 부품은 CPU와 메모리이며 이들 부품의 지속적인 Scaling을 통해 반도체 산업이 기하급수적으로 성장해 갈 것이라는 통찰력과 의지가 Moore's Law에 담겨 있습니다. 놀랍게도 반도체 산업은 50년 가까이 Moore의 예측에서 크게 벗어나지 않는 속도로 성장해 전지구적인 거대 산업이 됐으며 우리 나라도 30년 여의 반도체 역사를 거치며 그 한 축인 메모리 반도체 산업의 강국으로 확고하게 자리 잡게 되었습니다. 그러나 많은 관심과 투자에도 불구하고 CPU를 포함한 시스템 반도체 산업에서는 고전을 면치 못 하고 있으며, 그 배경에는 뭔가 이유가 있을 것입니다.

몇 해 전 유럽에 있는 시스템 반도체 회사를 방문한 적이 있습니다. 당시 이 회사는 메모리 사업을 Spin-Off 한지 얼마 되지 않았던 시점이었으며, 메모리 반도체 사업과 시스템 반도체 사업의 차이에 대해 다음과 같이 이야기 하였습니다. "만약 메모리반도체 회사가 시스템 반도체 사업을 시작하길 원한다면 차라리 새로운 회사를 만드는 것이 더 나을 것이다. 메모리 반도체 사업과 시스템 반도체 사업은 확연히 다르기 때문이다. 단지 기술이 다르다는 점을 넘어 사업 자체의 성격이 다른데, 메모리 반도체 사업이 제품을 개발해서 단기간에 대량 생산하여 판매하고 다시 그 다음 세대 제품으로 재빨리 넘어가는 것이 특징이라면, 시스템 반도체 사업은 한번 제품을 개발하면 인증 기간이 길고 장기간의 소량 생산이 특징이라 그 사업을 수용할 수 있는 기업의 문화가 정말 달라야 하기 때문이다." 메모리 반도체 사업과 시스템 반도체 사업을 두루 경험해 보고 나온 견해라는 생각에 당시 고개를 끄덕이며 수긍했던 기억이 납니다. 여기서 지칭되는 시스템 반도체는 CPU (혹은 AP)를 얘기하는 것은 아닐 것입니다. 아마도 CIS, ASP, DSP 등과 같은 시스템 반도체를 의미할 것입니다. 사실 CPU 사업의 성격은 새로운 제품을 개발해 대량으로 팔고 다시 차 세대 제품을 개발해 팔아야 한다는 의미에서 메모리 반도체의 사업적 성격과 크게 다르지 않습니다. 그렇기 때문에 시스템 반도체 사업이 성공적이지 못했던 이유가 사업 자체의 특성 차이 뿐만은 아니며, 기술, 제품, 마케팅 역량과 생태계 환경 또한 많은 영향을 미쳐 왔을 것입니다.

또 몇 해 전에는 미국 거대 IT 기업의 기술을 총괄하시는 분과 만나 얘기를 나눈 적이 있습니다. 이 분은 현재 몸담고 계신 회사가 지금은 Logic 기술 개발과 Foundry 사업만을 하고 있지만 과거에 DRAM 사업을 했던 전력이 있어 메모리 반도체와 시스템 반도체 기술과 사업의 차이에 대해 잘 이해하고 계시며 또한 대만 출신이라 대만의 Foundry 사업에 대한 이해도 높으십니다. 당시 한국 메모리 기업의 Foundry 사업 진출 얘기가 한창일 때라 자연스럽게 이 분의 Foundry 사업에 대한 얘기를 듣게 됐는데 자기 생각으로는 한국 메모리 기업의 Foundry 사업 성공 가능성이 높아 보이며, 그 이유는 DRAM 공정 기술이 Logic 기술에 비해 (특히 양산성의 확보라는 측면에서) 난이도가 높아 양산성 있는 Logic 기술을 확보하는 데 큰 어려움이 없을 것이기 때문이라는 점이었습니다. 당시 이 분의 의견이 너무 낙관적인 것이 아닌가 생각했지만 그로부터 몇 해가 지난 지금, 차세대 Logic 양산 공정 기술의 확보라는 측면에서 한국이 분명하게 상대적 우위를 점하고 있는 상황을 보며 이 분의 예측이 크게 틀리지는 않았다는 생각을 합니다. 그렇지만 비록 공정 기술이 우위에 있어도 Foundry 사업 자체는 그리 성공적이지 못한 모습을 보이고 있는데 역시 기술적인 역량 보다는 사업적인 역량의 문제가 아닌가 생각됩니다. AP Foundry와 같이 부침이 있기는 하나 어느 정도 성공적이었던 사례도 있었으나 이는 앞서 언급한 내용과 같이 AP 사업 자체가 메모리 반도체 사업의 특징과 크게 다르지 않기 때문이라 생각할 수 있습니다. 그러나 기타 시스템 반도체의 경우 다수의 고객으로부터 다양한 주문을 받아 소량으로 오랫동안 생산해 줘야 하는데 다수의 고객의 다양한 요구를 제대로 수용하기에는 우리 기업들의 기술 마케팅과 사후 지원에 있어 인력과 역량이 부족하지 않은가 하는 생각이 듭니다.

앞서의 에피소드를 참고해서 상황을 정리하면 아래와 같이 정리될 것 같습니다.

1 메모리 반도체의 경우 국제 표준 규격이 잘 갖춰져 있어 소품종 대량생산이라는 단순한 사업 구조로 사업 역량을 갖추기가 용이한 특징을 가지고 있으며 대규모 투자와 치열한 경쟁을 통해 제조 기술 역량을 갖춘 우리나라의 기업들이 성공 히스토리를 만들 수 있었습니다.

2 CPU (그리고 AP) 사업의 경우 소품종 대량 생산이라는 점에서 메모리 반도체 사업과 크게 다르지 않으나, CPU의 기술적/구조적 측면에서의 역할 특징이 생태계 전반을 리드하는 분야이므로 사업적인 진입장벽이 높을 뿐 아니라 Computing System 전반의 아키텍처를 바탕으로 한 설계 기술도 그 역량을 갖추기가 쉽지 않은 상황입니다.

3 Foundry 사업의 경우 제조 기술 역량의 확보는 상대적으로 용이할 것이나 다품종 소량 생산에 필요한 영업, 마케팅, 고객과의 기술적 인터페이스, 기술 서비스 등 다양한 사업 역량을 갖추기는 쉽지 않을 것입니다.

4 Fab-less 사업의 경우 (앞에서 다룬 바는 없으나) 시장이 요구하는 가치를 발견하고 이에 맞는 상품을 기획하는 것이 선행되어야 하며 이것을 구체적인 제품으로 실현할 수 있는 기술 역량이 뒷받침되어야 합니다. 즉, 성공적인 사업이 되기 위해서는 사업에 대한 통찰력이 필요한데 이는 고객/시장/기술 그리고 생태계의 생리에 대한 깊은 이해가 전제되어야 합니다.

이렇게 정리하고 보면 다양한 고객 대응 능력 부족과 사업적 통찰력 부족 그리고 생태계 리드 역량 부족으로 (상대적으로 그런 역량의 필요성이 적은) 메모리 반도체 외에는 성공적으로 사업을 전개해 나가기 힘든 것이 아닌가 하는 생각이 듭니다. 결국 이러한 역량을 어떻게 갖추어 나갈 것인가가 시스템 반도체 사업을 성공적으로 해 나갈 수 있는 관건일 것이나 그리 쉽게 단기간에 극복될 수 있는 것들은 아닌 것 같습니다. 성공적인 Foundry 사업을 위해서는 공정 기술력을 갖춰 가는 것과 함께 선두 기업의 고객 대응 역량을 벤치마킹 해서 자체 역량으로 키워 가야 하고 성공적인 Fab-less 사업을 위해서는 Fab-less 사업이 활성화된 외국에서의 공식, 비공식적 Community 활동을 통해 사업적 통찰력을 키워가야 할 것이며 궁극적으로 CPU나 AP 사업을 제대로 하기 위해서는 IT 산업 전반에서 활동의 양을 늘이고 기여 수준을 높여 생태계를 리드할 수 있는 역량을 발휘해야 할 것으로 생각됩니다. 그리 멀지 않은 미래에 시스템 반도체 분야의 사업적 역량을 갖추어 기술적 잠재력이 활짝 꽃피게 될 날을 기대해 봅니다.

*** 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.**

홍 성 주 전무
SK하이닉스 DRAM개발본부장

시스템 보안 강화를 위한

SoC 수준 하드웨어 모니터 기술

기 술 동 향 칼 럼

점점 많은 단말이 인터넷에 연결되면서, 그림 1과 2에서처럼 세계적으로 다양한 목적을 가진 사이버 공격들이 증가하고 있으며, 그 예로 세계 14개 국가의 70개 글로벌 기업들과 정부 기관들, 그리고 비이익 단체를 대상으로 2006년부터 2011년까지 5년간 지속된 Operation Shady, Google과 Adobe를 포함한 글로벌 기업들을 대상으로 한 Operation Aurora 등이 있다. 우리나라도 이러한 사이버 공격으로부터 예외일 수는 없다. 한 예로, 2009년과 2011년에는 국내의 각종 웹사이트를 대상으로 한 서비스 거부 공격인 DDoS (Distributed Denial of Service)공격이 대규모로 발생했다. 특히, 현대 경제 연구원 조사로는 2009년에 발생한 7.7 DDoS 공격의 경우 금전적 피해 규모가 최소 363억 원에서 최대 544억 원에 이른다고 한다.

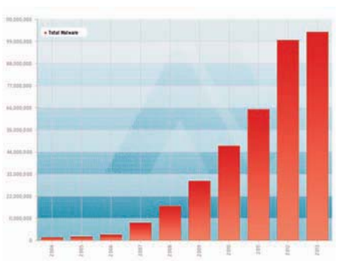


그림1. 지난 10년간의 악성코드 추이
(악성코드 분석 특집, ASEC 리포트, 2012년 Col.35,)

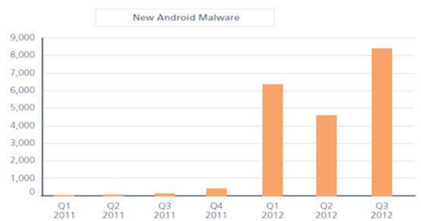


그림2. Android 악성코드 추이 McAfee
(McAfee Threats Report: Third Quarter 2012)

이처럼 사이버 공격이 일단 발생하면, 그에 따른 금전적, 정치적 손실이 상당하기 때문에, 공격을 막기 위한 적절한 대응책을 마련할 필요가 있다. 이러한 공격들에는 일반적으로 공격자의 악성코드에 기 감염된 일반 사용자의 단말들(PC, 스마트폰 등)이 사용되므로 그 출발점은 사용자 단말에 대한 악성코드(malware)의 유포 및 감염이라고 할 수 있다. 많은 경우, 네트워크를 통한 이런 무차별적 공격의 중간 경유지 역할을 하거나 직접 공격에 동원될 좀비 단말(악성코드에 기 감염된 단말)들이 확보된 후에는 사실상 해당 단말의 소유자가 공격하는 것과 마찬가지이기 때문에 공격을 막거나 공격을 받은 후 공격자를 찾아내기가 매우 힘들다. 즉, 사이버 공격을 근본적으로 막아내기 위해서는 일반 시스템들에서 권한이 없는 악성코드에 의한 시스템 내부 장치나 자원들(메모리, 파일, 폴더 등)의 무단 접근 및 사용을 제한하여 보호하는 등의 방법으로 시스템 보안(System Security)을 강화할 필요성이 절실하다.

1 기존의 보안 모니터 기술

최근 이런 추세에 따라 단말 시스템의 보안성을 강화하는 연구가 소프트웨어 및 하드웨어 기반으로 활발하게 진행되고 있다.

1) 소프트웨어 기반 보안 모니터

일반적으로 소프트웨어 기반의 연구들은 응용 프로그램들의 취약성을 이용하는 공격들을 탐지하기 위해 감시할 대상 응용프로그램이나 OS 계층 혹은 그 이하 계층에서 보안 감시를 수행하는 백신이나 침입 탐지 장치(Intrusion Detection System) 등과 같은 소프트웨어 기반 보안 모니터 (Software-based Security Monitor)로 존재해 왔다. 이러한 소프트웨어 기반 모니터들은 기본적으로 호스트 CPU의 하드웨어 내부는 전혀 수정하지 않고 소프트웨어만을 이용해서 보안성을 강화했기 때문에 범용으로 사용되는 호스트에 쉽게 탑재되어 사용될 수 있고 새로운 보안 위협이 나올 때마다 소프트웨어 업데이트라는 간단한 방법에 의해 유연하게 대처함으로써 그 보안 위협들을 손쉽게 막을 수 있는 장점이 있다.

초기의 소프트웨어 기반 모니터는 응용 프로그램 혹은 OS 커널 수준에서 수행되면서 해당 OS 커널이 제공하는 여러 서비스를 이용하여 구현되어있다. 즉, 감시를 위해 필요한 정보들을 OS에서 얻기 때문에 OS 커널이 전달하는 정보들을 신뢰하기 위해서는 OS 커널의 무결성이 전제되어야 한다. 하지만 최근 OS 커널 자체의 취약점을 공격함으로써 다른 악성코드가 특권모드 (Privileged mode)에서 실행되도록 커널 자체를 변조해 커널이 소프트웨어 기반 보안 솔루션에게 정확한 서비스를 제공하지 못하도록 하는 루트킷(Rootkit)이라는 악성코드들이 널리 퍼져 있는데, 이러한 루트킷에 의해 커널이 감염(compromise)된 상황을 가정할 경우, 소프트웨어 기반 모니터들의 보안 감시 기능이 정상적이라는 것을 보증할 수 없게 된다.

루트킷 문제를 해결하기 위해 OS 커널보다 더 높은 특권을 갖는 모니터에 대한 필요성이 대두하였는데, 마침 2000년대 초반부터 Xen이나 KVM (Kernel Virtual Machine)과 같은 VMM (Virtual Machine Manager)이 본격 대중화되면서 이를 활용하기 위한 여러 시도가 본격적으로 진행되었다. 가상화 시스템에서는 VMM이 제공하는 환경에서 OS들이 VM(Virtual Machine)의 형태로 구동되는데, 여러 VM들이 메모리나 네트워크 같은 하드웨어 자원들을 공유해야 하기 때문에, VMM은 VM들, 즉 OS 커널들보다 더 높은 특권을 가지고 VM들이 서로 사용하려는 공유 자원들이 충돌하는 것을 막아주어야 한다. 이를 위해 VM이 하드웨어 자원에 접근해야 하는 경우 VMM이 그 요청을 처리해 주는 하이퍼콜(hypercall)이나, 정책에 어긋나는 시도를 막는 트랩(trap)의 형태로 그 과정에 개입하여 전체 시스템을 관리한다. 이렇게 여러 OS를 관리하기 위해 VMM에는 OS 커널보다 더 높은 특수 권한을 부여받는데, VMM의 이런 권한을 이용해 구현된 모니터는 그림 3에서와같이, 루트킷을 포함한 다양한 악성코드로부터 자신을 보호하면서 OS와 그 안에서 수행하는 각종 코드의 행위를 외부에서 감시할 수 있다. 이렇게 함으로써 이들 모니터가 분명 기존 소프트웨어 기반 모니터들 대비 루트킷에 대한 공격에 더 안전하게 된 것은 사실이다. 그러나 비록 OS 커널에 비해 훨씬 어렵긴 하지만 VMM도 소프트웨어로 구현되었기 때문에 악성코드에 감염될 수 있다는 문제가 있으며, 그 가능성이 최근 연구에서 증명되었다.

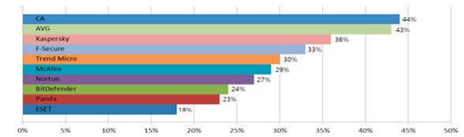
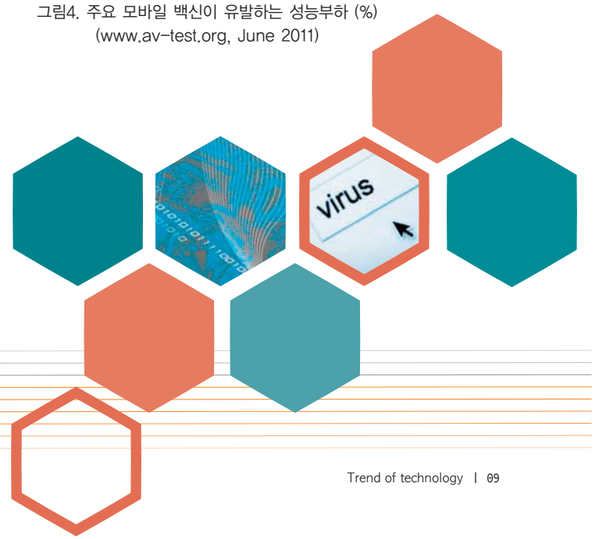


그림3. Xen 기반 무결성 모니터 개념도

앞에서 언급한 소프트웨어 기반 모니터들의 또 하나의 중요한 문제점은, 호스트 시스템에 대한 성능 부하이다. 사실상 모든 소프트웨어 기반 모니터들은 감시 대상 응용들과 같은 호스트 시스템의 하드웨어 자원 (메모리, CPU 등)을 공유하도록 설계했기 때문에 이들 모니터를 운영할 경우, 그렇지 않은 경우에 비해 감시 대상 응용들을 포함한 전체 시스템에 상당한 성능 감소를 가져오는 문제를 발생시킨다. 특히 이런 성능 저하는 모바일 기기들에서 더욱 심각하게 나타나는데, 그림 4에 보이는 최근 한 조사에 따르면, 이러한 감시 도구들이 전체 시스템에 평균 30%의 성능 부하를 유발하는 것으로 나타나 있으며, 이 때문에 상당한 전력소모까지 일으켜서 고급 보안 솔루션들이 적극적으로 모바일 기기상에서 사용되는 것을 저해하는 원인이 되고 있다. 오늘날 스마트폰 및 태블릿 같은 다양한 모바일 기기들의 보급으로 그림 2에서 보듯이 모바일 플랫폼을 공격하는 악성코드들이 급속히 증가하면서 이들에 대한 보안의 중요성이 날로 중요해지고 있다는 점에서, 기존 호스트 시스템의 자원을 공유한 모니터링 기법을 이용한 보안 솔루션들이 발생시키는 이러한 성능 문제를 극복해야 할 필요성이 점점 더해지고 있다고 할 수 있다.

그림4. 주요 모바일 백신이 유발하는 성능부하 (%)
(www.av-test.org, June 2011)



2) 하드웨어를 이용한 기존 시스템 보안 기술들

기존 소프트웨어 기반 연구들의 문제점이었던 안전성과 성능 문제는 하드웨어를 사용한 독립적인 실행 환경 제공과 가속을 통해 어느 정도 해결될 수 있다. 하지만 지금까지 대부분 하드웨어와 보안 이슈를 연결시키려는 연구들은 시스템 전체에 대한 적극적인 보안 감시를 목적으로 하지는 않았다. 대부분의 보안 하드웨어 연구 개발은 크게 세 가지로 분류할 수 있다.

1 기밀성을 요구하는 데이터의 유출 방지를 위한 암호화(Encryption) 연산 가속 장치

2 보안이 필요한 데이터 연산에 대한 안전 정보 처리(Secure Transaction)를 보장하도록 일반 정보 처리(Normal Transaction)와 격리(Isolation)하는 장치

3 특정 악성 행위로부터 시스템을 방어(Protection)하는 특수 내부 장치

암호화 관련 시도들은 이미 많이 있었는데, 대표적인 예로는 암호화의 안정성과 성능 개선을 위해 Intel vPro에 포함된 AES (Advanced Encryption Standard) 가속 기능과 같은 암호화 전문 하드웨어가 있다. 안전한 정보 처리와 일반 정보 처리를 격리하는 장치들의 예로는 TPM(Trusted Platform Module), ARM TurstZone, Intel SGX(Software Guard Extension) 등이 있는데, 이들은 약간의 방법과 구현의 차이가 있지만, 전반적으로 CPU내에 특수 하드웨어를 추가하여 이들 정보 처리를 격리하여 보안성을 향상하는 방법을 택한다는 면에서 비슷한 성격을 가지고 있다. 이들은 보안성 향상을 통해 시스템을 보호한다는 면에서, 위에서 소개되었던 소프트웨어 기반 보안 모니터와 같은 목표를 가지고 있다. 하지만 이들은 데이터 암호화나 중요 시스템 격리를 통한 소극적 의미에서의 악성 코드 공격에서 시스템을 보호하는 것에 목표를 두고 있다. 반면 보안 모니터들의 감시 기능의 목적은 적극적으로 악성 코드를 탐지하여 공격에 대응한다는 점에서 분명한 차이를 보인다. 비유한다면, 전자는 안전한 금고를 두어 중요 자원을 외부로부터 보호하는 것이라면, 후자는 경비원을 두어 외부 침입을 탐지해서 시스템을 안전하게 유지하는 것과 비슷하다.

보안 기능을 위한 하드웨어를 CPU 내부에 집적하는 연구 중에는 특정 악성 행위 발생을 하드웨어 수준에서 억제해서 시스템을 보호하려는 노력이 있는데 대표적인 예로는 소프트웨어 취약점인 버퍼 오버플로우 (buffer overflow)를 방지하기 위한 하드웨어 기술이 있다. 또한, 소프트웨어 스택(stack)에 저장된 리턴 주소 (return address)를 변조하여 실행 흐름을 조작하는 ROP (return oriented programming)을 막기 위한 하드웨어 기술 연구도 이런 형태의 노력으로 볼 수 있다. 알려져 있는 취약점을 하드웨어를 통해 보완해서 특정 공격에 대한 방어가 목적이라서 이들 역시 소극적 의미 시스템 보안 기술들이라고 할 수 있다. 각각 해결하고자 하는 보안 문제들에 한해서는 효과적으로 대응하는 모습을 보였으나, 다른 형태의 공격에는 기술을 적용할 수 없는 확장성의 문제를 가지고 있다. 오늘날 시스템의 취약성을 노리는 새로운 악성 코드들이 계속 등장하는 상황을 고려할 때, 이들 기법만으로는 미래 컴퓨터 시스템을 효과적으로 방어하는 데는 한계가 있는 것은 분명하다.

2 하드웨어 기반 보안 모니터 기술의 출현

앞서 기존 하드웨어와 시스템 보안을 접목하려는 시도들은 보안 모니터로서의 기능을 수행할 수 없음을 알 수 있다. 보안 모니터로서의 하드웨어 기술은 호스트 시스템의 내부 정보를 효율적으로 탐지하는 기능이 필요하며, 그렇게 검출된 정보를 토대로 그 속에서 악성 행위를 판별해내는 다양한 보안 알고리즘을 수행할 수 있는 기능이 필요하다. 이런 조건을 갖춘 기능을 하드웨어 수준에 지원하려는 노력은 최근 10여 년간 일부 있었다. 이러한 연구들이 제안하는 기법들은 공통으로 호스트 CPU의 외부에 모니터링 유닛을 부착해 호스트 CPU 외부에서 확인할 수 있는 버스 트래픽, 메모리 내용의 변화 등의 정보를 바탕으로 내부에서 악의적인 프로그램이 동작하고 있는지를 판단하는 구조이다. 이처럼 구현되어 시스템의 무결성을 감시를 위한 하드웨어 모니터들은 기존의 소프트웨어 기반 모니터의 단점들을 극복하고, 하드웨어 잠재적인 장점을 살려 성능 저하를 최소화하면서도 안전한 보안 감시 기능을 제공하는 이점을 가지고 있다.

이러한 하드웨어 기반 모니터는 호스트 CPU의 외부에서 관측 가능한 정보를 수집 관찰하며 악성코드 또는 루트킷을 탐지하는 기능을 한다. 이 모니터는 CPU 외부에 주문형 하드웨어 로직 형태로 존재하여 호스트 CPU 및 OS와 분리된 실행환경에서 동작하기 때문에 호스트 CPU가 공격을 받더라도 정상적으로 원격 감시를 수행할 수 있으며, 호스트 시스템의 자원을 덜 사용하므로 성능 면에서의 부하도 줄일 수 있다. 또한, 호스트 CPU 내부가 아닌 외부에 별도로 구현되어 CPU 코어 자체의 수정을 가하지 않기 때문에 좋은 확장성을 가진다는 장점이 있다. 이러한 조건을 갖춘 하드웨어 모니터의 최초 연구로는 미국 메릴랜드 대학이 개발한 Copilot을 들 수 있다. 2004년 보안 학회 중 하나인 USENIX Security에 소개된 이 기술은 그림 5와 같이 데스크톱 플랫폼의 PCI 확장 슬롯을 통해 x86 호스트 시스템에 연결되어 감시 대상 OS 커널 메모리의 내용을 모니터하여 악성코드의 흔적을 탐지하고자 하였다. 기존 소프트웨어 기반 모니터와는 대비 별도의 전용 하드웨어를 이용해 메모리 상태의 스냅샷(snapshot)을 효율적으로 추출하고 분석하는 방법으로 커널의 무결성 감시를 시도하였다. 이러한 방법은 루트킷과 같은 고급 공격 기법에 안전한 것으로 알려졌다. 그러나 이 기술 역시 스냅샷을 추출하는 과정에서의 성능 부하문제를 완전히 해결하지 못해서 스냅샷 추출 주기를 줄이면 호스트 성능의 저하를 일으키며, 무엇보다 Copilot은 PCI와 같은 I/O 채널에서 연결된 기기로서 호스트의 정보를 추출하는데 사용할 수 있는 기법은 스냅샷 방식만이 가능한데, 이런 스냅샷을 통해 탐지할 수 있는 공격의 종류에 한계가 있다는 한계성을 드러냈다. 또한, 최근 PCI로 장착된 외부 I/O 채널을 통해 시스템을 감시하는 보안 모니터의 메모리 접근을 제한하는 기술이 소개되면서 이런 외부 보안 모니터를 무력화 가능성이 제기되었다.

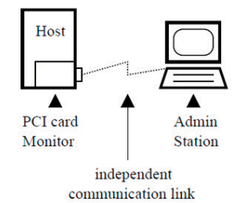


그림5. 보드 수준 보안 모니터 예시 : Copilot

3 SoC 수준 하드웨어 보안 모니터 기술

이처럼 데스크톱의 PCI 슬롯과 같은 I/O 채널을 통해 호스트 CPU를 감시하는 보안 모니터 기술의 단점을 극복하기 위해 최근 연구에서는 모니터의 집적 수준을 SoC 수준으로 끌어올리며 모니터의 기능을 보안 효과성 및 성능 측면에서 한층 강화하는 시도를 하고 있다. 이러한 시도는 2000년대 이후 모바일 기기의 AP(Application Processor) 등과 같이 CPU와 기타 보조 기능을 수행하는 하드웨어 모듈을 하나의 SoC로 집적화하는 반도체의 고도화된 기술을 보안 이슈에 적극적으로 반영한 노력의 일환이다. SoC 설계 환경에서는 새로 추가하고자 하는 모니터 하드웨어의 설계 및 배치가 데스크톱 환경과 비교할 수 없을 정도로 자유롭다는 이점을 충분히 발휘하여, 스냅샷 이외에 다양한 방법들을 고안해 볼 수 있었는데, 이러한 연구의 중심에는 Vigilare와 KI-Mon 라고 명명된, 서울대에서 2012년 이후 개발한 모니터 하드웨어 시스템들이 있다. 이 연구에서는 하드웨어 모니터들을 호스트 외부 버스에 부착하여 그 트래픽을 감시하는 스누핑(snooping)이라는 스냅샷 대비 보다 효율적인 기법을 소개하였다. 특히 SoC 수준에서 모니터를 호스트 CPU와 결합함으로써, CPU 코어 내부를 수정하지 않고 호스트 OS의 무결성을 감시하는 하드웨어 모니터들을 소개하는 장점을 보였다. 이모니터에는 Snooper또는 VTMU(Valut Table Management Unit)라 불리는 다양한 ASIC 모듈들을 활용하여 보안 모니터의 성능을 극대화하면서도, 프로세서 기반의 모니터 프로세서를 제공하여 다양한 보안 알고리즘을 탑재할 수 있게 하였다. 이 기술은 2012년 ACM CCS와 2013년 USENIX Security 등 보안 학회에서 연구 결과를 발표하여 그 효율성을 인정받았다.

Vigilare 시스템의 초기 구현은 그림 6과 같이 두 개의 프로세서 코어를 가진 MPSoC (Multi-Processor SoC) 구조로 되어 있으며, 추후 보안 기능의 확장에 따라 그 코어의 숫자는 늘어나게 될 것으로 예상한다. 이 초기 구현에서는 SPARC 프로세서와 ARM AHB 버스 기반으로 만들어졌으며, 이 시스템에서는 크게 사용자를 위한 호스트 시스템과 이 호스트를 감시하기 위한 모니터 시스템으로 나뉠 수 있다. 호스트 시스템 및 이 시스템 상에서 동작하는 모든 소프트웨어는 모니터 시스템의 존재를 모른 채 동작한다. OS 및 응용 소프트웨어, 혹은 공격자 소프트웨어는 이 모니터 시스템에 접근할 수 있는 어떠한 수단도 가지고 있지 못하게 설계되었으므로, 모니터 시스템은 하나의 독립적이고 안전한 실행 환경을 가진다.

모니터 시스템은 호스트 시스템 상에서 일어나고 있는 행위들을 메모리 트래픽을 감시함으로써 수행한다. 특히, OS 커널의 자료 구조에 대한 쓰기 행위를 중점적으로 감시하는데, 이러한 주요 커널 자료 구조들에 대한 쓰기 동작들은 알려진 규칙을 지켜가며 이루어지기 때문에, 이 규칙들을 지키지 않는 쓰기 행위들은 공격자에 의한 시스템 전복 시도로 분류할 수 있다. 예를 들어, OS 커널의 정적 영역 (또는 불가변 영역)은 시스템의 부트 이후에는 절대로 쓰기가 금지된 자료 구조들이다. 이런 영역에 대한 쓰기 행위는 당연하게도 공격에 의한 것으로 분류할 수 있다. 어떠한 자료 구조들의 경우에는 쓰기 자체는 허용되지만, 쓰여 질 수 있는 값의 종류가 한정적인데, 이러한 동적 영역 (또는 가변 영역)에 대해서는 이 허용되는 값의 목록을 화이트리스트(white-list)로 관리하여, 이 목록 외의 값이 쓰이는 것에 대해서는 공격으로 분류한다. 이러한 메모리 트래픽의 감시를 위하여 Vigilare 시스템의 Snooper, KI-Mon 시스템에서는 VTMU라는 하드웨어를 설계 및 배치하여, 메모리 트래픽 감시 및 화이트 리스트의 관리를 호스트의 접근 없이 수행하였다. 이러한 하드웨어 IP들은 상시 감시를 1% 이하의 시스템 성능 저하만으로 가능하게 함으로써, 기존의 하드웨어 기반 모니터 혹은 소프트웨어 기반 모니터 기술들보다 혁신적인 성능 향상을 보여주었다.

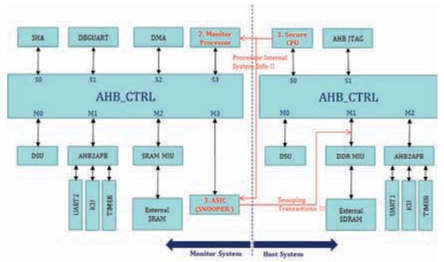
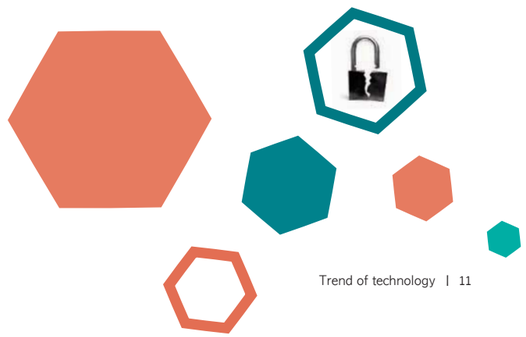


그림6. Vigilare 보안 모니터의 구조



하드웨어 기반 모니터의 장점은 별도의 하드웨어 엔진을 통해 감시 대상 시스템을 상시 감시할 수 있다는 것이다. 이러한 장점을 살려 Vigilare 시스템은 일시 공격 (transient attack)이라는 보안 분야에서 널리 알려졌지만, 검출이 사실상 불가능했던 공격 유형의 탐지에 효과적임을 보여주었다. 그림 7은 일시 공격의 예시를 보이고 있는데, 이러한 형태의 공격은 자신의 목적을 위해 조작한 데이터의 흔적을 아주 짧은 시간 후에 지워버림으로써, 기존의 바이러스 스캐너와 같은 스냅샷 추출 기법을 효과적으로 회피하는 방법이다. 따라서 주기적으로 모니터링을 하는 모니터의 경우 이 공격을 막아낼 수 없는데, Vigilare 연구에서는 하드웨어를 이용한 메모리 쓰기 행위의 상시 감시를 통해 이 일시 공격을 성능 저하 없이 막아내는데 성공하였다. 이러한 결과는 SoC 수준의 하드웨어 모니터 연구가 기존 연구들에 대비하여, 성능과 보안 두 측면에서 모두 큰 가능성을 가지고 있음을 보여준다고 할 수 있다.

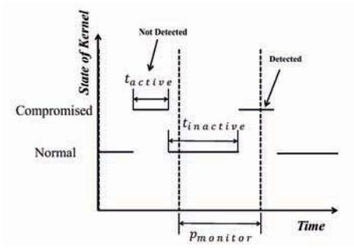


그림7. 일시 공격 (transient attack)의 예시

4 연구의 전망과 의의

Vigilare 시스템의 연구 결과를 통해서 향후 SoC 기술의 연장선에서, 보안 기능에 필요한 다양한 하드웨어 IP들을 결합한 MPSoC를 개발의 필요성을 발견할 수 있다. 특히 이러한 IP들의 개발 과정에서 고성능, 저전력이 가능한 응용 특화 하드웨어를 지향함으로써, 성능, 전력 보안 문제들 모두 동시 해결해야 하는 모바일 환경에 더욱 적절한 해결책을 제공하고자 한다. 아직 세계적으로도 이에 대한 연구가 본격화되지 않았고, 이미 앞서 언급한 Vigilare라는 SoC 수준의 보안 모니터에 대한 원천 기술을 국내 연구팀이 세계 최초로 제안함은 물론, 지난 수년간 선행 연구를 진행해 본 연구 분야를 선도할 수 있는 독창적 연구 방법론에 대한 노하우를 이미 보유한 만큼, 다른 국가에 앞서 해당 분야의 연구를 신속히 진행해 새로운 흐름을 주도할 수 있을 것이다. 무엇보다, 이미 선진국 수준에 오른 국내 반도체 기술을 여기에 적용한다면 보안 시장을 향한 이러한 하드웨어 기반 모니터 기술 연구의 성공 가능성은 높아질 것이다.

MPSoC를 기반으로 하는 이 연구는 향후 가까운 시일 내에 모바일 AP와 같은 ARM 기반 SoC 플랫폼에 적용이 가능한 연구이므로, 보안이 점점 중요시되지만 기존 소프트웨어 기반 보안 감시 솔루션들의 성능 오버헤드가 부담되는 모바일 플랫폼에서 가치를 인정받을 수 있을 것이다. 마이크로소프트와 인텔의 연합을 상징하는 윈텔(Wintel) 시대가 저물고, 스마트폰이나 태블릿 등 모바일 디바이스가 시장을 지배하게 되는 포스트 PC 시대가 열리게 되었기에, 이러한 SoC를 기반으로 하는 보안 기술들에 대한 요구는 더욱 증대될 것이다. 또한, 자동차, 가전제품, 클라우드 서버 등 SoC를 활용하거나, 모바일 기기와 연동된 플랫폼에서도 이러한 보안 기술들은 시스템 보안 향상에 이바지할 것으로 기대된다. 따라서 본 연구를 통한 선행 기술의 확보는 미래에 이루어질 다양한 상용 기술들의 모태가 될 수 있을 것으로 본다.

백 윤 흥 교수
소속 : 서울대학교 전기정보공학부
연구분야 : Computer Architectures, Code Analysis and Optimizations, Hardware-assisted System Security
E-mail : ypaek@snu.ac.kr
Homepage : http://sor.snu.ac.kr

Chip Design Contest (CDC)

International SoC Design Conference(ISOCC) 2014 Chip Design Contest 개최

● Chip Design Contest(CDC)는 2014 ISOCC 프로그램의 한 세션으로 진행되나, 제출한 논문은 프로시딩(Proceedings)에 포함되지 않음.

1. 일정 및 장소

가. 전체 진행 일정 : 2014년 11월 03일 ~ 06일
나. Ramada Plaza Jeju Hotel, 제주
다. CDC 주요 일정

논문 제출 마감	논문 채택 통보	Chip Design Contest
2014. 7. 31	2014. 9. 1	2014.11.04

* 일정은 사정에 따라 다소 변경될 수 있음.

2. 논문 접수 분야 : SoC 설계

3. 시상내역

Award 명	수상팀수	내 역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	1개팀 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원
Best Poster Award	5개팀 내외	각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.

4. MPW 제작팀의 의무사항(CDC 참여)

▪ IDEC Chip Design Contest 논문 제출 및 데모(패널) 전시

관련사항
* Chip Design Contest(CDC)는 2014 ISOCC 프로그램의 한 세션으로 진행되나, 제출한 논문은 프로시딩(Proceedings)에 포함되지 않음.
* CDC 참여와 관련한 자세한 사항은 홈페이지(http://www.idec.or.kr)를 참조
* 담당 : 구재희(042-350-8536, kjh9@idec.or.kr)

IDEC, 설계 환경 다변화를 위해 실바코 AMS 디자인 플로우 도입

KAIST에 위치한 반도체설계교육센터(IC Design Education Center, 이하 IDEC)는 한국의 주요 국공립대, 사립대 및 전문대에 VLSI 설계 교육, 칩 제조 서비스 제공을 위해 아날로그/ 믹스드 시그널(AMS) 및 EDA 소프트웨어의 선도 기업인 실바코의 AMS 디자인 플로우를 도입하였다. IDEC은 대학의 VLSI 교육 및 연구 개발에 최신 정보와 소프트웨어를 제공하기 위하여 항상 노력하고 있습니다. 실바코의 소프트웨어 제공을 통한 설계 환경 다변화는, 다양한 설계 경험을 통해 설계 기술 과 능력 향상이 가능할 것이라 기대 됩니다. 실바코는 한국의 우수한 교육 시스템을 지원하기 위해 최선을 다하고 있습니다. 이번 IDEC과 SILVACO사의의 파트너십을 통하여, 한국의 대학은 우수한 툴로 미래의 엔지니어들을 교육할 수 있게 되었으며, 이들은 향후 실무에서 마주칠 과제에 대처할 수 있는 능력을 갖추게 될 것입니다."

실바코 아날로그/믹스드 시그널 디자인 툴 소개

실바코의 아날로그/믹스드 시그널 디자인 툴 구성은 많이 사용하고 있는SmartSpice 회로 시뮬레이터, Gateway 스키매틱 에디터, Expert 레이아웃 에디터, Guardian DRC/LVS/LPE, 및 Hipex full-chip 기생 성분 추출 툴을 포함합니다. 실바코의 AMS 툴을 사용해서 IC 디자이너는 최적의 성능, 개발비 감축, 위험 감소와 궁극적으로 TAT (turn around time)의 단축을 제공하는 반도체 제품을 만들 수 있습니다.

실바코에서 제공하는 TowerJazz 프로세스 디자인 키트

IDEC에서 진행되고 있는 TowerJazz 공정에 적용 가능한 Silvaco 용 PDK를 지원한다고 발표 하였습니다. 멀티 프로세스 PDK는 교육 기관 및 팹리스 기업이 실바코의 IC 디자인 캡처, 시뮬레이션, 레이아웃 및 검증 도구를 이용하여 바로 설계및 제작을 용이하게 합니다.

IDEC에서 이용할 수 있는 SILVACO TowerJazz PDK List

- TS18SL (Mixed Signal CMOS 0.18um)
- TS18PM (Power Management 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

IDEC,

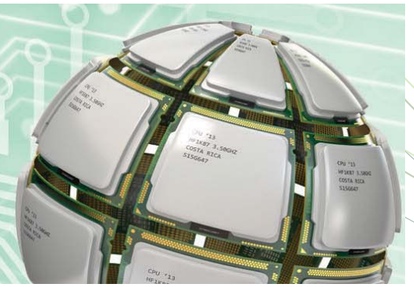
IDEC(IC 설계 교육 센터)은 대학의 LSI 교육 및 연구 과정의 개발 진흥을 담당하고 있습니다. IDEC은 칩 시험 제작 시스템을 구현 및 운영할 뿐만 아니라, 대학 내 사용자들에게 최신 설계 툴 환경을 제공하고 있습니다. 또한, IDEC은 툴 및 최신 칩의 시험 제작에 대한 세미나를 정기적으로 개최하고 있습니다. 현재 한국에 있는 대학 대부분의 연구실에서 이용하고 있으며 연간 320여 종류의 칩 제작 서비스를 지원하고 있습니다.

주소 대한민국 대전광역시 유성구 대학로 291(우: 305-701)
웹사이트 www.idec.or.kr

Silvaco, Inc.

Silvaco는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 툴을 제공하는 선도 기업입니다. Silvaco의 툴은 반도체 공정을 개발하는 팹과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용합니다. Silvaco는 서드-파티의 설계 플랫폼에 대한 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. Silvaco는 전세계 주요 지역에 사업 거점을 두고 있습니다.

연락처
• CEO David Halliday / david.halliday@silvaco.com



Mentor사 Questa (Modelsim)

1. Questa (Modelsim)

A. 목적 : Verification Platform

B. 구분 : Logic Simulation 및 Verification Environment를 효과적으로 수행할 수 있는 Engine 제공

C. Supported Platform and O/S System

- Linux RHEL 4/5/6 32/64bit
- Linux SLES 10/11 32/64bit
- Windows XP 32bit, 7 32/64bit, Vista 32bit

D. 특성 및 기능

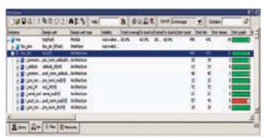
Questa Simulator는 High Performance를 가지는 집적 Simulator로써 고성능 디버깅 기능과 Industry의 Native Standard를 지원하는 툴 엔진이다. Questa Simulator은 TLM 기반의 검증 기능을 제공하며, High Abstraction 환경을 제공함으로 더욱 고급화된 검증환경 구축을 도와준다. Questa Core, Questa Prime 그리고 Questa Ultra는 이러한 검증환경을 위하여 Mentor Graphics에서 제공하는 Product 종류이다.

1. Questa는 SystemVerilog, SystemC, UPF 그리고 UCDB를 지원하며, Industry Standard HDL을 지원하고, 서로 상이한 Language 간의 Simulation인 Mixed Language를 제공한다. 또한, Industry 검증 Methodology인 ABV, OVM, UVM을 지원한다.

2. Questa 디버깅 환경제공

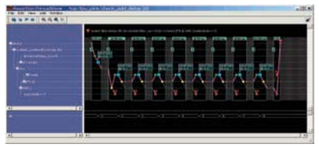
2.1 최적의 Simulation 수행을 위하여, 아래의 다양한 디버깅 기능을 제공한다. Coverage 최적화를 위한 Code Coverage와 Functional Coverage를 지원하며, 해당 GUI를 제공함으로써 Coverage 향상에 도움을 준다.

2.2 Data Flow Window는 X값 Tracing에 도움을 주며, SignalSPY는 Mixed Language Simulation에서 VHDL과 Verilog의 Language 간 한계를 극복하여 Signal 디버깅을 도와준다.

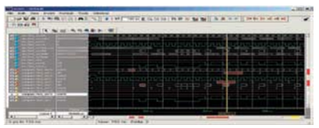


2.3 Systemverilog 검증환경을 위한 다양한 Window를 제공함으로써 더욱 효율적인 Systemverilog 디버깅을 도와준다. Text Based Dataflow Window, Watch Window 그리고 Object Window 등 다양한 GUI로 상기 검증환경에 도움을 준다.

2.4 Waveform Compare 기능은 Waveform을 서로 비교해줌으로써 디버깅에 소요되는 시간을 Save 해줌은 물론 더욱 효과적이고 정확한 디버깅을 도와준다.



3. Questa은 Systemverilog Assertion 검증을 위한 QVL Library를 제공한다. 다양한 Protocol Monitor와 Assertion Checker를 각각의 Application 별로 제공하며, 이에 해당하는 Assertion Tread Viewer (ATV)인 디버깅 GUI를 지원함으로써, Assertion Based Verification (ABV)을 가능하게 한다.



4. Questa는 Advanced Tectbench환경을 구축하기 위한 UVM/OVM Methodology를 제공함으로써 보다 효율적이며, Reusable 한 Test 환경구축을 한다. Constraint Random Verification으로 구성된 옵티마이즈된 Stimuli는 Questa에서 재해석되어 Testbench Automation을 가능하게 해준다.

2. Questa CDC

A. 목적 : Functional Verification

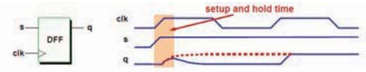
B. 구분 : Static Analysis를 사용한 Clock Domain Crossing 검증

C. Supported Platform and O/S System

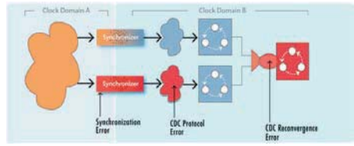
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능

Metastability in Hardware



Silicon 상의 Register들은 위 그림과 같이 Setup/Hold Time이 존재하며 Asynchronous Domain 간에는 위와같은 Side Effect를 피할 수 없다. 그러나 RTL Simulation으로는 위와 같이 Random 하게 DFF의 Q가 0 또는 1이 되어 비정상적인 동작을 하는 것을 검증할 수 없다.



Missing or Incorrect Synchronizers

Design을 분석하여 Clock Domain Crossing이 있는 부분을 Report 해주며 자동으로 어떤 Synchronizer가 있는지 또는 빠져 있는지를 Categorization 하여 보여 준다.

CDC protocol error

Protocol 상에 문제가 될 수 있는 부분에 자동으로 Assertion을 생성해주며 이 Assertion을 Simulation에 적용하여 검증을 수행할 수 있다.

3. Questa Formal

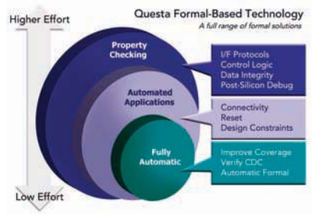
A. 목적 : Functional Verification

B. 구분 : Assertion을 이용한 RTL 검증

C. Supported Platform and O/S System

- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능



Fully Automatic

모든 Property 들과 디자인에 관련된 검증이 툴에 의해서 자동으로 생성된다. 이것은 크게 3가지 자동화 툴로 나눌 수 있다. Questa CoverCheck은 CodeCoverage에 관련된 검증을 수행하며 Questa AutoCheck은 RTL에 대해서 Formal Analysis를 수행한다.

Automated Application

Connectivity, X-States, Reset Structures와 Design Constraints와 같은 이슈들에 대하여 툴에서 제공하는 Application을 이용하여 Property를 생성하며 이에 대한 FormalAnalysis를 수행한다.

Property Checking

사용자가 Property와 Constraint를 직접 기술하여 더욱 적극적인 방법으로 검증을 수행할 수 있다. 이를 통해서 I/F Protocols, FunctionalCoverage, Control Logic, Data Integrity 그리고 Post-SiliconDebug를 디자인에 적용해 볼 수 있으며 이를 통해 가장 Exhaustive 하게 검증을 수행할 수 있다.

회 사 명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주 소 : http://www.mentorkr.com/
한국지사 : 한국멘토
전 화 : 031) 8061-0790
주 소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동) 판교 미래에셋센터 7층

iOS8 로 보는 애플의 변화

애플은 지난 6월 2일(현지시각) WWDC 2014에서 새로운 매킨토시 OS인 요세니티(Yosemite)와 iOS 8을 발표하였다. 이번 발표는 단순히 새로운 OS의 발표라고 보기에 어려운 새로운 혁신요소들을 갖추었으며, 스티브 잡스 이후 애플의 새로운 전략적 방향성을 드러내었다. WWDC 2014를 통해 나타난 애플 iOS의 변화 중 주목할 만한 사안을 몇 가지 살펴본다.

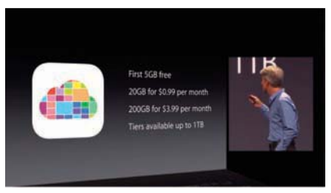
김 석 기 대표이사
㈜모폰웨어러블스
www.facebook.com/neokim

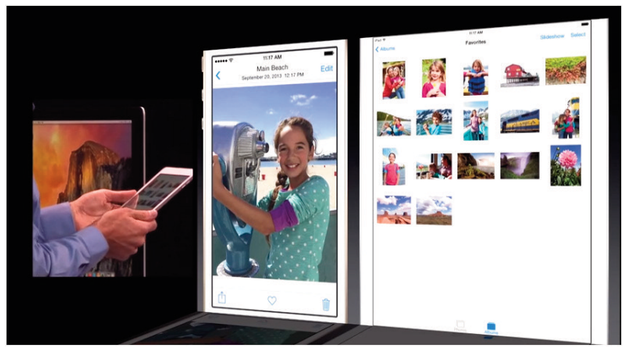
콘텐츠 유통 • 공유 강화

iOS8에서 가장 눈에 띈 발표 중 하나는 바로 '가족 간 콘텐츠 공유' 기능이다. 최대 6명의 가족이 한 장의 크레디트 카드를 연동하여 앱을 구매하거나 콘텐츠를 구매한 후 서로 다른 디바이스에서 공유할 수 있다. 가족 간 콘텐츠 공유의 강점은 국내 이통사에서 하는 '가족할인 요금제'와 유사한 효과를 본다. 바로 고객 이탈방지이다.

이러한 공유강화를 통한 고객 이탈방지는 iCloud를 이용한 사진보관함도 맥을 같이 한다. iCloud 한곳에서만 사진을 정리하면 공유된 모든 기기(가족포함)의 사진이 한꺼번에 관리할 수 있기 때문이다. iCloud는 드라이버의 추가를 통해 데스크탑인 OSX 뿐만 아니라 윈도우 머신과의 연동역시 가능하다. iCloud는 이번에 가격도 대폭 낮춰서 200GB를 한 달에 4달러(약 4,500원)에 사용할 수 있다. 개인 간의 공유뿐 아니라 애플이 안드로이드에 비해 약한 부분이었던 기업고객을 위한 엔터프라이즈 기능을 탑재해 다른 면(B2B)에서의 공유 역시 강화하였다.

공유강화의 목적은 고객 이탈방지와 더불어 콘텐츠의 소비를 증가시키는 Cross-Selling 효과를 동반하게 된다. Airdrop은 아이폰과 mac 간의 공유를 편리하게 만들었으며 Handoff 기능을 통해 오피스 포스트웨어를 아이폰과 아이패드에서 사용할 수 있도록 만들었다. 이러한 기기 간에 편리한 공유기능으로 아이폰 사용자들은 아이패드와 맥을 구매하게 되고, 반대의 경우 아이폰을 사게 되며, 기기를 교체할 때도 윈도나 안드로이드와 같은 다른 플랫폼으로의 이탈이 방지된다. 학생들은 신용카드를 만들지 못하기 때문에 실질적으로 부모의 신용카드로 앱을 구매하고 있다. Family sharing 기능은 간편하게 자녀가 앱을 구매하는 것을 승인할 수 있게 해줌으로써 앱의 간편한 구매를 유도한다. 애들이 아이폰이나 아이패드가 있다면 부모에게 아이폰 또는 아이패드를 사도록 권하는 구조가 되는 것이다.



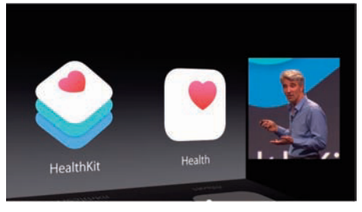


웨어러블기기에 대한 확장

애플이 이번 iOS8에서 이전에 아예 없었던 새로 선보인 기능 중 하나는 Heatkh와 HealthKit이다. 혈압, 무게, 심박, 다이어트 등 건강정보 관련 기능을 OS의 기본 기능으로 제공하기 시작한 것이다. 단순히 건강 관련 API만을 제공하는 수준이 아니라 서드 파티의 앱이나 디바이스의 연동 지원이 가능하며, 건강상태 이상 시 의사에게 바로 연락이 가는 그런 서비스이다.

일차적으로는 애플이 Health care 시장에 뛰어든다는 것을 나타내지만, 전략적인 방향성을 본다면 Health care를 위한 디바이스를 염두에 두고 있다는 것을 알 수 있다. 즉 앞으로 출시될 것으로 예상되는 iWatch의 기본 기능을 건강 관련 정보의 사전 포석이며 iOS에 이를 포함하여 iWatch 이후 다양한 형태의 웨어러블 기기로의 확장이 쉽게 만들어준다.

이러한 예상을 뒷받침해주는 또 하나의 징후는 바로 시리의 기능 강화이다. 이번 발표로 시리의 지원국가가 22개국이 늘어났으며 Shazam의 통합으로서 음악의 선곡과 구매를 시리를 통해 iTunes에서 가능하게 만들었다. 음성을 기반으로 하는 UX는 물론 아이폰에서도 많이 사용되고 있지만 시리는 궁극적으로 몸에 착용하는 웨어러블 디바이스에 가장 적합한 UX이다.



Health 와 HealthKit에 대해

Health와 HealthKit은 아직 발표된 내용 외에는 명확하게 알려진 바 없지만, 애플이 추구하고 있는 방향성은 알 수 있다. 애플은 헬스케어 시장에 대한 독립적인 디바이스와 앱, 서비스를 제공하는 문제뿐 아니라 HealthKit을 통해 3rd Party를 끌어들임으로써 좀 더 개방화된 생태계의 구축으로 접근하고 있다.

발표에서 공개한 Health 앱은 'Dashboard', 'Health Data', 'Sources', 'Medical ID'의 메뉴로 구성되어 있다. 해당 메뉴들은 각각 칼로리 소모, 수면 측정, 심장박동수를 비롯하여 다양한 건강 관련 데이터를 한눈에 볼 수 있도록 제공한다. 그뿐만 아니라 건강 데이터 관리를 위한 여러 가지 데이터 입력과 외부 앱 또는 기기를 통한 데이터를 수집하는 기능, 응급상황을 대비한 개인의 생체 정보와 병력 정보 등을 제공한다. Health App은 일종의 레퍼런스 앱이며 외부 사업자나 병원 등이 HealthKit을 활용하면 병원이 환자 관리를 위해 앱을 개발할 때 환자가 사용하는 건강관리 앱이나 각종 건강 모니터링 앱과 서비스의 데이터

를 자사의 앱과 연동하여 환자의 상태를 주치의나 병원으로 전송하여 맞춤 관리를 할 수 있게 만들 수 있다. 의료기관은 환자의 데이터를 수집하기 위한 별도의 노력과 비용을 들이지 않고 Apple의 HealthKit 플랫폼을 이용하기만 하면 쉽게 환자의 건강상태 관리가 가능하며, 응급 시 효과적으로 대처할 수 있어 다양한 의료 서비스를 제공할 수 있게 된다.

새로운 프로그래밍 언어 SWIFT와 모바일 그래픽 라이브러리 Metal

Swift는 iOS 및 OS X 프로그램을 만들 수 있는 새로운 프로그래밍 언어이다. C언어와의 호환성이 제약 없이 보장되며, Object-C를 사용하지 않고 스크립트 언어들의 장점을 채용하여 쉽고 편리하게 사용할 수 있도록 설계되었다. 이는 개발자들이 새로운 언어를 익히기 위해 들이는 시간과 노력을 대폭 축소했으며 iOS 기반의 개발자들을 끌어드리려는 애플 전략의 일환이다. 애플이 공개한 swift의 언어개발문서 (http://swift.leantra.kr/)에는 아래와 같이 Swift를 소개하고 있다.

About Swift

Swift는 C 언어 그리고 Objective-C 언어의 좋은 점들을 취합한 것을 기반으로 C 언어 호환성에 대한 제약 없이 iOS와 OS X 앱을 개발하기 위한 언어입니다. Swift는 안전한 프로그래밍 패턴을 채용했고 프로그래밍을 더 쉽고, 유연하고, 재미있게 만들어주는 최신 특징을 더 했습니다. 성숙하고 많은 사랑을 받고 있는 코코아, 코코아 터치 프레임워크를 기반으로 둔 Swift의 이런 훌륭함은 소프트웨어 개발 방법을 재고해볼 기회를 제공합니다. 알겠습니다.

Swift는 오랜 기간에 걸쳐 만들어져 왔습니다. 애플은 Swift를 위해 현존하는 진보한 컴파일러, 디버거, 프레임워크 기반의 토대를 만들었습니다. 우리는 ARC(Auto Reference Counting)로 메모리 관리를 단순화했습니다. Foundation(Apple Foundation Framework)과 코코아의 견고한 기초를 기반으로 만들어진 우리의 프레임워크 스텍은 최신화와 표준화의 결과물이죠. Objective-C는 블록 방식 코딩, 문자집합, 모듈, 혼란 없는 최신 언어 기술 프레임워크 적용 가능 등을 지원하도록 발전해왔습니다. 이러한 기초작업 덕분에 애플 소프트웨어 개발의 미래를 위한 새로운 언어를 소개할 수 있게 되었습니다.

Swift는 Objective-C 개발자들에게 매우 친숙한 느낌을 줍니다. Swift가 개발자가 읽기 쉽도록 Objective-C의 파라미터 명명법과 동적 객체 모델의 성능을 적용했기 때문입니다. 이를 통해 기존 코코아 프레임워크에 매끄럽게 접근할 수 있고 Objective-C와 혼합해서 사용할 수도 있습니다. 이러한 공통점을 기반으로 두고, Swift는 많은 새로운 특징들을 도입했고 절차지향 프로그래밍과 객체지향 프로그래밍 요소들을 통합했습니다.

Swift는 프로그래밍 입문자에게 친화적입니다. Swift는 스크립트 언어만큼이나 표현하기 쉽고 즐거운데다가 산업품질에 적합한 시스템 프로그래밍 언어입니다. Swift는 프로그래머들이 사소한 테스트 때문에 코드를 빌드하고 실행하는 과정에 시간을 낭비하는 일 없이 즉시 코드를 테스트하고 결과를 볼 수 있도록 하는 혁신적인 요소인 playgrounds를 지원합니다.

Swift는 폭넓은 애플 엔지니어링 문화로부터 나온 지혜와 뜻에 부합하기 위해 최신 언어 중 최고의 것들을 갖추도록 했습니다. 성능과 개발 편의성을 타협할 필요가 없을 만큼 컴파일러는 성능 향상을 목적으로 최적화했고, 언어는 개발 편의성을 고려해 최적화했습니다. Swift는 'hello, world'에서 시작해 전체 운영체제로 확장할 수 있게 디자인되었습니다. 이 모든 것은 결국 애플과 개발자들이 Swift에 투자할 가치가 있다고 생각하게 합니다.

Swift는 iOS와 OS X 앱을 만드는 것은 물론, 계속 새로운 기능을 추가하고 개선하는 위한 환상적인 방법입니다. Swift를 향한 우리의 목표는 야심 찹니다. 우리는 여러분이 Swift로 무언가 만드는 것을 빨리 보고 싶습니다.
(번역 FlashMaestro (masterofflash@nate.com))

swift에 대한 랭귀지 가이드와 랭귀지 레퍼런스는 http://swift.leantra.kr/ 에서 한국어로 된 설명을 보고 경험해 볼 수 있으니 참고하기 바란다.

모바일 그래픽 라이브러리 메탈

Swift와 함께 공개된 메탈을 이용하여 개발하면 드로우콜(draw call) 속도를 '오픈 GL ES'보다 10배 향상시켜 뛰어난 3D 그래픽을 구현할 수 있고, 스프라이트 킷 및 장면 킷 등 다양한 예제를 제공해 캐주얼 게임도 간편하게 제작할 수 있다. 모바일 게임 개발에 사용되는 그래픽 라이브러리는 크로노스 그룹이 개발한 오픈 GL ES이 사실상의 표준이었다. 하지만 애플이 직접 메탈을 공개함에 따라 두 라이브러리 간 경쟁은 불가피한데, 메탈은 애플의 AP에 최적화된 그래픽 라이브러리로서 결국 'iOS 게임 개발은 메탈로, 안드로이드 게임 개발은 오픈GL ES'로 나뉠 것이다.

정리하며

위에 기술한 내용 말고도 이번 iOS8은 정말 많은 변화가 있다. 새로운 API가 4,000여 개라고 하니 내부적으로 얼마나 많은 변화가 있었는지 API 숫자만으로도 짐작할 만하다. 이러한 변화의 주요 방향성은 크게 '공유의 강화'와 '확장과 개방'이라는 키워드로 요약될 수 있다. 기존 하드웨어 및 소프트웨어적인 연결성의 강화와 공유, 웨어러블 디바이스로의 확장과 Health 관련한 개방 등이다. 필자가 애플을 주목하는 이유는 단순히 애플이 제품을 잘 만들기 때문이 아니다. 애플은 시장을 선도하고 있고, 사람들에게 기준을 제시한다. 애플이 새로운 기술을 가장 먼저 내놓지는 않지만, 애플이 내놓은 이후 일반적으로 사용하게 되는 것을 보면 그렇다. 신기술을 가장 먼저 내놓는 것이 중요한게 아니고 잘 쓸 수 있도록 만들어서 내놓는 것, 그게 진정한 시장 선도이다.

Part 1

IEEE 1588 PTPv2: 분산시스템 실시간 동기

IEEE 1588 PTPv2: Distributed Real-Time Synchronization

기안도 박사

(주)다이나릿시스템 연구소장
E-mail : adki@dynalith.com
www.dynalith.com

요약

여러 노드들이 지역적으로 분리되어 있고, 각 노드들이 시계를 갖고 있는 시스템에서 동일한 시간을 유지하기 위한 방법이 필요하다. 데이터 통신 네트워크를 이용하여 분산된 시계들의 시간을 동기화하는 방법이 있으나, 실시간 제어 시스템과 같이 보다 정확하고 정밀한 시간동기가 필요한 경우는 새로운 방법이 필요하다. IEEE Std. 1588 PTPv2는 실시간 응용을 위한 시간동기 표준이다. 첫 회에서는 데이터 통신 네트워크를 통한 시간 동기의 일반적인 것을 살펴 보고, 두 번째 회에서는 PTPv2에 대해 상세하게 살펴본다.

1. 개요

분산시스템(distributed system)은 통신채널 즉 네트워크로 연결된 기능블록들로 구성되며, 각 기능블록은 통신채널을 통해 정보를 주고 받는다. 이러한 분산시스템에서 시간적으로 연관된 일을 하기 위해서는 시간동기(time synchronization)가 필수적이다. 예로써, 사무실에서 사용하는 개인용 컴퓨터가 시간을 표시하기 위해 어딘가 기준 시간을 제공하는 곳과 시간을 맞추어야 할 것이다. 이러한 시간은 응용분야에 따라 필요한 정확도와 정밀도가 다르다. 예로써, 일상 생활에서 시간을 확인하는 용도로는 하루에 수초 정도 오차는 큰 문제가 되지 않지만, GPS를 통한 위치/시간 확인 등에는 마이크로초(10-6sec) 또는 나노초(10-9sec) 단위의 정확도가 필요하다.

표1
시간 정확도와 적용분야

정확도	적용분야
seconds/day[3] (〈10^{-5})	시계, 컴퓨터
milliseconds/day (〈10^{-8})	실험실 장비, 네트워크 통신
microseconds/day (〈10^{-11})	금융, 정밀 과학/공학, 항법
nanoseconds/day (〈10^{-13})	GNSS (GPS, Galileo, Glonass, Compass, ...), 시간기준, 고정밀 물리

참고
REFRENCE

❶ Ando Ki, Ph.D.: adki@dynalith.com
❷ 클럭동기화(clock synchronization)는 디지털 시스템에서 서로 다른 주파수 또는 위상을 갖는 클럭을 사용하는 두 도메인을 연동하기 위한 기법을 의미한다.
❸ 1/86400 ~ 1.16x10-5

Dynalith Systems
Copyright © 2014 Ando Ki

지리적으로 분산되어 있는 기능블록(노드)이 동일한 시간 정보를 갖기 위한 방법으로 시간방송(radio clock) 수신기나 GNSS(Global Navigation Satellite System) 수신기를 모든 기능블록에 구현하여 절대 시간을 맞추거나, 또는 전용 시간동기 통신 채널을 구성하여 시간 정보를 공급할 수 있다. 그러나 이러한 방법은 시간의 정확도가 낮거나, 구현 측면에서 비용이 많이 들거나, 확장성에 제한을 받게 된다. 따라서 시간동기에 필요한 일을 기존의 통신 채널을 통해 수행하는 것이 현실적인 방법이 될 수 있다. 이때 시간동기를 위해 사용하는 네트워크 사용량이 기존의 정보전송용 통신에 영향을 미치지 않을 정도이어야 할 것이다. 대표적인 시간동기 기법을 표 2에 정리하였다.

표2
시간동기 기법들

	NTP/SNTP (Simple Network Time Protocol)	GPS (Global Positioning System)	PTP (Precision Time Protocol)
응용분야	일반시간동기	정밀시간동기	정밀시간동기
지리적응용범위	광대역네트워크(WAN)	광대역네트워크	지역네트워크(LAN)
지원범위	up to 1000 ' s nodes	not limited	up to 100 ' s nodes
통신방식	UDP/IP	Satellite (Radio Frequency)	Native Ethernet UDP/IP
정확도 (accuracy)	〈1ms within LAN 〈10ms within WAN	〈usec	〈usec
정밀도 (precision)	10' s microsec	10' s nanosec	100' s nanosec
HW 필요성	SW only	GSP receiver	PTP HW

통신망에서 사용하는 대표적인 시간동기 기법으로 NTP(Network Time Protocol)/SNTP(Simple NTP)가 있고, 이들은 LAN(Local Area Network) 또는 Internet에서 사용되고 있다. 그러나 LAN과 Internet에 주로 사용하는 Ethernet 기술은 통신에 소요되는 시간이 결정적이지 않기 때문에 근본적으로 시간동기에 한계가 있다. 따라서 매우 정밀한 시간동기가 필요한 환경에서는 새로운 기법이 필요하며, 이러한 목적으로 개발된 표준이 PTP(Precision Time Protocol)이다.

NTP는 시간을 동기하고 싶은 블록(NTP client)이 여러 NTP서버(NTP server)들에게 시간정보를 요청하고, 수집된 시간정보를 처리하여 기간을 동기시킨다. PTP는 정확한 시간을 갖는 클럭(grand-master clock)이 모든 슬레이브로 시간정보를 전송(broadcasting)하여 동기시킨다.

본 고에서는 패킷 통신 망으로 연결된 분산 시스템에서 마이크로초(microsecond) 단위의 정확도(accuracy)와 수백나노초(100' s nanosecond) 단위의 정밀도(precision)를 갖는 PTPv2(Precision Time Protocol Version 2, IEEE 1588 standard)에 대해 살펴본다.

2. 시간분류와 클럭

시간(time)이란 어떤 현상들의 순서를 정하는 기준을 추상화한 개념이고, 시간분류(timescale)란 특정기준을 기점으로 단순하게 증가하는 시간이라 할 수 있다. 따라서 시계(clock)란 시간분류를 위한 도구이고, 날짜(date)란 진행되는 시간분류의 특정 값에 또 다른 의미를 부여한 기호라고 할 수 있다. 시간분류에는 시간을 사용할 응용에 따라 UT, UTC, TAI 등이 있다.

❹ 각 나라마다 수 Khz에서 수 Mhz 범위의 방송주파수로 일정시간 간격으로 시간정보를 방송하고 있다.
❺ GNSS는 위성 측위 시스템(GPS/미국, GLONASS/러시아, Galileo/유럽, COMPASS/중국, IRNSS/인도, QZSS/일본)을 포괄하는 범지구위성항법시스템
❻ 1.575Ghz

표3
기준시간:
Time Scale
and Epoch

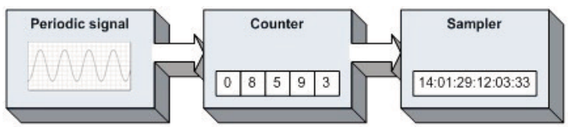
Time scale	Epoch	Remarks
MJD (Modified Julian Day number)	1858년 11월 17일 00시00분 GMT	날짜 수를 계산
NTP/SNTP	1900년1월1일 00시00분 00초 UTC	MJD 15,020
Unix operating system	1970년1월1일 00시00분 11초 UTC	MJD 40,587
PTP	1970년1월1일 00시00분 11초 UTC	MJD 40,587
GPS	1980년1월6일 00시00분 00초 UTC	MJD 44,244

일상에서 사용하는 모든 활동은 천문현상에 맞춘 시간과 관련이 있다. 즉 해가 뜨고 지는 것을 기준으로 하루, 달이 차고 지는 것을 기준으로 한달, 지구가 태양을 한번 공전하는 것을 기준으로 일년을 정한다. 그러나 이런 시간 개념은 지구라는 큰 공간에서 각 위치에 따라 모호하기 때문에 시간을 정하는 기준이 필요하며, 대표적인 것이 UT(Universal Time, 평균태양시)이고, UT는 지구가 태양을 한 바퀴 공전하는 것을 기준으로 한다. UT와 밀접한 관련이 있는 것이 GMT(Greenwich Mean Time)이며, 1986년 GMT가 UTC (Coordinated Universal Time, 세계협정시)로 교체되었고, 원자시계에 기초한 초 표준을 적용한 TAI(International Atomic Time, 국제원자시)가 UTC에 채용되었다.

시간의 기본 단위인 초(second)는 지구의 자전 을 86,400으로 나눈 시간 인데, 이는 천문 현상이 일정하지 않고 영속성이 없어 큰 오차 가 있어, 1967년 세계도량형총회(CGPM: General Conference on Weights and Measures)에서 세슘-133의 9,192,631,770 주기를 1초로 정의하고 , 이를 SI(International Second)라 명명하였다.

시간은 일정주기를 갖는 현상을 이용하여 정하게 되며, 대표적인 것으로 진자(pendulum) 또는 수정발진자(crystal oscillator, X-tal)가 있다. 전자장치에서는 수정발진자를 사용하고, 아래 그림과 같이 발진된 횟수를 누적하여 더함으로써 시간을 계산하는 것이 기본적인 방법이다. 이때 더해서 얻은 값을 어떻게 해석하느냐는 기준시간(epoch)을 정함으로써 가능하다. 즉, 카운터의 값이 0인 시점을 정하고, 이것을 기준으로 현재의 카운터 값을 해석하여 현재 시간을 확인한다. 기준시간은 표 3에서와 같이 시간분류(time scale)에 따라 다르다.

그림1
시계의 개념적 블록도



예로써 개인용 Windows 컴퓨터의 명령어 입력 창에서 'DATE /T'를 입력하면 현재의 년월일이 출력되고, 'TIME /T'를 입력하면 시분초가 출력된다. Unix/Linux 컴퓨터에서는 'date'를 사용하면 년월일과 시분초를 출력한다. 이는 컴퓨터 내부에 그림 1과 같이 X-tal과 카운터 그리고 카운터 값을 누적한 값을 저장하는 레지스터 가 있으며, 레지스트의 값은 1970년1월1일을 기점으로 계속 증가하는 값을 갖고 있다.

시간이란 공통의 기준이기 때문에 지리적으로 떨어져있어도 동일한 값과 의미를 가져야 하지만, 다음과 같은 원인으로 차이가 발생한다.

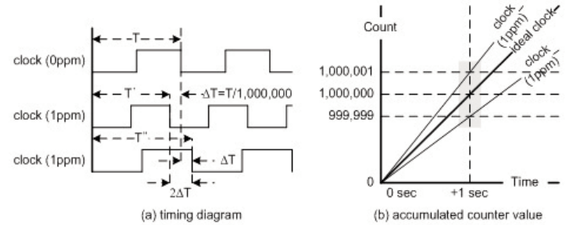
❼ Accuracy is how close a measured value is to the actual (true) value.
❽ Precision is how close the measured values are to each other.
❾ 하루=24x60x60 (24시간/하루, 60분/시간, 60초/분)
❿ 1958년 태양년(tropical year)를 31,556,925.9787로 나눈 것을 1초로 정하였다.

Dynalith Systems
Copyright © 2014 Ando Ki

- 수정발진자는 기계적인 진동을 전기신호로 바꾼 것이기 때문에 환경적인 영향을 받아 주기 (또는 주파수)가 변한다. 대표적인 원인으로 온도, 기압, 가속 등이 있다.
- 수정발진자는 완벽하게 일정한 주기를 갖지 않기 때문에 자체적으로 지터(jitter)현상을 갖는다.
- 수정발진자들은 완벽하게 동일할 수 없기 때문에 주기와 위상이 달라 스큐(skew)를 갖는다.

이러한 결함을 수치화한 것 중 대표적인 것이 ppm(part per million)이며, 1ppm은 +/-10-6 즉 +/-10-4%를 의미하고, 이는 일백만 주기에 대해 1개 주기의 오류(1개가 많거나 1개가 적거나)가 발생할 수 있다는 의미가 된다. 일례로 1Mhz 주파수를 갖는 두 개 수정발진자를 생각해 보자. 이들 중 하나는 이상적인(0ppm) 수정발진자이고, 다른 하나는 1ppm의 오류를 갖는다고 가정하면, 그림 2(a)와 같이 1ppm X-tal은 각 주기마다 +/-10-6 초만큼의 오차가 있을 수 있다. 이런 오차가 누적되면 그림 2(b)와 같이 1초 후 1개 주기가 많거나 적게 될 수 있다.

그림2
1ppm crystal oscillator



수정발진자의 정확도를 높이기 위해 수정 박편을 잘 만들고, 사용환경에서 온도 변화를 최소화하는 등의 방법을 사용한다. 더욱 정확한 시간이 필요한 경우 원자시계(atomic clock)을 사용하게 된다. 표 4에 발진자의 성능에 따른 구분을 정리하였다.

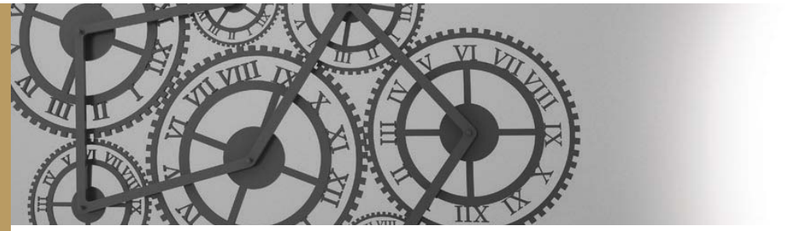
표4
Oscillator의 정확도 구분

Oscillator	Accuracy	Error
Typical crystal oscillator	100ppm (0.01%)	8.64 sec/day
Watch crystal oscillator	20ppm (0.002%)	1.77 sec/day
XO (selected-cut X-tal)	1ppm (0.0001%)	86.4 msec/day
TCXO (temperature compensated X-tal)	0.1ppm	8.64 msec/day
MCXO (microprocessor compensated X-tal)	0.01ppm	8.64 usec/day
OCXO (oven controlled X-tal)	0.001ppm	84.6 usec/day
Rubidum atomic	0.000001ppm	86.4 nsec/day
Cesium atomic	0.0000001ppm	8.64 nsec/day
Hydrogen atomic	0.00000001ppm	0.864 nsec/day

3. 시간동기

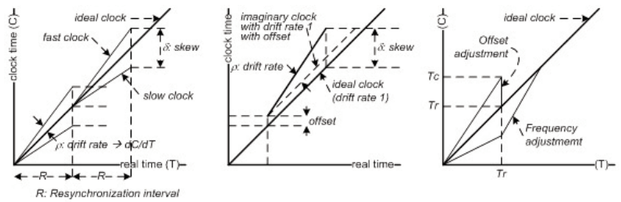
이론적으로 어떤 발진기도 불변의 특성을 가질 수 없고, 다른 발진기들과 동일 할 수 없으므로, 어떤 형태든 상호 보정하는 과정을 통해 동기시킬 필요가 있다. 동기의 기본 동작은 그림 3과 같이 기준시간(ideal clock)에 맞추는 것이고, 일정 주기 간격으로 보정을 한다. 이상적인 클럭인 기준시간은 현실적으로 존재하지 않지만, 여러 GPS를 통해 수신되는 정보를 기준으로 하는 것이 일반적이다. 그림

⓫ ~2 millisecond per day
⓬ The second is the duration of 9 192 631 770 periods of the radiation corresponding to the transition between the two hyperfine levels of the ground state of the Caesium 133 atom. (13th CGPM 1967); 133Cs 9,192,631,770 Hz.



3에서 스큐(skew)란 클럭들 사이의 차이를 의미하고, 드리프트(drift)는 클럭이 정확한 주파수를 갖지 않아 시간을 정확하게 계산하지 못하는 것을 의미하며, 드리프트율(drift rate)은 그림 3에서 기울기에 해당한다. 따라서 이상적인 클럭은 드리프트율이 1이 되고, 상대적으로 빠른 클럭은 1보다 크고, 상대적으로 느린 클럭은 1보다 작게 된다.

그림3
시간동기의 개념도



보정의 대상은 크게 두 가지이다. 즉, 카운터 값이 달라진 경우, 이를 바로 잡는 것과 카운터의 값을 변경하는 주기(period)를 바꾸는 것이다. 전자는 오프셋을 수정하는 것이고, 후자는 주파수를 보정하는 것에 해당한다.

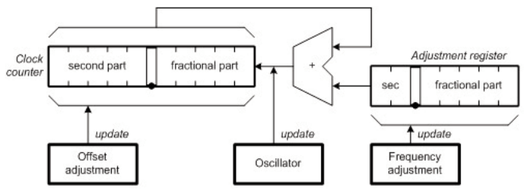
- **오프셋(offset)** 기준시간과 같은 값이 되도록 카운트 값을 새로 설정
- **주파수(frequency)** 오차가 생긴 정도(drift rate)을 감안하여 카운터를 변경하는 주기 값을 수정

그림 3의 오른쪽 그림에서 보인 바와 같이, 오프셋을 단 번에 수정하게 되면 시간이 역전되는 구간이 생기고, 이런 현상이 시스템에 문제가 될 수 있는 경우, 주파수 보정을 통해 일정 시간 후 이상적인 시간과 동일하게 되도록 하는 것이 필요하다.

그림 4에 카운터를 이용한 예를 보였다. 시간카운터(clock counter)는 초 단위에 해당하는 값과 초의 소숫점 이하 값을 갖는 부분으로 구성되며, 발진기의 매 주기마다 일정 값을 더하여 변경한다. 이때 더하는 값을 조정함으로써 발진기의 주기를 보정한 값으로 카운터를 변경하게 되는 것이다. 예로써, 1Mhz 발진기를 사용한다면 보정레지스터(adjustment register)의 값이 기본적으로 10-6이어야 하지만, 해당 발진기가 이상적인 발진기에 비해 빠르다면 보정 값을 10-6보다 작은 값으로 하고, 그 반대이면 10-6보다 큰 값으로 한다 . 카운터와 고정 주파수 발진기 대신 전압조정발진기(VCO, Voltage Controlled Oscillator)를 이용하여 구현할 수도 있고, 이 경우 필요에 따라 발진기의 주파수 결정 전압을 조정하여 필요한 주파수로 보정한다.

네트워크로 연결된 여러 기능블록이 상호 시간을 동기시키는 방법에는 크게 두 가지가 제안되어 있다.

그림4
클럭 보정의 개념도



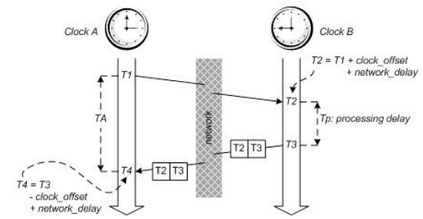
⓭ NTP 표준에 따라 32-비트 폭으로 초를 표현하므로, 2036년2월8일까지가 최대 표현 가능 시간이 된다.
⓮ 1ppm은 1초에 +/-1milisecond 오차를 의미한다.
⓯ 빨라진 클럭을 과거 시간으로 수정하게 되면, 일정 시간 동안 시간이 역행한 것으로 보이게 된다: Tc ➡ Tr로 수정하게 되면, Tc>Tr의 관계로 인해 시간이 역행한 것으로 됨.

Dynalith Systems
Copyright © 2014 Ando Ki

- 기준시간을 갖는 시간서버가 있는 경우: Cristian Algorithm
- 시간서버가 없이 상호 시간을 맞추는 경우: Berkeley Algorithm

여기서는 절대시간을 맞추는 것이 필요하므로, Cristian 알고리즘을 설명한다. 시간동기를 해야 할 두 기능블록이 각각 Clock A와 Clock B를 관리하는 경우를 가정하고, Clock A를 Clock B(기준시간)에 맞추기 위해 상호 연동하는 프로토콜을 그림 5에 정리하였고, 이 방법은 패킷의 왕복시간에 기초하기 때문에 RTT(Round-Trip Time) 기반 동기화라고한다. Clock A 관점에서 T1에 동기 요청 패킷을 Clock B로 전송하고, Clock A 관점에서 T4되는 시점에 응답 패킷을 받는다. Clock B는 동기 요청 패킷을 받은 시점 T2와 응답 패킷을 회신하는 시점 T3을 패킷에 담아 Clock A로 보낸다. 이때 T2와 T3는 Clock B관점의 시간이다.

그림5
시간동기 프로토콜
(Clock A가 Clock B 시간에 맞추는 경우)



T4와 T1의 시간차는 네트워크를 통해 전송되는 패킷의 왕복에 소요되는 전송지연과 Clock B에서 처리하는데 소요된 시간 Tp가 되고, Clock A와 Clock B의 시간차를 Toffset 이라 하고, 단 방향으로 패킷이 전송되는데 소요되는 시간을 Tdelay 라 하고, 패킷의 송신과 수신에 소요되는 전송지연이 동일하다고 가정한다면,

- TA = T4 - T1 = (round-trip delay) + Tp = 2 x Tdelay + (T3 - T2)
- T2 = T1 + Toffset + Tdelay
- T4 = T3 - Toffset + Tdelay

- Toffset = [(T2 - T1) + (T3 - T4)] / 2
- Tdelay = [(T4 - T1) - (T3 - T2)] / 2

따라서 Clock A에 Toffset 만큼 더하여 기간을 보정하고, Toffset과 Tdelay를 처리하는 알고리즘으로 클럭 주파수를 보정한다.

RTT 기반 동기화는 패킷의 송신과 수신에 소요되는 전송지연이 동일하다고 가정하고, 송수신 시간이 같지 않은 비대칭의 경우 오차가 생기게 되며, 그림 5에서 시간동기의 오차에 가장 크게 작용하는 것이 시간동기에 사용하는 패킷의 송신과 수신에 적용하는 시간측정이다. 예로써, 운영체제의 제어를 받아 동작하는 통신프로토콜스택은 수 msec 이상의 지연과 비대칭성이 있고, MAC(Media Access Controller)와 PHY에서 수~수백 nsec 이상의 지연과 비대칭성이 있다. 따라서 패킷을 생성할 때 확보한 시간정보(T1, T2, T3, T4)가 매우 큰 범위로 오차를 갖게 되고, 이 것이 전송시간을 정확하게 측정할 수 없도록 한다. 이런 이유로 실시간 응용에는 보다 정밀한 방법이 필요하게 된다.

관련 웹 사이트

http://www.nist.gov/el/isd/ieee/ieee1588.cfm: National Institute of Standard and Technology
http://www.ines.zhaw.ch/en: Institute of Embedded Systems
http://www.ietf.org: Internet Engineering Task Force
http://www.ntp.org: Network Time Foundation
http://www.eecis.udel.edu/~mills: David L. Mills

⓰ 예로써, 125Mz 클럭의 경우, 매 클럭마다 8nsec를 더해야 하지만, 클럭의 상대적 속도에 따라 7 또는 9 nsec를 더하도록 카운터를 구현한다.
⓱ Clock A가 Clock B보다 Toffset 만큼 늦다고 가정한다.
⓲ Tdelay = (T4 - T1 - Tp) / 2; 단, Tp를 알 수 있고, 패킷의 송신과 수신에 소요되는 지연시간이 동일하다고 가정

목표의식을 갖고 연구자의 길을 걷다

네트워크 기반의 클라우드 컴퓨팅이 새로운 컴퓨팅 패러다임으로 주목 받고 있는 지금 이런 환경에서 각 단말은 Thin Client 형태로 변모하고 있다. 이런 형태의 단말에서 가장 중요한 기능 중의 하나인 클라우드 인프라와 각 단말 사이의 Connectivity 기술이다. Connectivity와 관련된 신호처리 알고리즘과 이를 효율적으로 구현하기 위한 시스템 기술을 연구하고 있는 한국항공대학교 항공전자 및 정보통신공학부에 재직 중인 김태환 교수를 만나 그간의 연구 인생에 대해 들어보았다.

문의 한국항공대학교 항공전자 및 정보통신공학부 회로및시스템연구실
전화 02-300-0140 E-mail taehwan.kim@kau.ac.kr
Homepage http://cas.kau.ac.kr

"클라우드 컴퓨팅을 위한 시스템 기술"

차세대 통신 시스템에서는 에너지 효율성을 극대화하고 하드웨어 복잡도를 줄이기 위해서 송신기의 RF Chain 수를 줄이면서도 스펙트럼 효율을 유지하기 위한 다양한 신호처리 기술이 도입될 것으로 기대된다. 김태환 교수는 이러한 신호처리 기술들과 이를 효과적으로 구현하기 위한 하드웨어 구조에 대해 연구하고 있다. 그리고 스마트 카메라 시스템을 위한 실시간 광학 왜곡 보정 및 안개 제거 기술과 이를 효과적으로 구현하기 위한 하드웨어 구조에 대한 연구도 진행 중이다.

"공학자로서의 정체성을 정립할 수 있었던 소중한 대학원 시절"

KAIST 전자공학과에서 박사학위를 받고 2011년도에 한국항공대학교 항공전자 및 정보통신공학부에 임용된 김태환 교수는 어릴 때부터 프로그래밍에 대한 로망이 있었다고 한다. "중 · 고등학교 시절에는 수학을 좋아했습니다. 그래서 컴퓨터 공학이나 전산 분야를 배우고자 관련 전공이 있는 학부로 입학을 했어요. 하지만 신호처리 및 회로, 시스템 관련 설계 과목 수업을 흥미롭게 듣고 전자공학이 적성에 맞는 거 같았죠." 김태환 교수는 석.박사 과정 중에는 MIMO-OFDM 기반 통신 시스템의 기저대역 신호처리 및 이에 대한 효율적인 구현 등 〈디지털시스템 설계〉와 관련한 다양한 연구를 수행했다. 또한, 〈범용 임베디드 프로세서 설계〉, 〈음향 합성 프로세서 설계〉, 〈RF-ID 모뎀 설계〉 등의 연구과제와 졸업 후 삼성전자 DMC 연구소에서 〈Connectivity SoC 설계〉도 수행했다. 그는 교수님의 지도를 대학원 시절 중 가장 기억에 남는 거로 꼽았다. "지금 생각해보면 연구에 집중할 수밖에 없었던 그런 시간이 공학자로서의 정체성을 정립할 수 있었던 소중한 시간이었다고 생각됩니다. 그런 기회를 주셨던 지도교수님께 너무나 감사한 마음을 갖고 있습니다."

"하드웨어와 소프트웨어가 통합된 연구"

김태환 교수는 범용 프로세서의 성능 향상 및 GPGPU 등과 같은 새로운 컴퓨팅 플랫폼의 출현에 따라 전용화된 하드웨어 가속기를 통해 구현했던 기존의 다양한 응용 들이 차츰 소프트웨어 구현으로 대체될 것으로 예상했다. 그리고 단말의 에너지 효율성을 극대화와 단가절감을 위해 단말의 형태가 클라우드 인프라의 Thin Client로 축소할 것으로 보고 있다. "이런 상황에서 전용화된 하드웨어 가속기를 통한 하드웨어 구현이 필요한 응용 분야는 더욱 한정될 것입니다. 이런 상황에서 기존의 시스템 반도체 설계자들에게 하드웨어 및 소프트웨어가 통합된, 시스템 관점에서의 통찰력과 새로운 설계 기술의 습득이 더욱 중요해질 것이라 봅니다."

"목표의식을 갖고 연구자의 길을 걷다"

연구 진행의 어려움이 없었느냐는 질문에 김태환 교수는 지식의 부족함에 관해서 이야기를 했다. "제가 연구하는 분야는 복잡한 알고리즘을 효율적인 시스템으로 구현하는 것입니다. 이를 위해서는 해당 알고리즘에 대한 지식에서부터, 하드웨어 구조 및 구현 기술, 검증 등의 다양한 수준의 매우 폭넓은 지식이 요구되죠." 라며 언제나 공부하고 배우는 자세로 임하고자 노력을 하고 있다고 덧붙였다. 김태환 교수는 연구자에게 '목표의식'이 필요하다고 강조했다. "저는 항상 목표의식을 분명히 하고자 합니다. 그리고 부족함을 가정하고 더 많은 노력을 통해서만 남들만큼 할 수 있다는 겸손한 생각을 가지려 합니다." 동종 분야의 많은 동료, 선후배 연구자들 모두가 각자의 연구에 매진하여 좋은 성과를 이루어 냈으면 좋겠다는 따뜻한 당부를 잊지 않던 그의 목소리에서 신진연구자로서 앞으로의 연구 활동에 대한 희망이 느껴진다.

김 태 환 교수
한국항공대
항공전자 및 정보통신공학부

반도체설계교육센터
IC DESIGN EDUCATION CENTER

IDEC newsletter

VOL. 206
AUGUST 2014

IDEC Newsletter | 통권 제206호
⊙ **발행일** 2014년 7월 31일 ⊙ **발행인** 박인철 ⊙ **편집인** 남병규 ⊙ **제 작** 푸울디자인
⊙ **기 획** 전항기 ⊙ **전 화** 042) 350-8535 ⊙ **팩 스** 042) 350-8540 ⊙ **홈페이지** http://idec.or.kr
⊙ **E-mail** jhg0929@idec.or.kr ⊙ **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

또 다른 혁신 웨어러블 디바이스와 시스템반도체 산업의 출구

최근 미국 CNN은 2014년 가장 혁신적인 기업에 대한 기사를 실었다. 최근 3년간 가장 혁신적인 기업으로 선정된 기업은 애플이었다. 애플은 2007년 아이폰을 발표한 이후 IT 기술의 혁신 아이콘으로 성장했다. 사실 1997년 스티브 잡스가 애플에 복귀한 후 주창한 "Think Different"에 대한 진정한 결과를 10년 후에 보여준 것이라 여겨진다. 아이폰 이후 IT 산업은 일대 소용돌이에 휘말려 들었다고 할 수 있다. 매년 혁신에 대한 대답을 요청받고, 어떤 준비를 했는지 평가를 받아야 했다. 새로운 기회와 위기를 맞아 다수의 글로벌 기업이 쇠퇴하고 신흥 강자들이 등장하며 성장을 주도해 갔다. 기술의 패러다임도 급속한 변화를 맞이했다. SW에 대한 새로운 조명은 여타 하드웨어 산업을 위축시킬 정도로 강했다. 적어도 한국에 불어닥친 SW 키워드는 국가 정책에 상당한 영향을 끼쳤다. UI/UX 기술의 중요성이 강조되고, 인문학의 중요성, 감성의 중요성 등 새로운 관점의 기술개발 이슈들이 등장했다. IT 융합이라는 시대적 흐름을 최전선에서 리드하며, 다양한 시스템 및 부품 산업에 큰 영향을 끼쳤다. 융합이란 관점에서 스마트폰은 IT 산업 내에서, 또는 타 산업군에 큰 변화를 가져왔으며, 소비자의 행동 패턴을 변화시키는 역할을 했다. 이러한 융합의 흐름이 많은 부품산업 및 제품의 흥망성쇠를 좌우하고 있기도 하다. MP3 플레이어, 내비게이션, 디지털카메라, 휴대용 녹음기 등 많은 디지털 기기의 위축에 영향을 주어 왔다.

이러한 변화 속에 SoC 산업 역시 많은 변화를 겪어왔다. 가장 두드러지게 나타난 변화는 ARM의 시장 지배력이다. ARM의 모바일 시장에서 점유율은 95%에 이를 정도로 절대적이며, 이는 인텔의 기술력과 자본력으로도 따라오지 못하고 있다. 또 하나의 변화는 AP(어플리케이션 프로세서)의 시장 지배력이다. 2007년 아이폰에 사용된 AP는 동작속도는 600MHz 수준이었으나, 2010년 애플의 A4나 삼성의 AP 역시 1GHz 성능을 구현하였고, 이후 다시 3년 만에 2GHz에 이르고 있다. 코아도 싱글코아에서 Octa 코아로, 애플의 A7에서는 64Bit 시대를 넘어서고 있다. 메모리 시장 역시 꾸준한 성장을 유지하여 반도체 전체 시장을 선도하는 축이 되어 왔다. 이러한 이면에는 파운드리 기술의 발전을 무시할 수 없다. 이러한 변화 속에서 한국은 큰 틀에서 많은 성장을 이루어 냈고 반도체 세계 시장점유율에서 2위를 달성했다. 약점으로 지적되던 시스템반도체 시장도 2010년 초 2%대 점유율에서 5%대 점유율로 성장했다. 물론 삼성전자의 역할이 컸지만, 반대로 중소 팹리스 기업들의 상황은 매우 어려워졌다. 때문에 시장의 변화가 기다려지는 까닭이기도 하다

2014년에 선정된 가장 혁신적인 기업으로는 애플이 아닌 구글이선정되었다. 구글이 '구글글래스', '자율주행 자동차' 등 혁신적인 이슈를 제기해온 반면 애플은 시대적 이슈를 내놓지 못한 것이 원인이었다. 구글글래스는 그 자체의 파괴력보다도 그것이 상징하는 시대적 의미가 중요하다. 바로 웨어러블 디바이스의 전면적인 등장이다. 2014년 CES Show는 웨어러블 디바이스의 가능성을 보여주는 계기가 되기도 했다. 웨어러블 디바이스는 스마트폰의 뒤를 잇는 혁신의 아이콘이 될 수 있을까? 아니면 단순한 스마트폰의 앱세서리로 머물 것인가. 그 해답 역시 혁신의 여부에 달려 있다. 우리는 스마트폰 초기 혁신이 없는 스마트하지 않은 스마트폰을 접한 기억이 있다. 그러한 스마트폰이었다면 새로운 시장을 열지 못했을 것이다. 웨어러블 디바이스 역시 기술의 혁신 여부가 새로운 시장의 개화를 가능하게 할 수 있다. 그 기술의 중심에 반도체 기술이 있음은 당연하다. 웨어러블 디바이스는 스마트폰과는 여러 가지 측면에서 차이점을 보이고 있다. 스마트폰이 IT 혁신의 한세대를 이루었다면, 구글글래스로 형상화된 웨어러블 디바이스도 IT 혁신의 한세대를 이룰 수 있을 것인지 주목되고 있다. 이러한 IT 혁신은 관련된 부품에 지대한 영향을 주며, 반도체 산업에도 많은 변화를 가져올 것이다. 이러한 변화가 한국에 유리할 것인지, 중소기업에도 유리할 것인지가 중요한 부분이라고 여겨진다. 예측되는 변화를 몇 가지로 제시할 수 있다

첫째로 컨버전스와 다이버전스의 차이다. 스마트폰은 스마트폰을 중심으로 다른 기기의 기능을 모아 집적화하는데 주력했다. 그에 맞게 AP 및 SW, 디스플레이, 배터리 등은 고성능으로 발전하는데 주력했다. 그러나 웨어러블 기기는 기본적으로 집적화에 주력하지 않는다. 자체의 기능에 충실하면서, 인간중심의 접목을 시도한다. 웨어러블 기기가 스마트폰의 기능을 뺏어오지도 않겠지만, 스마트폰에 기능을 몰아주지도 않을 것이다. 이러한 기기의 분산은 반도체를 포함한 각종 부품 산업의 발전 방향을 새롭게 제시할 것이다. 반도체 측면에서는 현재의 AP와 같이 고성능의 프로세서가 모든 것을 집적시키는 추세와 달리 다이버전스의 추세에 맞는 성능의 최적화가 요구될 것이다. 프로세서 입장에서 응용별 레이어에 따라 그 성능의 차이와 가격 요구될 것이다.

둘째 기술과 패션의 차이점을 보인다. 기능 및 성능 위주의 스마트폰은 기술이 주인공이었다면 웨어러블로 대변되는 차세대 컴퓨팅은 인간의 삶에 보다 친화적으로 흡수되는 패션의 키워드가 가미된다. 스마트폰의 중심 반도체인 AP는 매년 혁신적인 성능의 향상을 보여주기 위해 대규모의 연구개발비가 투자되어야 했다. 그러나 패션을 가미한 컴퓨팅에 드는 부품은 더욱 "invisible" 에 가까운 물리적 특성에 최고의 성능이 아닌 "적합한 성능"을 지향하게 될 것이다. 시스템반도체 역시 성능 위주가 아닌 패션 융합형의 적합성을 띠기 위해 최고가 아닌 최적 솔루션의 구현이 주목되고 있다. 때문에 아이디어, 창의성이 기대되고 있다.

셋째로 대기업형과 중소기업형에 대한 모델의 구분이 추구된다. 대기업형은 대규모 시장이 요구된다. 2013년 스마트폰 시장규모는 총 9억 9천만 대이다. 이중 삼성전자의 점유율은 32.3%인 3억 2천만 대 수준이다. 이러한 삼성전자 IM 부분의 매출은 138조 규모이다. 그보다 적은 LG전자의 MC 부분 매출도 12조 9천억 원 규모이다. 이제 대기업형 시장의 규모는 소품종의 단일 시장 규모가 어느 정도 이상은 되어야 함을 의미한다. 그러나 다이버전스 환경에서의 시장은 소품종으로 대규모 시장을 형성하는 것 이외에 다품종으로 개성 및 응용성을 중요시하는 소규모 시장의 다양한 생태계가 가능함을 보여주고 있다. 하지만 중소기업의 비즈니스에 적합하다고 생각되는 이러한 다양성 및 소 시장에서 시스템반도체가 살아가는 방법도 그리 원활하지는 않다. 최종 제품은 중소기업에 적합할지라도 시스템반도체는 여전히 대기업의 그늘에 있을 수 있다. 핵심부품인 시스템반도체 역시 중소 팹리스 기업에 기회가 주어질 수 있는 방안이 필요하다

넷째, 프로세서와 커넥티드 IP 솔루션의 변화이다. 최근 정부에서 프로세서의 국산화 및 활성화에 대한 지원을 모색하고 있다, 사실 프로세서의 국산화 필요성이나 가능성의 논란은 오래된 얘기다. 그동안 IT 기반이 서버, PC에서 모바일로 혁신이 진행되는 동안 국내 프로세서 기술은 그 속도를 따라잡지 못했다. 국내 팹리스 기업들의 SoC 개발에 프로세서 IP가 발목을 잡으면서, 프로세서에 대한 국내 기반의 필요성을 다시 인식하는 계기가 되고 있다. 더불어 새로운 IT 혁신의 모델인 웨어러블 디바이스는 프로세서의 인식을 전환하는 새로운 계기가 될 것으로 보인다. 인텔의 기득권이 사라진 시장이 모바일 시장이었다면, ARM의 기득권이 약해지는 시장이 형성되고 있다. 국내 프로세서 기술도 기회를 잡아야 한다. 한편으로 그동안 국내 팹리스 기업들은 WiFi, 블루투스, Zigbee 등 IP 기술을 개발해 왔으나, 글로벌 기업들과의 경쟁이 쉽지 않아 꽃을 피우기가 어려웠다. 그러나 이러한 커넥티드 솔루션들도 새로운 기회를 맞고 있다.

이렇듯 웨어러블 디바이스 등 포스트 스마트폰 시대를 맞으며 시스템반도체 산업의 바람직한 방향은 무엇일까? 포스트 스마트폰 시대의 문턱에서 시스템반도체의 새로운 패러다임에 어떻게 적응하느냐는 매우 중요한 요소로 여겨진다. 잠시 20년 전 과거로 돌아가 보면, 당시의 반도체 산업의 비즈니스를 대변하는 말은 "주문형 반도체(ASIC)" 였다. 누구나 본인의 응용분야에 맞는 반도체를 설계, 제작할 수 있는 시스템이었다. 게이트어레이, 스탠다드셀 등이 당시를 대변하던 기술이었으며, 개발기간도 짧고, 비용도 상대적으로 저렴하여 중소기업이 이용하기에 적합한 시스템이었다. 이러한 반도체는 중소기업의 기술을 상징했으며, 시장에서 제품을 보호해주는 역할로 작용하기도 했다. 즉, 내 고유의 반도체를 갖기를 원할 수 있었고 그야말로 주문형 반도체였다. 당시를 좀 더 회상하면, 이러한 산업하에서는 매 우 다양한 반도체가 중소기업의 주문으로 설계 제작되었으며, 국내의 경우 초창기 팹리스 기업들의 창업 동기이기도 했다. 물론 지금에 비해 집적도는 매우 낮은 수준이라 할 수 있으나, 아이디어의 구현, 사업화라는 왕성한 생태계가 있었다. 노래방기기, 장난감, 산업용 제어기기, 프린터, 단순한 음원기기 등 반도체의 대상은 매우 다양했다. 이러한 주문형 반도체 시대가 그리운 것은 그 다양성과 생기 때문이다. 반도체가 시장에 도전할 수 있는 방법을 제공해 주었다. 20년이 지난 지금 반도체 공정기술이 발달하고, 설계기술이 진일보하며, IP의 활용으로 그 집적도가 기하학적으로 증가했으나, 개발비의 증가는 오히려 기업활동을 위축시키고, 자본 주도 시장으로 변화해 왔다. 융합의 추세가 IT 기기의 다양성을 위축시키고, 이는 중소기업의 창의성을 위축시키는 결과로 작용하기도 했다. 시장의 기회와 성공의 가능성도 더욱 낮아졌으며, 반도체 생태계도 더욱 위축되었다. 반도체가 중소기업의 시장진입을 막고 있기도 하다.

이제 포스트 스마트폰 시대가 변화의 시발점이 되어 주기를 바란다. 다시 다양성이 존재할 수 있는 시장이 태동하고, 기회도 함께 만들어 줄 것으로 기대한다. 이제 다시 반도체의 생태계에도 창의성이 활발히 움직이고, 다양성이 중심이 되는 모델이 필요할 것으로 예측한다. 과가 주문형 반도체 모델로 돌아갈 수는 없겠지만, 시스템 반도체의 분화를 통해 이를 수용할 수 있는 기술이 필요하다. 스마트폰 시대를 기반으로 한 무한 집적과 융합의 반도체에서, 기능과 필요성에 맞는 적합한 반도체로의 분화를 통해, 시장의 기회를 창출하고, 중소기업의 다양성이 강점이 될 수 있는 그러한 시장으로의 변화를 기대한다.

최 종 찬 본부장
전자부품연구원

* 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.

스테레오 비전 기반 지능형 자동차의

주변 상황 인식 기술

기 술 동 향 칼 럼

최근 자동차 산업은 운전자의 편의와 안전을 요구하는 시장의 흐름을 반영하여 지능화된 자동차에 대한 연구 및 개발이 활발히 진행 중이다. 지능형 자동차는 자동차 기술에 전기/전자, 정보통신, 지능 제어 기술을 접목하여 운전자에게 차량의 주변 상황을 실시간으로 제공하고 능동적으로 차량을 제어하여 운전자의 편의와 안전을 도모하는 자동차를 말한다. 자동차를 제어하는 기술은 안전과 직결되는 만큼 상황에 따른 정확한 제어가 중요하며, 이를 위해서 신뢰도 높은 주변 상황의 인식이 무엇보다 중요하다.

그림1. 스테레오 비전 기반 지능형 자동차의 주변 상황 인식 기술

지능형 자동차의 주변 상황 인식 방법은 내/외부 환경을 감지하는 센서의 종류(레이더, 라이다, 모노 카메라, 스테레오 카메라, 적외선 센서, 초음파 센서 등)에 따라 여러 방식으로 분류된다. 그중 스테레오 비전을 이용한 주변 상황 인식 시스템은 인간이 거리를 인식하는 시각 메커니즘을 활용한 방식으로 운전자의 시각을 중심으로 만들어진 자동차 도로 체계를 활용하는데 가장 효과적인 방식이다. 또한 다른 센서들에 비해 넓은 영역의 거리 인식이 가능하고, 주변 환경 변화에 강인하며, 비용도 저렴하여 상용화에 가장 적합한 시스템이다.

지능형 자동차에서 스테레오 카메라를 활용하여 주변 상황을 인식하는 방법은 좌우 카메라를 통해 입력받은 2차원 영상을 정합(matching)하여 3차원 거리정보영상(depth map)을 생성하는 단계와 생성된 거리 정보를 활용해 물체 및 주변 상황을 인식하는 단계로 나눌 수 있다. 이 과정에서 거리정보영상의 정확도에 따라 주변 상황 인식률이 크게 좌우되므로 지능형 자동차에서는 높은 신뢰도를 가지는 거리정보영상을 획득하는 것이 가장 핵심이라 할 수 있다. 그뿐만 아니라 스테레오 카메라를 활용한 주변 상황 인식 방법을 실제 도로 상황에 적용하기 위해서는 주행의 안전을 보장할 수 있는 몇 가지 조건들을 만족해야 한다. 일반적으로 시속 100km의 상한 주행속도를 가지는 고속도로 주행 환경에서 차량 간 안전거리는 100m이며, 사람이 인식할 수 있는 영상의 초당 프레임 수는 10~12프레임이다. 그에 따라 지능형 자동차에 적용될 주변 상황 인식 시스템은 최소 100m 이상의 거리 정보를 초당 10~12 프레임 이상 처리할 수 있어야 한다[1]. 그뿐만 아니라 차량이 이동함에 따라 조도 변화와 같은 외부환경 변화에도 강인한 특성을 가져야 하며, 동시에 상용화를 위해 소형 모듈화(칩화) 및 저가격화를 이루어야 하는 복합적인 기술적 과제를 안고 있다.

현재 지능형 자동차 개발분야에서 외국 기업의 경우 독일의 Daimler 사는 FPGA 기반 스테레오 카메라 시스템과 레이더 시스템을 함께 사용하여 차량을 능동적으로 제어하는 intelligence drive 기술을 개발하여 최근 출시하는 Mercedes Benz S-class에 탑재하여 출시 하였고[2,3], 일본의 Subaru 사는 스테레오 카메라만 사용한 능동적 차량 제어 시스템인 Eyesight를 2개의 CMOS 카메라 모듈과 전용 ASIC으로 구성하여 실제 차량에 탑재하여 출시하였다[4,5]. 이와 같이, 제품화 기술들 대부분이 FPGA 또는 ASIC 형태의 하드웨어 기반 기술로 구현되어 차량에 탑재되었다. 그런데 이러한 제품화 기술들은 외국 기업 사례들뿐이며, 국내의 기업이 상용화한 제품은 전무한 상태이다.

그림2. Intelligence drive 기술

이에 본고에서는 지능형 자동차의 주변 상황 인식을 위한 스테레오 비전 시스템의 개념과 세부 기술을 소개하고 이를 도로환경에 적용하기 위한 방법에 대해 기술한다.

스테레오 비전 시스템

일반적인 스테레오 비전 시스템은 그림 3과 같은 단계를 거쳐 거리 정보를 획득한다[6].

그림3. 스테레오 비전 시스템의 처리 과정

스테레오 정합은 그림 4와 같이 좌우 영상에서 동일한 점을 찾고, 이러한 좌우 동일점의 시차(disparity)를 이용해 거리정보를 획득한다. 시차는 좌우 영상에서 동일한 점의 거리를 나타내는 것으로, 이러한 시차를 알면 카메라로부터 그 점까지의 거리를 계산할 수 있기 때문에 좌우 영상에서 동일한 점을 찾는 과정이 정합의 핵심과정이라 할 수 있다. 이때 영상 전체에 대한 거리정보를 획득하기 위해서는 그림 5와 같은 영역기반 정합 알고리즘을 사용해야 하며, 이 과정에서 동일한 점을 찾는 범위를 최소화하기 위해 렉티피케이션(rectification) 과정을 수행한다[7]. 렉티피케이션을 위해서는 먼저 카메라의 내/외부 파라미터를 추출하는 카메라 칼리브레이션(calibration) 과정이 수행되어야 하며, 일반적인 스테레오 비전 시스템은 카메라가 고정된 형태이기 때문에 칼리브레이션 과정은 최초에 한 번만 수행되면 된다. 렉티피케이션 및 정합을 통해 획득된 최초의 3차원 거리정보영상은 필터링 등의 후처리 과정을 거쳐 최종적인 3차원 거리정보영상으로 생성된다.

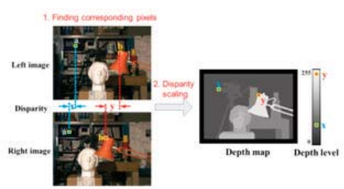


그림4. 3차원 거리정보영상 획득 과정

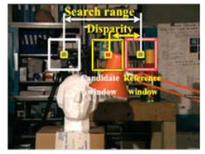
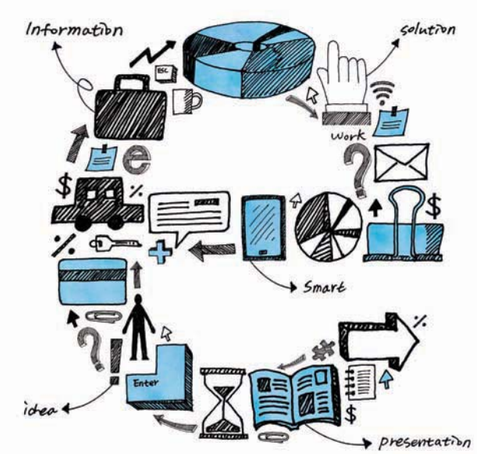


그림5. 영역기반 정합 방법

지능형 자동차의 스테레오 비전 시스템

지능형 자동차의 주변 상황 인식을 위한 스테레오 비전 시스템은 다음의 특성을 가져야 한다. 먼저 돌발상황에 신속하게 대처할 수 있도록 차량 간 안전거리 내의 모든 공간에 대한 거리정보를 실시간으로 획득할 수 있어야 하고, 조명, 도로 특성 등 외부 환경 변화에 강인한 정합 성능을 보여야 한다. 이를 위해서는 도로 환경에서의 스테레오 정합에 적합한 카메라와 렌즈의 선택과 정합을 위한 알고리즘의 선택이 중요하다. 정합 알고리즘은 실시간 성능 구현을 위해 정합 과정이 간단하면서도 정합률이 높아야 하며, 조명 변화에 강인한 특성을 가져야 한다.

그림 6은 조명 변화에 강인하며 정합 과정이 비교적 간단한 census transform을 변형하여 정합률 을 높인 알고리즘을 사용하여 거리 정보를 추출하는 과정을 나타낸다. 먼저 입력된 좌/우 영상을 렉티피케이션 과정을 거쳐 에피폴라 라인(epipolar line)을 일치시킨 후 sparse window 기법과 ASW(Adaptive Support Weight) 기법을 적용하기 위해 윈도우 내 support weight를 생성하고, 선택된 픽셀들에 대해 서브윈도우를 설정하고 sparse window 연산을 수행한다. 그와 동시에 윈도우 내의 선택된 픽셀들에 대해 support weight 값을 생성한 후 코스트(cost)를 계산한다. 그리고 시차 범위 내의 모든 윈도우 중 최대 정합점을 찾고 그때의 시차를 최종 거리(depth)로 출력한다.



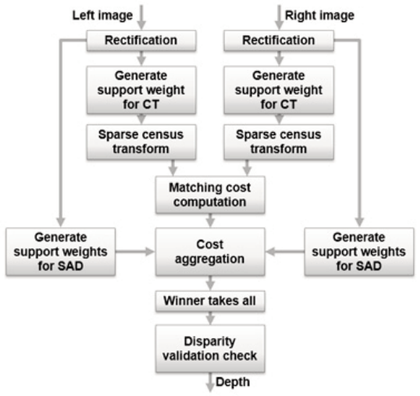


그림6. 변형된 census transform 알고리즘 기반 거리 정보 추출 과정

렉티피케이션

렉티피케이션 과정은 좌우 스테레오 카메라로부터 획득한 영상의 에피폴라 라인을 가로축과 평행하게 만드는 과정으로 스테레오 정합 시에 대응점을 가로축 선상에서 찾을 수 있게 하여 대응점 탐색 시간을 줄여주는 역할을 한다[8]. 그림 7은 좌/우 스테레오 카메라와 대응점 간의 상관관계를 나타내는 그림이다. 에피폴(epipole)은 이미지 공간과 카메라 베이스 라인이 교차하는 점을 나타내며, 대응점과 에피폴을 연결한 선을 에피폴라 라인이라 한다. 이러한 에피폴라 라인을 가로축으로 일치시키게 되면 좌우 영상의 대응하는 점들의 세로축 좌표가 일치하게 되어 탐색 범위가 줄어들게 된다.

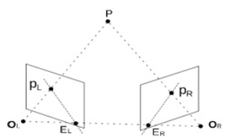


그림7. 에피폴라 기하학

Census transform

영역기반 정합 알고리즘인 census transform은 윈도우 내의 픽셀 간의 상관도(correlation)를 비교하여 정합 점을 찾는 알고리즘이다[6]. 때문에 픽셀 값 자체를 시차 추정에 사용하는 차 기반(difference-based: SAD, SSD, etc……) 정합 알고리즘과 비교하여 영상의 조명 변화에 강인한 특성을 가진다. Census transform 알고리즘은 그림 8과 같이 수식 1을 사용하여 좌우 윈도우 내의 중심이 되는 픽셀과 나머지 픽셀의 크기를 비교하여 좌/우 윈도우의 HW(hamming weight)를 생성한 후, 서로 비교하여 최종 코스트인 HD(hamming distance)를 계산한다. 위 과정을 통해 생성된 HD는 좌/우 윈도우의 상관도가 낮음을 뜻하는 비유사성(dissimilarity)을 나타내는 값으로, 시차 추정 범위 내에서 HD 값이 가장 작은 지점을 최대 정합 점으로 정한다.

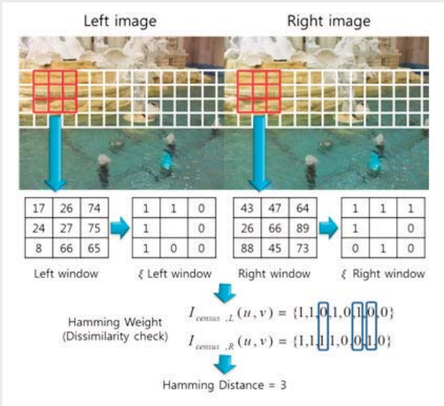


그림8. Census transform의 코스트 연산 과정

1 $\text{cencus}(p) = \bigotimes_{q \ni N_p} \xi(p,q)$

2 $\xi(p,q) = \begin{cases} 0, & p \le q \\ 1, & p > q \end{cases}$

ASW(Adaptive Support Weight)

ASW 기법을 적용한 census transform은 기존의 census transform 알고리즘을 통해 계산한 HD를 최종 코스트로 사용하지 않고 수식 3을 사용하여 최종 코스트를 계산하는 기법이다[9]. 수식 3에서 e(q,qd)는 각 픽셀 위치에서의 서브윈도우(sub-window)를 사용한 HD를 사용하며, 는 픽셀 값 차이의 절대치를 이용하여 생성되는 가중치로서 support weight라 한다.

3 $\text{cost}(p) = \dfrac{\sum_{q \ni N_p, q_d \ni N_{pd}} \omega(p,q)\,\omega(p_d,q_d)\,e(p,q)}{\sum_{q \ni N_p, q_d \ni N_{pd}} \omega(p,q)\,\omega(p_d,q_d)}$

ASW 기법은 윈도우 내에 모든 픽셀에 대해 같은 가중치를 두지 않고, 픽셀들의 위치에 따라 서로 다른 가중치를 두는 방법이다. 픽셀 값의 차이가 크면 유사도가 낮다고 보고 값을 낮게 설정하고, 픽셀 값의 차이가 작으면 유사도가 높다고 보고 값을 높게 설정한다. 이 같은 방법을 통해 픽셀 값 차이에 따라 각 픽셀이 가지는 코스트의 가중치를 다르게 함으로써 더욱 정확한 거리 정보를 추출할 수 있다.

Sparse window

위와 같이 ASW를 적용한 census transform의 경우, 윈도우 크기가 클수록, 그리고 e(q,qd) 값을 구하기 위한 서브윈도우가 크면 클수록 연산량이 기하급수적으로 증가한다. 이러한 사실은 지능형 자동차의 주변 상황 인식의 실시간 성능 구현에 큰 장애가 된다.

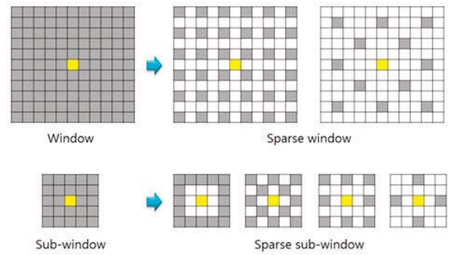


그림9. Sparse window 기법을 적용한 윈도우와 서브윈도우

Sparse window 기법은 그림 9와 같이 윈도우 및 서브윈도우 내 모든 픽셀을 사용하지 않고, 선택적으로 몇 개의 픽셀만 연산에 사용하는 방법이다[10]. 이때 연산에 사용되는 픽셀의 개수를 줄이는 것이 거리 정밀도를 악화시키는 영향을 줄 수 있는데, ASW 기법을 적용함으로써 그 영향을 최소화할 수 있다. 그러나 윈도우 내에서 사용하는 픽셀의 개수, 픽셀의 위치, 서브윈도우에서 사용하는 픽셀의 개수, 픽셀의 위치 등에 따라 정합 정확도는 다르게 나타날 수 있으므로 실험을 통해 최적의 조건을 찾아내는 연구가 필요하다.

결론

스테레오 비전 기술은 오랜 시간 동안 지속해서 연구되어 온 기술로서 이미 높은 기술수준에 도달해 있고, 연구의 가치가 점점 떨어져 가는 기술로 여겨졌다. 하지만 스테레오 비전 기술이 지능형 로봇, 지능형 자동차 등에 접목되면서 다시 한 번 그 기술의 중요성이 부각되고 있고, 많은 기업이 연구 및 개발에 매진하고 있다. 이미 해외 유명 자동차 기업들은 레이더/라이다 기술과 스테레오 비전을 함께 사용한 차량 제어 시스템을 실제 양산 차량에 탑재하여 상용화하고 있으며, 스테레오 비전만을 사용한 차량 제어 시스템까지 등장하고 있다. 그에 반해 국내의 지능형 자동차를 위한 주변 상황 인식 기술은 해외보다 많이 뒤처진 것이 사실이다. 그러나 국내의 자동차 기업 역시 기술의 필요성을 느끼고 상용화 제품 생산을 위해 노력하고 있으며 국내 대학 및 연구소에서도 스테레오 비전을 기반으로 한 주변 상황 인식 기술의 연구를 수행하고 있다. 국내 자동차 산업의 발전을 위해서는 지능형 자동차에 대한 연구가 필수가 되었으며, 기술 선도를 위해 주변 상황 인식을 위한 원천 기술 개발 및 특허 확보가 필요하다.

참고문헌

❶ P. Read, M. P. Meyer, "Restoration of motion picture film," Conservation and Museology. Butterworth-Heinemann. pp. 24-26. September 2000.

❷ S. Gehrig, F. Eberli, and T. Meyer. "A real-time low-power stereo vision engine using semi-global matching," In International Conference on Computer Vision Systems, Liege, Belgium, October 2009.

❸ http://www.iautocar.co.kr/news/articleView.html?idxno=1178

❹ http://monoist.atmarkit.co.jp/mn/articles/0809/01/news133.html

❺ http://monoist.atmarkit.co.jp/mn/articles/0809/01/news133_2.html

❻ M. Humenberger, C. Zinner, M. Weber, W. Kubinger, and M. Vincze, "A Fast Stereo Matching Algorithm Suitable for Embedded Real-time Systems," Comput. Vis. Image. Und. 114, pp. 1180-1202, March 2010.

❼ M. Iqbal, F. Meriaudeau, and O. Morel, "Image Processing and Pattern Recognition," International Journal of Signal Processing, 4, 3, 2011.

❽ R. Hartley and Z. Andrew, "Multiple view geometry in computer vision," Cambridge University Press, Cambridge 2003.

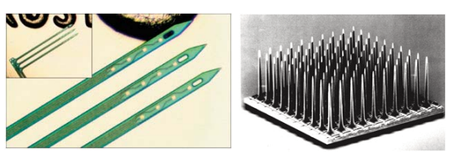
❾ S. Perri, P. Corsonello, and G. Cocorullo, "Adaptive Census Transform: A novel hardware-oriented stereovision algorithm," Comput. Vis. Image Underst., vol. 117, pp. 29-41, 2013.

❿ W. S. Fife and J. K. Archibald, "Improved Census Transforms for Resource-Optimized Stereo Vision," Circuits and Systems for Video Technology, IEEE Transactions on, vol. 23, pp. 60-73, 2013.

문 병 인 교수
소속 : 서울대학교 전기정보공학부
연구분야 : Computer Architectures, Code Analysis and Optimizations, Hardware-assisted System Security
E-mail : ypaek@snu.ac.kr
Homepage : http://sor.snu.ac.kr

생체 삽입형 다채널 뇌신호 측정을 위한 초저전력 프런트-엔드 설계 기술

1929년 최초로 두피를 통하여 전해지는 뇌 신호인 EEG(electroencephalogram) 신호의 비침습적 측정이 환자에게 행하여진 이래로[1], 1935년에는 난치성간질 환자와 종양 환자를 위한 수술 중 침습형 표면 전극을 이용하여 환자의뇌 피질에서 ECoG(Electrocorgicogram) 신호를처음으로 측정하였으며[2], 1941년에는 파킨슨 병(Parkinson' s Disease)을 앓고 있는 환자의 기저핵(basal ganglia) 부위에 있는 미상핵(caudate nucleus) 구조에 바늘 형태의 삽입 전극을 이용하여 최초로 LFP(local field potential)신호와 AP(action potential)신호를 측정하기에 이르렀다[3].그 후 정위적(stereotactic) 수술 기법과 미세전극(microelectrode) 제조 기술의 발달로 침습적 뇌 신호의 측정이 보다 용이해지면서 수많은 동물 실험을 통해서는 물론, 파킨슨 병 및 본태성진전증(essential tremor)과 같은 심각한 행동 장애를 앓는 환자들과 난치성 간질로 고생하는 환자들의 치료를 위한 수술의 과정에서 침습적 뇌 신호 측정이 빈번하게 행하여져 왔다.



(가) (나)

그림 1. 삽입형 미세 전극 배열:
(가)미시건 전극 배열, (나)유타 전극 배열

초기에는 단일 혹은 소수의 삽입형 전극으로부터 매우 제한적인 정보만을 얻을 수 있었으나, 1950년대에 이르러 미세 도선 전극 배열(microwire electrode array)이 수작업에 의해 제조되기 시작하면서 수십 개에 이르는 다수의 전극으로부터 침습적 뇌 신호를 측정할 수 있는 길이 열리게 되었다.그러던 중, 1960년대에이르러 반도체 공정 기법을 미세 기계 구조의 제조에 활용하는 MEMS(microelectromehanical system, 미세 전자 기계 시스템)기술이 제안되고 연구되기 시작하면서, 1970년대에는 MEMS기술을 활용한 삽입형 미세 전극 배열(microelectrode array)이 미국 미시건 대학(University of Michigan, Ann Arbor)의 연구진에 의해 최초로 개발되었다[4].1980년대와 1990년대에 걸쳐 이러한 MEMS 기반 미세 전극 배열의 설계와 구현에 대한 연구와 개발이 진행된 결과,기존의 수제작된 전극 배열들이 가지는 전극의 크기 및개수,제작 효율 및 재현성 등의 한계를 벗어나더욱 작은 크기의 전극들을 더 많이 집적한 고밀도의 미세 전극 배열들이 등장하게 되었다.그 중에서도 미시건 대학에서 개발된 미시건 전극 배열[5](Michigan electrode array, 그림 1-가)과 유타 대학(University of Utah)에서 개발된 유타 전극 배열[6](Utah electrode array, 그림 1-나)이 상용화 되어 널리 사용되고 있다.

이와 같은삽입형 미세 전극 배열의 발전에 힘입어,오늘날에는 단일 신경 세포 수준의 신호 측정(single unit recording)이 가능해졌으며, 수십 혹은 수백 개의 전극을 통해 많은 수의 신경 세포들로부터 동시에 신호를 측정할 수 있게 되었다.이를 토대로,뇌 과학 및 뇌 의료 분야에서 활발한 연구가 행하여지고 있으며,커다란 진전을 이루어가고 있다.정상적인 뇌는 물론 병변을 가지는 뇌에 있어 그 신경 회로의 동작 원리를 밝히는 근원적 연구가 진행되는 한편,최근에는 거동이 불편한 환자의 뇌 신경 신호를 침습적 방법으로 측정하여 그 신호를 처리하고 분석함으로써 로봇 팔이나 전동 휠체어와 같은 기기들을 환자의 의지대로 조종하고 제어하고자 하는 시도들이 성공적으로 이루어지면서[7](그림 2), 특히 중증의 신체 마비 환자들에게 커다란 가능성을 제시하고 있다.

그림 2. 침습적 뇌 신호 측정 및 분석을 통한 로봇 팔의 제어[7]

생체 삽입형뇌신호 측정 시스템

동물이나 인간의 뇌에 삽입된 미세 전극 배열로부터 신경 신호를 측정하여 활용하기 위해서는 전극에 의해 감지된 미약한 전기 신호를 증폭하고 필요한 대역의 신호만을 추출하며 디지털 형태의 신호로 변환하여 디지털 영역에서의 신호 처리 및 분석을 할 수 있도록 하는 전자 회로의 역할이 매우 중요하다.기존에는 미세 전극 배열에 존재하는 각각의 전극마다 연결된 수많은 아날로그 연결선들을 통해 실험실용 뇌 신호 측정 장비까지 감지된 신경 신호를 전달하는 방식이 사용되었으나,각종 잡음이나 간섭에 의해 미약한 아날로그 형태의 뇌 신호가 쉽게 훼손되는 문제를 가지고 있었다.마취로 인한 수면 중에 있는 동물이 아닌 깨어 움직이는 동물을 이용하여 실험을 하는 경우, 동물의 운동과 연결선의 움직임에 의해 신호 결함이더욱 심각해지며,특히 의료 기기의 목적으로 사용하고자 하는 경우에는피부를 통해 외부 기기와 연결되는 선들은 환자에게 감염의 위험성을 야기할 뿐만 아니라,환자가 선을 통해 장비에 연결되어 있으므로 실험실을 벗어난 실 생활에서의 활용을 불가능하게 한다.따라서 이러한 문제들을 해결하기 위해 침습적 뇌 신호 측정에 필요한 모든 회로들을 미세 전극 배열과 함께 체내에 완전히 삽입할 수 있는 기술들이 개발되어 오고 있다[8]-[10].

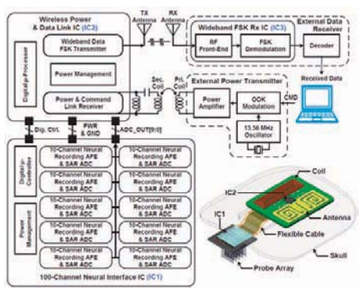


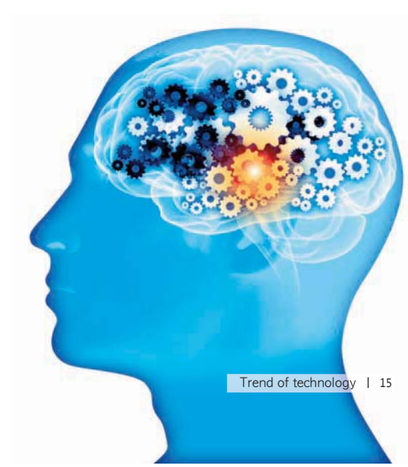
그림 3. 완전 생체 삽입형 뇌 신호 측정 시스템[10]

그림 3에서 보듯이 완전 생체 삽입형 뇌 신호 측정 시스템은 미세 전극 배열에 의해 감지된 신경 신호를 증폭하고 필요한 대역 외의 잡음 및 신호를 여과(filtering)하는 아날로그 프런트-엔드(front-end) 회로,이렇게 다듬어진 아날로그 신호를 디지털 형태로 변환하는 아날로그-디지털 변환(analog-to-digital conversion) 회로, 디지털 형태의 뇌 신호를 처리하는 신호 처리(signal processing) 회로,무선 통신을 통해 뇌 신호를 체외로 전달하는 무선 데이터 송신 회로,체외로부터 무선의 형태로 전원 전력을 공급받아 각종 회로들에서 직접 사용 가능한 형태로 변환하여 전달하는 무선 전력 수신 및 변환 회로,체외로부터 간단한 명령을 받아 체내의 회로들을 제어할 수 있도록 하는 무선 명령 수신 및 제어 회로 등으로 이루어진다.여기서는 생체 삽입형 뇌 신호 측정 시스템에서 필요로 하는 여러 가지 회로들 중, 미세 전극 배열이 감지하는 신경 신호를 가장 앞 단에서 다루는 프런트-엔드 설계 기술을 보다 자세히 살펴 보기로 한다.

생체 삽입형뇌신호 측정 프런트-엔드

뇌 신호 측정 프런트-엔드 회로는 미세 전극 배열과 연결되어 각각의 전극을 통해 감지된 미약한 신경 신호들을 직접 다루게 된다. 프런트-엔드 회로에서의 일반적인 신호 처리 과정을 살펴 보면,전극에서 나온 신호는 가장 먼저 저잡음 증폭기(LNA, low-noise amplifier)에 의해 증폭되고,이어서 입력 신호가 작을 때는 큰 전압 이득으로,신호가 클 때는 작은 이득으로 증폭하는 가변 이득 증폭기(VGA, variable gain)에 의한 증폭이 다시 한 번 이루어짐으로써, 측정 시스템이 다룰 수 있는 신호의 동적 범위(dynamic range)를 확장하게 된다.한편,이렇게 신호가 증폭되는 과정에서 증폭기 자체가 가지는 주파수 여과 특성을 이용하거나 별도의 저주파-통과(low-pass)및 고주파-통과(high-pass) 여과기(filter)들을 더함으로써 뇌 신호에 해당하는 주파수 대역 바깥에 존재하는 잡음이나 다른 신호들은 제거하게 된다.이렇게 처리 된 아날로그 형태의 신경 신호는 아날로그-디지털 변환기를 통하여 디지털 형태로 변환이 되는데,이 변환기의 맨 앞에 있는 샘플-앤-홀드(sample-and-hold)회로를 충분히 구동할 수 있도록, 아날로그 프런트-엔드 회로의 마지막에는 완충기(buffer)가 자리하게 된다.

이처럼 프런트-엔드 회로는 신경 신호를 직접 받아 중요한 아날로그 영역 처리 기능들을 가장먼저 수행하므로,그 성능이 측정 시스템 전체의 성능을 좌우하게 된다.한편,더 많은 수의 신경 세포들로부터 더욱 풍부한 정보를 획득하기 위해 미세 전극 배열의 전극 수와 밀도가 증가함에 따라 프런트-엔드 회로의 채널 수와 밀도도 함께 증가하여야 한다.따라서, 생체 삽입형 뇌 신호 측정 프런트-엔드 회로의 설계는 날이 갈수록 더욱 중요해질 뿐만 아니라 더욱 어려워지고 있다.



뇌 신호의 특성과 프런트-엔드설계 요구 사항

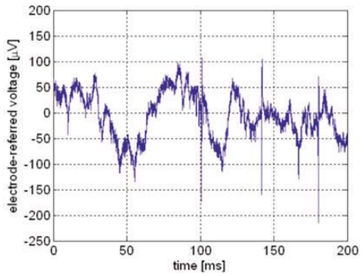


그림 4. 침습적 방식으로 측정된 전형적인 뇌 신호[11]

뇌 신호 측정 프런트-엔드 회로의 설계 기법을 소개하기에 앞서, 생체 삽입형 미세 전극에 의하여 감지되는 침습적 측정 시의 뇌 신호 특성과 그에 따른 설계 요구 사항들에 관하여 알아볼 필요가 있겠다.그림 4에서 보듯이 침습적 측정으로 얻어지는 뇌 신호는 neural spike이라고도 불리는 AP 신호와 특정 뇌 영역에 있는 다수의 신경 세포들이 동기화된 활동을 함으로써 발생하는 LFP 신호를 모두 포함하고 있다.전극에서 감지되는 AP 신호는 보통 수십 μV에서 수백 μV 정도의 크기와 0.3 ms에서 1.0 ms가량의 지속 시간(duration),그리고 수 Hz에서 수십 Hz 범위의 발화 속도(firing rate)를 갖는 양위상(biphasic) spike 신호 형태를 띄며,주파수 영역에서는 300 Hz에서 5 kHz 대역에 걸쳐 대부분의 신호 에너지가 존재한다.한편 LFP 신호는 두피 표면에서 비침습적으로 측정할 수 있는 EEG 신호의 생체 내 근원 신호로서, EEG 신호는 LFP 신호가 두부의 여러 조직들을 통과하면서 신호 크기의 현저한 감쇄와 공간적 해상도의 상실을 겪은 후 나타나는 신호라고 볼 수 있다. LFP 신호는 보통 100 μV에서 수mV 정도의 진폭을 가지며, 200 Hz 이하의 주파수 대역에 나타난다.

이러한 특성들을 갖는 뇌 신호를 성공적으로 측정해내기 위해 프런트-엔드 회로는 다음과 같은 설계 요건들을 충족시켜야 한다[11].

1 수십 μ V크기의 아주 작은 spike신호를 측정할 수 있도록 매우 낮은 입력 잡음 특성을 가져야 하고,

2 이와 동시에수백 μ V에 이르는 큰 spike 신호나 수 mV의 크기를 갖기도 하는 LFP 신호도 측정할 수 있도록 충분히 큰 동적 범위를 확보해야 함은 물론,

3 침습적으로 측정되는 뇌 신호가 주로 존재하는 주파수 대역의 신호들은 모두 증폭하면서,대역 외의 잡음 및 다른 신호들은 여과할 수 있어야 한다.

4 또한,회로 입력 단에서의 신호 감쇄를 최소화 하기 위해,전극-조직 인터페이스(electrode-tissue interface)의 임피던스보다 회로의 입력 임피던스가 훨씬 크도록 설계되어야 하며,

5 전극-조직 인터페이스에 존재하는 직류 offset에 의하여 회로가 포화되는 것을 피하기 위해서는,회로 입력에 들어오는 직류 성분을 효과적으로 막을 수 있도록 설계되어야 한다.

6 뿐만 아니라, 50/60 Hz 전력선 잡음 등에 의한 간섭을 최소화하기 위해,높은 공통 모드 제거 비(common-mode rejection ratio)를 가져야 하고,

7 특히 무선으로 전력이 공급되는 상황에서는 전원에 상당한 변화 및 잡음이 있을 수 있으므로 충분한 전원 제거 비(supply rejection ratio)를 갖도록 설계되어야 하며,

8 인접하여 구현된 채널 간의 간섭 또한 최소화 되어야 한다.

9 생체 내에 삽입되어야 하므로 소모하는 전력에 의해 열이 발생하여 주위에 있는 조직들의 온도가상승하지 않도록 아주 낮은 전력만으로 동작할 수 있어야 하고,

10 삽입을 위한 수술의 침습도를 가능한 한 낮추기 위해,되도록 작은 면적 안에 구현되어야 하며, 필요한 외부 부품의 수도 최소화 하여야 한다.

프런트-엔드설계 기술 동향

생체 삽입형 뇌 신호 측정 프런트-엔드 회로의 맨 앞에는 저잡음 신경 신호 증폭기(low-noise neural amplifier)가 위치하여 잡음에 의한 훼손을 최소화 하면서 미약한 뇌 신호를 다루기 적절한 크기의 신호로 증폭하는 역할을 한다.그림 5에 보인 회로는 현재 생체 삽입형저잡음 신경 신호 증폭기로 가장 널리 쓰이고 있는 회로로서, 앞서 설명한 대부분의 설계 요건들을 상당 수준 만족시킨다.기본적으로 몇 개의 커패시터들과OTA(operational transconductance amplifier)로 구성되며,전압 이득은 C1과 C2의 비에 의하여 결정되며, C1은 입력 신호의 직류 성분을 차단함으로써 전극-조직 인터페이스에 존재하는 직류 offset에 의한 증폭기의 포화를 막아준다.C2와 병렬로 연결된 트랜지스터들은 깊은 subthreshold영역에서 수백 GΩ에서 수 TΩ에 이르는 큰 저항과 같이 동작하여 유사 저항(pseudoresistor)이라고도 하며, OTA 입력 노드의DC 전압을 안정화시키는 한편,C2와 함께 고주파-통과 여과 특성의 저주파 차단 주파수(cutoff frequency)를 정의하는 역할을 한다.이처럼 큰 유사 저항과 수백 fF정도 크기의 C2를 사용하면 1 Hz 미만의 아주 낮은 차단 주파수를 얻을 수 있다.따라서 외장 부품 없이도 직류 신호는 차단하는 한편LFP 신호가 존재하는 아주 낮은 주파수 대역의 신호들은 받아들이는 저잡음 증폭기를 구현할 수 있어,다채널의 프런트-엔드 회로를 생체 삽입에 적합한 작은 크기로 집적하는데 장점을 가진다.또한,간단한 회로 구조로 인해 낮은 전력을 소모하면서도 필요한수준의 저잡음 특성을 구현할 수 있다.

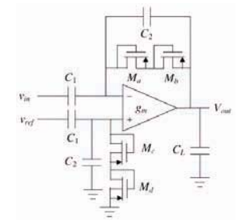


그림 5. 생체 삽입형저잡음 신경 신호 증폭기[12]

[9]에서는 그림 5의 회로를 5.1 μ Vrms의 입력 잡음 특성을 갖도록 설계하여, 100개의 전극에서 감지되는 신경 신호를 증폭하고 처리하며,디지털 변환 후 무선으로 송신할 수 있는 칩을 구현하였다. 하지만 프런트-엔드 회로는 아날로그-디지털 변환기를 제외하고도 채널 당 약 42 μ W의 높은 전력을 소모하는데다가, 100개의 채널 중 선택된 하나의 채널에서 감지된 뇌 신호 파형만을 디지털로 변환하여 송신할 수 있는 한계를 가졌다.[13]에서는 비슷한 형태의 저잡음 신경 신호 증폭기를 사용하여 128 채널의 뇌 신호를 모두 디지털로 변환 후 무선으로 송신하는 칩을 개발하였다.모든 채널의 신호파형을 디지털로 변환하면서도 많은 수의 아날로그-디지털 변환기들에 의한 면적 및 전력의 과다 소모를 피하기 위해, 그림 6에 보인 바와 같이 16 채널마다 하나의 아날로그-디지털 변환기를 사용하였는데,채널 별 회로에 의해 증폭 및 여과를 거친 16 채널의 신호들이 16:1 아날로그 멀티플렉서(multiplexer)를 통해 하나의 변환기에 순차적으로 연결되는 구조로 설계되었다. 하지만 그렇게 함으로써 아날로그-디지털 변환기가 각 채널의 신호를 샘플링 하기 위해 사용할 수 있는 시간이 크게 줄어들면서 변환기 바로 앞 단에 위치한 증폭 회로의 구동 능력을 충분히 크게 하여야 하므로 수십 μ W수준의 높은 전력 소모를 필요로 하게 된다.따라서, 전체 128 채널 프런트-엔드 회로에서 소모하는 총 전력은 4.3 mW로 여전히 높은 수준이며,입력 잡음 특성은 4.9μ Vrms를 얻었다.

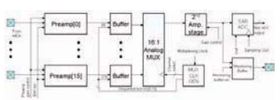


그림 6. 아날로그 멀티플렉서를 이용한 다채널 프런트-엔드 회로 구조[13]

이상과 같은 문제를 해결하기 위해 [14]에서는 그림 7에 보인 이중 샘플-앤-홀드(dual sample-and-hold) 기술을 제안하여 100 채널 프런트-엔드 칩에적용하였는데,이 기술은 여러 채널의 신호들을 아날로그 멀티플렉서를 통해 하나의 변환기에 순차적으로 연결하는 구조에서 두 개의 샘플-앤-홀드 회로를 사용하여 하나의 회로가 샘플링을 할 때,다른 하나는 아날로그-디지털 변환 동작을 위해 샘플링 된 신호를 홀드 하는 방식으로 동작함으로써,충분한 샘플링 시간을 확보할 수 있도록 해준다.따라서, 4 μ Vrms의 저잡음 특성을 갖도록 하면서도 아날로그-디지털 변환기를 포함한 100 채널 프런트-엔드 칩의 총 전력 소모를 1.16 mW까지 크게 낮출 수 있었다.

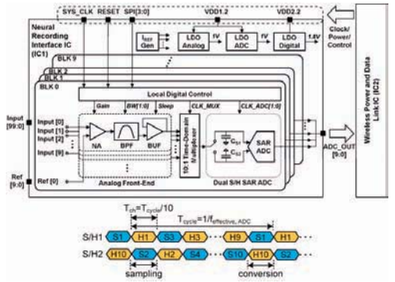


그림 7. 이중 샘플-앤-홀드 기술을 이용한 다채널 프런트-엔드 회로 구조[14]

이에 더해,[15]에서는 필요한 성능을 얻으면서도 전력 소모를 더욱 낮추기 위해 그림 8에 보인 바와 같이 이중 전원 전압(dual supply voltage) 구조를 사용하였는데, 저잡음 특성을 위해 소모 전류를 줄이는 것은 한계가 있지만 낮은 전압에서 동작시킬 수 있는 저잡음 증폭기를 위해서는 아주 낮은 전원 전압을 사용하고, 앞 단에서 이미 증폭된 신호로 인해 동작 전압은 낮추기 힘들지만 소모 전류는 매우 낮은 가변 이득 증폭기를 위해서는 보통의 전원 전압을 사용하였으며, 아날로드-디지털 변환기도 저잡음 증폭기와 같이 매우 낮은 전원 전압을 사용함으로써 전력 소모를 크게 줄였다.이 때,가변 이득 증폭기의 출력과 아날로그-디지털 변환기의 입력 간 전압 범위가 맞지 않는 문제가 생기는데, 동적 범위 폴딩(dynamic range folding)이라는새로운 기술을 개발하여 적용함으로써 아날로그-디지털 변환 시 가장 큰 자리 수를 결정하는 과정에서 상이한 동적 범위를 저절로 맞추어 줄 수 있도록 하였다.이와 같은 기술들을 적용함으로써, 3.2 μ Vrms의 저잡음 특성과 충분한 동적 범위를 확보하면서도 채널 당 730 nW 만을 소모할 수 있도록 설계하여, 총 전력 소모가 약 70 μ W에 불과한100 채널 프런트-엔드 칩을 구현하였다.

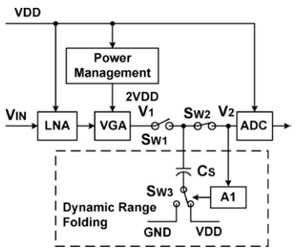


그림 8. 이중 전원 전압 구조와 동적 범위 폴딩 기술을 적용한 프런트-엔드 회로[14]

최근에는 다채널 뇌 신호 측정 프런트-엔드 회로 자체의 성능을 향상시키고 전력 소모를 줄이는 노력은 물론이고,전체의 뇌 신호 중 spike 파형과 같이 유용한 정보가 있는 부분만을 감지하여 선택적으로 측정하는 기술을 개발하여,처리하고 송신해야 하는 데이터 양을 최소화 함으로써 전체 측정 시스템의 전력 소모를 크게 줄이고자 하는 연구도 활발히 진행되고 있다[16],[17].

기술의 응용과 미래

생체 삽입형 뇌 신호 측정 프런트-엔드 회로 기술의 끊임없는 혁신을 통해 이미 채널 당 1 μ W미만의 전력만을 소모하면서도 요구되는 측정 성능을 충족하는 다채널 뇌 신호 측정 프런트-엔드 칩의 구현이 가능해졌다.이러한 회로 기술의 발전과 미세 전극 배열 제조 기술의 발전에 힘입어 앞으로는 수천,수만 개, 혹은 그 이상의 무수히 많은 신경 세포들로부터 신호를 읽어내는 것이 가능해질 것이며,이는 미지의 대상인 인간의 뇌를 연구하고 이해하는데 없어서는 안 될 중요한 도구로서 사용될 것이다.또한 현재 널리 사용되고 있는 뇌 심부자극기(deep brain stimulator)를 비롯한 각종 신경 조절기(neuromodulator)에 뇌 신호 측정 시스템이 함께 적용되면, 기존의 일방적인 자극 방식의 자극기가 아닌 측정된 뇌 신호에 기반한 차세대 폐루프(closed-loop) 자극기의 구현이 가능해지므로, 각종 뇌 질환 및 신경 질환으로 고통 받는 환자들에게 안전하고 효과적인 의료 기기를 제공할 수 있게 될 것이다. 더 나아가 인간의 생각만으로 각종 기기들을 원하는 대로 제어할 수 있게 되는 미래도 불가능한 꿈만은 아닐지도 모른다.

제 민 규 교수
소속 : DGIST (대구경북과학기술원)
연구분야 : Microsystem integration (biomedical devices, wireless sensor nodes, wearables), Smart sensor interface IC solutions, Low-power wireless IC solutions
E-mail : minkyu.je@dgist.ac.kr
Homepage : https://sites.google.com/site/dgistimpactlab/

참고문헌

[1] H. Berger, "Über das Elektrenkephalogramm des Menschen," Archiv fur Psychiatrie und Nervenkrankheiten, vol. 87, pp. 527–570, April 1929.

[2]O. Foerster, H. Altenburger, "ElektrobiologischeVorgängean der menschlichenHirnrinde," Deutsch ZschrNervenheilk, vol. 135, pp. 277–288, Sept. 1934.

[3]R. Meyers, "Surgical Interruption of the PallidofugalFibres, Its Effects on the Syndrome of Paralysis Agitans and Technical Considerations in Its Application," New York State Journal of Medicine, vol. 42, pp. 317–325, 1942.

[4]K. D. Wise, J.B. Angell, A. Starr, "An Integrated-Circuit Approach to Extracellular Microelectrodes," IEEE Transactions on Biomedical Engineering, vol. BME-17, pp. 238–247, July 1970.

[5]K. D. Wise, "Silicon Microsystems for Neuroscience and Neural Prostheses,"IEEE Engineering in Medicine and Biology Magazine, vol. 24, pp. 22–29, Sept.-Oct. 2005.

[6]R. A. Normann, B. Greger, P. House, S. F. Romero, F. Pelayo, E. Fernandez, "Toward the Development of a Cortically Based Visual Neuroprosthesis,"Journal of Neural Engineering, vol. 6, 035001,June2009.

[7]L. R. Hochberg, D.Bacher,B.Jarosiewicz,N. Y. Masse,J. D. Simeral, J. Vogel,S.Haddadin,J. Liu,S. S. Cash,P. van der Smagt, J. P. Donoghue, "Reach and Grasp by People with Tetraplegia Using a NeurallyControlled Robotic Arm," Nature, vol. 485, pp. 372–375, May 2012.

[8]K. D. Wise, D. J. Anderson, J. F. Hetke, D. R. Kipke, K. Najafi, "Wireless Implantable Microsystems: High-Density Electronic Interfaces to the Nervous System," Proceedings of the IEEE, vol. 92, pp. 76–97, Jan. 2004.

[9]R. R. Harrison, P. T. Watkins, R. J. Kier, R. O. Lovejoy, D. J. Black, B. Greger, F. Solzbacher, "A Low-Power Integrated Circuit for a Wireless 100-Electrode Neural Recording System," IEEE Journal of Solid-State Circuits, vol. 42, pp. 123–133, Jan. 2007.

[10]K.-W. Cheng, X.Zou, J. H. Cheong, R.-F.Xue, Z. Chen, L. Yao, H.-K. Cha, S. J. Cheng, P. Li, L. Liu, L.Andia, C. K. Ho, M.-Y. Cheng, Z.Duan, R.Rajkumar, Y. Zheng, W. L. Goh, Y.Guo, G.Dawe, W.-T. Park, M. Je, "100-Channel Wireless Neural Recording System with 54-Mb/s Data Link and 40%-Efficiency Power Link," IEEE Asian Solid-State Circuits Conference, Nov. 2012, pp. 185–188.

[11]R. R. Harrison, "The Design of Integrated Circuits to Observe Brain Activity," Proceedings of the IEEE, vol. 96, pp. 1203–1216, July 2008.

[12]R. R. Harrison, C. Charles, "A Low-Power Low-Noise CMOS Amplifier for Neural Recording Applications," IEEE Journal of Solid-State Circuits, vol. 38, pp. 958–965, June 2003.

[13]M.Chae, W. Liu, Z. Yang, T. Chen, J. Kim, M. Sivaprakasam, M. Yuce, "A 128-Channel 6mW Wireless Neural Recording IC with On-the-Fly Spike Sorting and UWB Transmitter,"IEEE International Solid-State Circuits Conference, Feb. 2008, pp. 146–147.

[14]X. Zou, L. Liu, J. H, Cheong, L. Yao, P. Li, M.-Y. Cheng, W.L. Goh, R. Rajkumar, G. S. Dawe, K.-W. Cheng, M. Je, "A 100-Channel 1-mW Implantable Neural Recording IC," IEEE Transactions on Circuits and Systems–I: Regular Papers, vol. 60, pp. 2584–2596, Oct. 2013.

[15]D. Han, Y. Zheng, R. Rajkumar, G. Dawe, M. Je, "A 0.45V 100-Channel Neural-Recording IC with Sub-μW/Channel Consumption in 0.18μm CMOS," IEEE International Solid-State Circuits Conference, Feb. 2013, pp. 290–291.

[16]S. Mitra, J. Putzeys, F. Battaglia, C. M. Lopez, M. Welkenhuysen, C. Pennartz, C. van Hoof, R. F. Yazicioglu, "24-Channel Dual-Band Wireless Neural Recorder with Activity-Dependent Power Consumption," IEEE International Solid-State Circuits Conference, Feb. 2013, pp. 292–293.

[17]L. Liu, L. Yao, X. Zou, W. L. Goh, M. Je, "Neural Recording Front-End IC Using Action Potential Detection and Analog Buffer with Digital Delay for Data Compression," Annual International Conference of the IEEE EMBS, July 2013, pp. 747–750.

제4회 지능형 차량용 전자 Workshop 2014

한양대학교 IDEC센터는 지능형 차량용 전자 기술 및 반도체 설계 관련 강좌를 통해 산업체 인력 재교육과 대학의 인력 양성사업을 보강하여 대학, 산업체, 연구소 인력이 정보교류와 연구 개발 협력에 참여할 수 있는 기회를 제공하고 국제 경쟁력을 가진 star engineer 와 researcher를 양성하여 산학연 모두에게 도움이 되고자 합니다. 이에 본 센터에서는 국내외에서 연구 및 개발되고 있는 지능형 차량용 전자 및 운전자 보조시스템 관련 기술에 대한 현황을 소개하고, 정보교류 및 산학연협력 관계를 증진시키기 위하여 발전 방향에 대하여 토론하는 장을 마련하고자 [지능형 차량용 전자 Workshop 2014] 을 개최합니다. 이번 워크샵에서는 지능형 차량용 전자 기술 분야에 대하여 현재 우리 기술의 경쟁력을 돌아보고, 산학연 전문가들이 그 간 연구해 오신 결과를 공유함과 동시에 관련 기술 분야의 향후 연구 방향 및 전략을 세우고, 산학연간 교류의 활성화를 촉진하는 좋은 기회가 될 것입니다. 본 워크샵에 참석 및 발표하시는 여러분께 진심으로 감사드리며, 짧은 시간이나마 알찬 성과가 있는 워크샵이 되길 기원하며, 여러분을 정중히 초대합니다.

2014년 7월
한양대학교 IDEC 센터장 신현철

준비위원
김재석, 김시호, 강진구,
조중휘, 신현철 교수

후원
대한 전자 공학회 반도체 소사이어티
자동차 전자 연구회
SOC 설계 연구회
자동차 부품 연구원

| 세부 프로그램

시 간	주 제	발 표 자
09:00~09:20	사전등록 확인 및 참가자 등록	
09:20~09:50	자율주행 자동차 산업부 R&D 지원 방향 R&D 지원 방향	한국산업기술평가관리원(KEIT) 조광오 책임
09:50~10:20	자율주행 차량 플랫폼 개발과 활용	자동차부품연구원(KATECH) 자율주행기술연구센터 김문식 박사
10:20~10:50	보행자 보호를 위한 자동긴급제동시스템(AEB) 설계를 위한 고려 사항	자동차부품연구원(KATECH) 지능제어시스템연구센터 이혁기 팀장
10:50~11:20	ADAS 시스템에서의 MAP 응용기술 및 표준화	자동차부품연구원 (KATECH) 차량IT융합연구센터 이정욱 선임
11:20~11:50	지능형 교통 시스템 개발 동향	전자부품연구원(KETI) 임기택 센터장
11:50~12:20	자율 주행 교통 시스템 구현을 위한 Traffic simulator 개발	연세대 김시호 교수
12:20~13:20	중 식	
13:20~13:50	스마트 톨링	아이트로닉스 홍승표 부사장
13:50~14:20	ADAS를 위한 전장용 SOC 기술 개발동향	넥스트칩 정회인 이사
14:20~14:50	차량용 네트워크를 통한 시스템 반도체 고장 점검 기술	한양대 박성주 교수
14:50~15:00	휴 식	
15:00~15:30	자율 주행 기술 동향	현대 모비스 신광근 이사
15:30~16:00	ADAS 환경 인식 기술 개발 동향	만도DAS R&D Center 강형진 상무
16:00~16:30	지능형 차량용 비전 기술	한양대 신현철 교수
16:30~17:00	보행자 인식을 위한 앙상블 학습 알고리즘	서울대 최기영 교수
17:00~17:30	Telematics를 이용한 car life 발전 방향	현대자동차 송복구 이사
17:30~18:00	Last 마일 이동 서비스를 위한 근거리 Park & Ride 기술 개발 동향	한국 전자 통신 연구원(ETRI) 산업IT융합연구단 손주찬 단장

• 사정에 따라 프로그램이 변경될 수도 있습니다..

| 워크샵 개요

- 행사명 : 제4회 지능형 차량용 전자 Workshop 2014
- 일 시 : 2014. 08. 29 (금)
- 장 소 : 한양대학교 에리카 캠퍼스 제1학술관 202호 (경기도 안산시 상록구 한양대학로 55)
- 주 관 : 한양대학교 IDEC 센터
- 담 당 : 한양대학교 IDEC 행정원 오경주

(☎ 031-400-4079 / E-mail : ipc@hanyang.ac.kr)

| 등록안내

• 등록비(사전등록 2014.08.21 까지)점심제공
사전 : 학생 50,000원 일반 100,000원
현장 : 학생 60,000원 일반 120,000원
(단체 할인 문의 : 031-400-4079)

| 행사장 오시는 길

버 스 안산 시외버스터미널에서 하차하여 학교 셔틀버스 (예술인 아파트 앞) 이용
지하철 4호선 한대앞역에서 하차하여 학교 셔틀버스 이용.

Mentor사 Calibre DRC, LVS

1. Calibre DRC

A. 목적 : Physical Verification

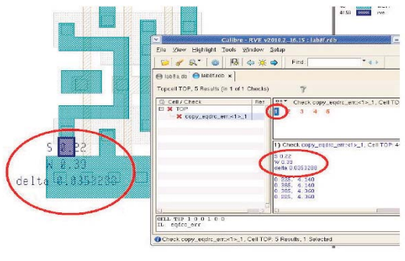
B. 구분 : Mentor 사의 Calibre DRC는 IC Design등의 Physical Verification Solution을 제공

C. Supported Platform and O/S System

- Solaris (32/64bit) 8,9,10
- HPUX 11 64-bit
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

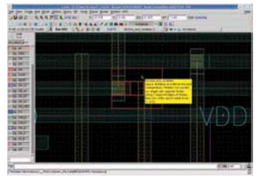
D. 특성 및 기능

Calibre DRC는 Foundry에서 제공하는 Physical Mask Rule에 맞게 Layout이 제작되었는지 검증해주며 또한 Layout Polygon, Edge, Space등을 사용자가 정한 조건에 맞게 수정할 수 있다. Calibre DRC는 Virtuoso, Laker, ICC, EDI등 대부분의 Layout Editor Tool과 Interface가 되며 결과를 쉽게 Debugging할 수 있도록 RVE (Result View Environment)를 제공한다.

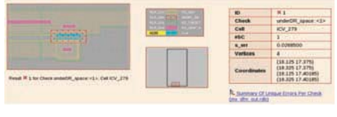


RVE 통해 Layout Editor에서 DRC Error를 확인하는 그림

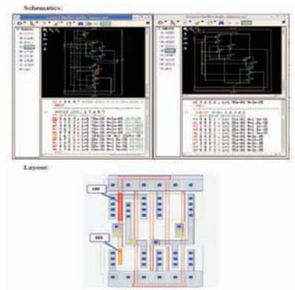
Real Time을 이용하면 Layout 제작 중 Calibre DRC가 실시간으로 DRC Error를 Highlight해 주며 이는 Final DRC 검증시간을 크게 줄여 줄 수 있다.



HTML Report 기능을 이용하면 전체 DRC Error를 HTML Format으로 제작하여 Physical Data를 전달 하지 않고도 설계/공정 Engineer와 Technical Marketing에서 쉽게 문제점을 파악할 수 있다.



2. Calibre LVS



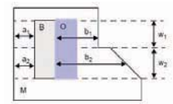
A. 목적 : Layout Verification

B. 구분 : Mentor 사의 Calibre LVS는 IC design등의 Physical Verification Solution을 제공

C. Supported Platform and O/S System

- Solaris (32/64bit) 8,9,10
- HPUX 11 64-bit
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

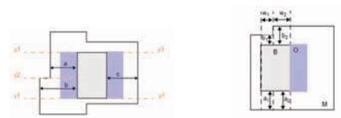
D. 특성 및 기능



Metastability in Hardware

Calibre LVS는 설계자가 작성한 설계도와 그것을 기반으로 제작한 Layout을 서로 비교한다. 이를 위해 설계자가 제작한 Layout Data를 먼저 설계도 Format으로 변경 후 기존의 설계도와 전기적으로 같은 기능을 할 수 있는가를 검증한다.

Calibre LVS는 Virtuoso, Laker, ICC, EDI등 대부분의 Interface가 가능하며, GDSII, OASIS, LEFDEF OA, Milkyway, SPICE, CDL등 다양한 Format을 지원한다.



회 사 명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주 소 : http://www.mentorkr.com/
한국지사 : 한국멘토
전 화 : 031) 8061-0790
주 소 : 경기도 성남시 분당구 판교역로
192번길 12 (삼평동)
판교 미래에셋센터 7층

Part 2

IEEE 1588 PTPv2: 분산시스템 실시간 동기

IEEE 1588 PTPv2: Distributed Real-Time Synchronization

기안도 박사
(주)다이나릿시스템 연구소장
E-mail : adki@dynalith.com
www.dynalith.com

요약
여러 노드들이 지역적으로 분리되어 있고, 각 노드들이 시계를 갖고 있는 시스템에서 동일한 시간을 유지하기 위한 방법이 필요하다. 데이터 통신 네트워크를 이용하여 분산된 시계들의 시간을 동기화하는 방법이 있으나, 실시간 제어 시스템과 같이 보다 정확하고 정밀한 시간동기가 필요한 경우는 새로운 방법이 필요하다. IEEE Std. 1588 PTPv2는 실시간 응용을 위한 시간동기 표준이다. 첫 회에서는 데이터 통신 네트워크를 통한 시간 동기의 일반적인 것을 살펴 보았고, 이번 회에서는 PTPv2에 대해 상세하게 살펴본다.

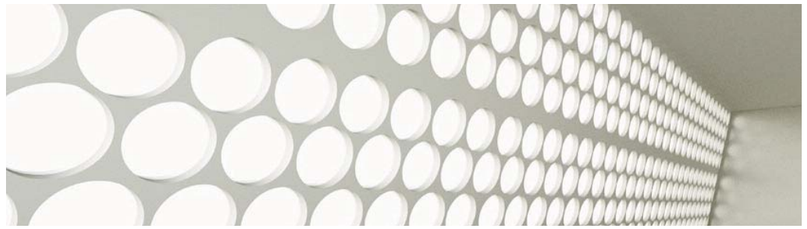
4. PTP

1990년대 말 미국 Agient Technology 사에서 분산된 노드들에서 측정한 데이터 사이의 명확한 시간 순서를 정하는 문제에서 아이디어가 시작되었고, 그 해결 방법이 IEEE 표준안으로 제출되었다. 2002년 11월 IEEE 1588 "IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems"로 표준화되었고, 이후 버전과 구별하기 위해 IEEE 1588v1 또는 PTPv1이라 한다. 2004년 5월, IEC 61588로도 채택되었으며, 이후 학술대회 등에서 IEEE 1588 적용 구현 예들이 시연되었는데 당시 +/-200nsec 이내로 동기화되었으며 +/-50nsec 범위까지 동기되는 경우도 있었다. 이후 새로운 요구사항들을 반영하여 2008년 IEEE 1588 Version 2 (PTPv2)가 새표준으로 채택되었다. PTPv1은 TC (Transparent Clock)과 Pfofile을 지원하지 않으며, 패킷이 상대적으로 길고, 통신 대역폭도 상대적으로 크다. PTPv2는 E2E (End-To-End)와 P2P(Peer-to-Peer) 지연을 포함하는 TC를 허용하고, 활용 응용의 특성을 반영한 Profile 들을 정의하고 있다. 또한 Announce 메시지를 추가로 정의하여 BMC(Best Master Clock) 알고리즘을 통해 재설정을 신속하게 할 수 있도록 하여 장애허용(fault tolerance) 기능이 강화되었다. PTP는 다음과 같은 목적을 갖고 개발되었다.

1. 마이크로초 더 나아가 나노초 수순의 정확성을 제공한다.
2. 구현에 필요한 추가 요소를 최소화하여 고가 장비에서부터 저가 장비까지 쉽게 적용이 가능하도록 한다.
3. 단일 또는 수개의 서브넷에 적용함에 있어 관리의 필요성을 없게 하거나 최소화 한다.
4. 일반적인 기존의 네트웨크에도 손쉽게 적용이 가능하도록 한다.
5. 정확도와 정밀도가 다른 클럭으로 구성되는 불균일(heterogeneous) 시스템에서도 적용이 가능하도록 한다.

참고
REFRENCE

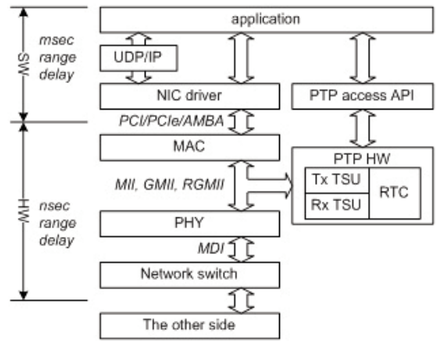
❶ Ando Ki, Ph.D.: adki@dynalith.com



첫째 목적을 위해 RTC와 TSU으로 구성되는 PTP 하드웨어를 사용한다. 둘째 목적을 위해 PTP 하드웨어는 비교적 단순하게 구성할 수 있도록 한다. 셋째 목적을 위해 자동 또는 반자동으로 시간동기가 되게 한다. 넷째 목적을 위해 Ethernet, UDP/IP 등에 적용하는 방법을 규격화 한다. 다섯째 목적을 위해, BCM 알고리즘을 통해 서브넷에서 최적으로 클럭을 선택하여 시간을 동기하도록 한다. PTP는 네트워크 통신을 사용하는 측정 및 제어시스템에서 정확하고 정밀한 시간동기가 가능한 규격이며, 정확도는 마이크로초 이하로 가능하다. 네트워크는 방송기법(broadcasting)을 지원하는 것이어야 하고, Ethernet (Layer 2), DeviceNet, UDP/IP 등에 적용할 수 있다. 특히 측정과 제어분야는 통신(communication)과 계산(computation)이 분리된 분산시스템 관련 기술들을 점점 더 많이 채용하고 있으며, 이런 환경에서 시간동기의 정확성과 정밀도가 중요한 역할을 한다.

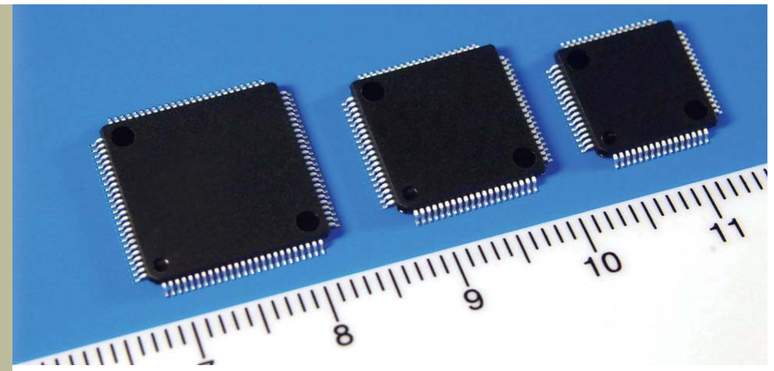
PTP는 패킷전송기반 네트워크에서 수 백 나노초에서 수 마이크로초 단위의 정확하고 정밀한 시간동기를 하기 위해 RTC(Real-Time Clock)와 TSU(Timestamp Unit)으로 구성되는 PTP 하드웨어를 사용한다. PTP 하드웨어는 지연시간의 영향을 최소화하기 위해 가능한 물리적인 네트워크 링크에 가깝게 구현한다. Ethernet 예를 보면, 그림 1과 같이 MAC과 PHY 사이의 MII 또는 GMII를 직접 참조하도록 한다. RTC의 역할은 매우 정밀한 시간 정보를 생성하는 것이고, TSU의 역할은 PTP 관련 메시지 중 사건 메시지(Event Message)에 대해 송신 또는 수신 시점의 시간을 정확하게 측정하여 상위 소프트웨어 또는 메시지 자체에서 사용할 수 있도록 하는 것이다.

그림1
PTP 위치



패킷기반 네트워크 통신에서 시간동기에 영향을 주는 지연요소들을 분류해 보면, 그림 1과 같이 OS(Operating System) 관리를 통해 동작하는 SW 부분은 msec 단위의 지연이 생기고, HW 부분은 nsec 단위의 지연이 생긴다. 비록 매우 정확한 하드웨어 클럭이 시스템에 있다 하여도, SW에서 참조하고 처리하는 과정에서 수msec~수십msec 지연이 생기므로 NTP같은 순수 SW 기법으로 시간을 동기 할 경우, msec 이상으로 정확할 수가 없다.

PTP는 시간을 동기 할 클럭들을 논리적으로 묶어서 도메인(domain)이라 하고, 도메인은 물리적으로 연결된 통신망에서 논리적인 클럭계층구조를 의미한다. 따라서 도메인 내부에서 PTP 규약으로 각 클럭이 동기된다. 이러한 이유로 PTP는 다음 두 단계를 갖는다.



1 [Phase 1] 클럭 도메인 구성: 도메인에서 하나의 마스터클럭을 결정하고 나머지 클럭은 맴버클럭이 된다. 이때 'Announce' 메시지를 사용하고, BMC(Best Master Clock) 알고리즘을 사용한다.

2 [Phase 2] 클럭 동기: 동기관련 메시지를 통해 기간을 동기한다.

클럭 도메인 구성 단계에서 BMCA(Best Master Clock Algorithm)을 통해 크럭마스터와 클럭슬레이브들로 구성되는 계층구조를 형성하는데, 잠재적으로 최정밀마스트클럭(GMC: grand master clock)이 될 클럭들이 'Announce'라는 메시지를 통해 GMC를 결정하며, 이때 다음과 같은 우선순위가 있는 정보를 통해 이루어 지며, BMCA를 통해 각 클럭은 'MASTER', 'SLAVE', 'PASSIVE' 상태로 관리된다.

1 클럭 1차 우선순위 (1st order priority): 8-비트로 지정되며 낮은 값이 높은 우선순위를 갖는다.

2 클럭의 클라스 (class)

3 클럭의 정확도 (accuracy)

4 클럭의 안정도 (stability, variance)

5 클럭 2차 우선순위 (2nd order priority)

6 클럭의 구별자 (unique identifier)

클럭 동기 과정에는 'one-step'과 'two-step' 기법이 있다. 'one-step'은 MAC-PHY를 통해 송신 또는 수신 되는 PTP 관련 메시지의 시간정보 필드를 하드웨어가 자동으로 채우는 기능이 필요하고, 'two-step'은 'Follow_Up'와 'Pdelay_Resp_Follow_Up' 메시지를 사용한다. 즉, 후자는 정확한 시간정보를 'Sync' 메시지가 아닌 'Follow_Up'로 전달한다.
(상세한 것은 그림 2 참고)

- one-step clock: 'Sync' - 'Delay_Req' - 'Delay_Resp'
- two-step clock: 'Sync' - 'Follow_Up' - 'Delay_Req' - 'Delay_Resp'

클럭 동기에는 메시지(또는 메시지를 담고 있는 패킷) 전송에 소요되는 전송지연시간이 정밀하고 정확하게 측정되어야 하며, 이를 위해 두 가지 방법이 가능하다.

- 'Sync' - 'Follow_Up' - 'Delay_Req' - 'Delay_Resp'
- 'Pdelay_Req' - 'Pdelay_Resp' - 'Pdelay_Resp_Follow_Up'

PTP의 경우, 실시간 응용을 위해서는 하드웨어의 도움이 필요하다 . 그림 2은 two-step PTP의 개념적 동작을 정리한 것이다. 시간동기를 위해 클럭마스터가 'Sync' 메시지를 전송한다.

Dynalith Systems

Copyright © 2014 Ando Ki

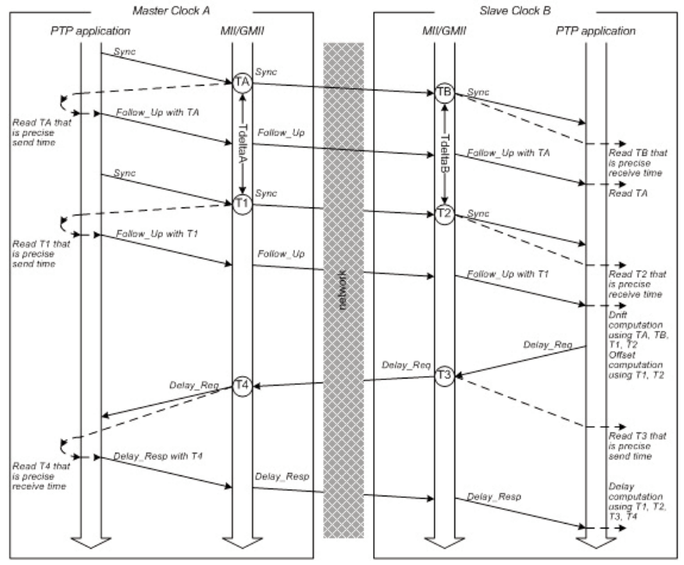
이때 'Sync' 메시지에는 해당 메시지가 전송을 시작한 정확한 시간을 포함하지 않고, 이어지는 'Follow_Up' 메시지에 정확한 시간정보 T1을 전송한다. 이때 하드웨어의 도움을 받아 정확한 시간(T1)을 확보한다. 이를 위해 정밀한 RTC(real-time clock)과 TSU(timestamping unit)이 사용된다. 클럭슬레이브가 'Sync' 메시지를 받은 후, 하드웨어의 도움을 받아 'Sync' 메시지가 도착한 정확한 시간 T2을 확보한다. 그리고 이어지는 'Follow_Up' 메시지에서 T1 시간을 확보한다. 정확한 T1과 T2가 있고, 네트워크의 전송지연 시간을 알고 있다면 클럭마스터의 시간에 클럭슬레이브이 시간을 매우 정확하게 맞출 수 있다. 만약 전송지연시간을 알 필요가 있다면, 클럭슬레이브가 'Delay_Req' 메시지를 클럭마스터로 보내고, 클럭마스터가 회신하는 'Delay_Resp' 메시지를 받는다. 이때 하드웨어의 도움을 받아 확보한 정확한 시간 T3과 T4 그리고 'Sync' 메시지를 통해 확보한 T1과 T2를 이용하면 전송지연을 계산한다. 여기서 클럭슬레이브가 Toffset 만큼 시간이 빠르다고 가정하고, 패킷 전송은 양방향이 동일한 지연 Tpd라고 가정한다.

- Toffset = [T2 + T3 - T1 - T4] / 2
- Tdelay = [(T2 - T1) + (T4 - T3)] / 2

이론적으로 어떤 발진기도 불변의 특성을 가질 수 없고, 다른 발진기들과 동일 할 수 없으므로, 어떤 형태든 상호 보정하는 과정을 통해 동기시킬 필요가 있다. 동기의 기본 동작은 그림 3과 같이 기준시간(ideal clock)에 맞추는 것이고, 일정 주기 간격으로 보정을 한다. 이상적인 클럭인 기준시간은 현실적으로 존재하지 않지만, 여러 GPS를 통해 수신되는 정보를 기준으로 하는 것이 일반적이다. 그림 3에서 스큐(skew)란 클럭들 사이의 차이를 의미하고, 드리프트(drift)는 클럭이 정확한 주파수를 갖지 않아 시간을 정확하게 계산하지 못하는 것을 의미하며, 드리프트율(drift rate)은 그림 3에서 기울기에 해당한다. 따라서 이상적인 클럭은 드리프트율이 1이 되고, 상대적으로 빠른 클럭은 1보다 크고, 상대적으로 느린 클럭은 1보다 작게 된다.

- Tdelay = [(T2 - T1) + (T4 - T3)] / 2

그림2
Two-step PTP의 개념적 동작

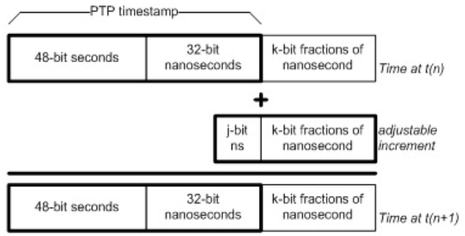


2 마스터로 동작할 수 있는 경우 128을 기본값으로하고, 슬레이브로만 동작할 경우 255로 설정한다.
3 PTP 표준에서는 특별한 하드웨어를 반드시 사용하는 것으로 한정하지는 않지만 순수 소프트웨어로 구현할 경우 정확도를 보장할 수 없다.

4.1 하드웨어 클럭

PTP 규격에서 시간은 48-비트로 구성되는 초와 32-비트로 구성되는 나노초로 표현하며, 시간 동기를 위해 매 클럭에 더해 주는 값을 수정할 수 있도록 구성한다. 그림 3과 같이 t(n) 시점 이후, 하드웨어 클럭이 발생하면 j-비트와 k-비트로 구성되는 증가 값 을 더해서 다음 t(n+1)을 생성한다. 이때 증가 값을 필요에 따라 증가 또는 감소 함으로써 클럭의 드리프트를 보정할 수 있다.

그림3
Conceptual PTP hardware clock



예를 들어 PTP 하드웨어 클럭에 125Mhz를 사용한다면 매 클럭마다 8nsec를 더해 주어야 하지만, 클럭마스터에 비해 시간이 빨라지면 이보다 작은 값을, 시간이 느려지면 이보다 큰 값을 더함으로써 클럭의 차이를 보정한다. PTP 시간은 그림 3의 10-바이트(48-bit + 32-bit)의 값에 따라 결정되고, 10-바이트가 0인 경우를 1970년1월1일 0시로 해석한다.

4.2 PTPv2 클럭의 종류

PTP 클럭은 네트워크 포트 수와 기능에 따라 OC와 CC 두 가지로 구분할 수 있고, CC의 경우 PTPv1에서는 BC만 정의되었으나 PTPv2에서 TC가 추가로 정의되었다.

- 보통클럭(OC: ordinary clock): 네트워크에 연결되는 포트가 하나인 말단 클럭을 통칭하는 것으로 기능에 따라 GMC가 될 수 있다.
  - ⁂ 최상마스트클럭(GMC: grandmaster clock) 또는 마스터클럭(master clock)
  - ⁂ 슬레이브 클럭(slave clock)

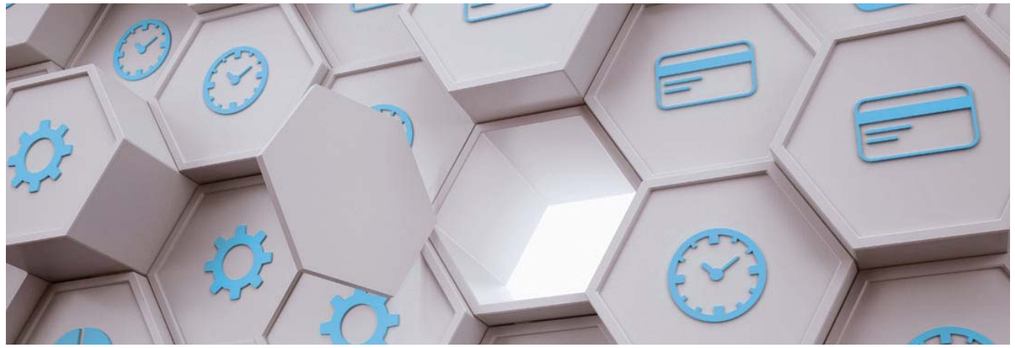
- 연결클럭(CC: connection clock): 네트워크에 연결되는 포트가 두 개 이상인 스위치 또는 라우트에 해당하고, 동기 된 클럭을 제어 등 다른 목적으로 사용하지 않는 경우
  - ⁂ 경계클럭(BC: boundary clock): 네트워크 포트가 마스터 또는 슬레이브로 동작한다.
  - ⁂ 투명클럭(TC: transparent clock): 네트워크 포트는 마스터나 슬레이브로 동작하지 않고, PTP 메시지를 전달하며 이때 필요에 따라 메시지의 일부를 수정한다.
    - ◦ E2E TC (End-to-End TC)
    - ◦ P2P TC (Peer-to-Peer TC)

- 관리노드(Management Node): 시스템을 구성하고 클럭의 상태 등을 모니터링하며, 시간동기에는 직접적으로 참여하지 않는다.

PTP는 클럭 계층구조 구성 단계에서 BMC 알고리즘으로 가장 좋은 클럭이 최상마스터클럭(grand-master clock)로 선택되고, 나머지 클럭들은 슬레이브클럭으로 동작한다. 네트워크에서 스위치와 라우터는 내부에서 큐를 사용하고 패킷을 처리하는 기능이 있기 때문에 입력된 네트워크 패킷이 출력될 때까지 지연이 발생하고, 이는 네트워크 상태에 따라 매우 유동적이다. 따라서 이런 현상을 PTP 시간 동기에 반영할 수 있도록 경계클럭(boundary clock)과 투명클럭(transparent clock)을 정의한다. 경계클럭은 각 포트가 마스트 또는 슬레이브로 독립적인 PTP 상태를 유지하며 동작하고, 슬레이브 포트는 입력된 PTP 메시지를 일단 처리하고, 마스트 포트는 새로운 PTP 메시지를 통해 시간 동기를 한다. 따라서 경계클럭으로 기준으로 클럭 네트워크가 분리된다. 반면 투명클럭은 PTP 메시지 받아서 다른 포트로 전달하며, 이때 PTP 메시지의 헤더에 있는 수정필드(correction field)에 내부 지연을 반영하므로 투명클럭으로 연결된 네트워크는 동일한 클럭네트워크이다.

❹ Toffset = Clock_slave - Clock_master
❺ T2 = T1 + Tpd + Toffset; T4 = T3 + Tpd - Toffset;

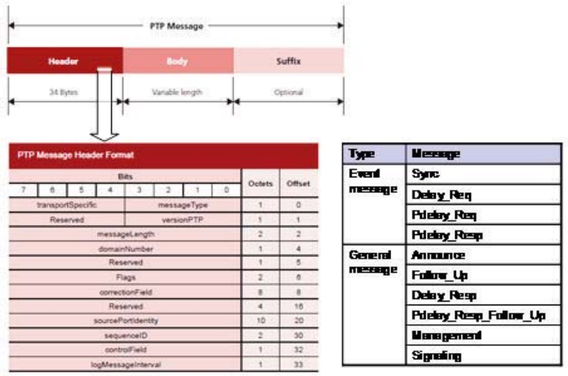
Dynalith Systems
Copyright © 2014 Ando Ki



4.3 메시지 맵핑

PTP는 헤더(header)와 바디(body) 그리고 스픽스(suffix)로 구성되는 독립적인 메시지 구조를 갖고 있다. 메시지 헤드는 34-byte이고, 이어서 메시지 종류에 따라 길이가 변하는 바디 그리고 필요한 경우에만 추가되는 스픽스로 구성된다.

그림4
PTP message structure and types



PTP 메시지를 기존의 통신망에서 제공하는 전송규약(transport protocol)을 통해 상호 주고 받음으로써 시간동기를 구현한다. IEEE 1588에서 정의하고 있는 메시지 맵핑은 다음이 있다.

- IEEE 802.3 (Ethernet): Ethernet 패킷에서 '0x88F7'을 Type-Length 값으로 사용
- UDP over IPv4 or IPv6: UDP port 319와 320을 사용
- DeviceNET
- ControlNET
- PROFINET: IEC 61158 Type 10

그림 5와 같이 PTP 메시지를 Ethernet의 순수 페이로드(payload)로 전송할 수 있고, 이때 Ether-net의 Type-Length 필드 값은 '0x88F7'이다. 아울러 PTP에 참여하는 MAC의 물리주소(phys-ical address)를 사용하지 않고 정해진 도착지 주소를 사용하여 기존 네트워크 구성을 관리하는 부담을 줄이고 있다. 이때 사용하는 물리주소는 다음과 같다.

- 01-1B-19-00-00-00 (delay message)
- 01-80-C2-00-00-0E (peer delay message)

❻ 보정에 사용하는 값의 해상도는 구현에 따라 결정된다. 즉, PTP 클럭을 125Mhz를 사용하면 j-비트는 8ns를 표현할 수있는 범위가 된다.
❼ As MAC multicast address should use higher 25 bits of 01-00-5E-00-00-00, the low 23 bits of the IP address are mapped directly to the low 23 bits in the MAC address.

그림5
PTP message over Ethernet

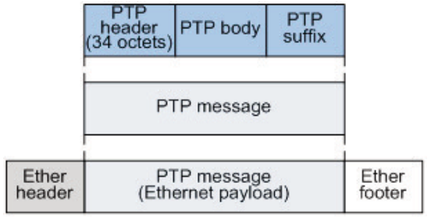


그림 5와 같이 PTP 메시지를 Ethernet의 순수 페이로드(payload)로 전송할 수 있고, 이때 Ethernet의 Type-Length 필드 값은 '0x88F7'이다. 아울러 PTP에 참여하는 MAC의 물리주소(physical address)를 사용하지 않고 정해진 도착지 주소를 사용하여 기존 네트워크 구성을 관리하는 부담을 줄이고 있다. 이때 사용하는 물리주소는 다음과 같다.

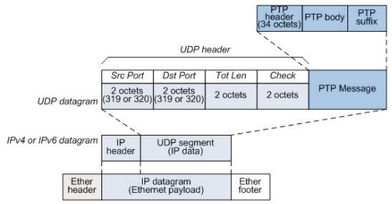
- IPv4
  - 224.0.1.129 (delay message)
  - 224.0.0.107 (peer delay message)

- IPv6
  - FF0x::181 (delay message)
  - FF02::6B (peer delay message)

PTP 메시지가 다중수신(multicasting)용 IP 주소를 사용하기 때문에 IPv4의 경우 다음을 물리주소(physical address)로 사용한다.

- MAC: 01-00-5E-00-01-81 (delay message)
- MAC: 01-00-5E-00-00-6B (peer delay message)

그림6
PTP message over UDP over IPv4



4.4 프로파일과 관련 표준들

PTP는 매우 정밀한 시간동기를 목표로 정리된 표준이며 다양한 선택 및 속성을 갖고 있기 때문에 특정 응용에 적합한 일련의 구성을 프로파일(profile)이라 정의하는데, 이를 통해 동일 응용환경에 사용하는 장비들 사이에 호환성을 보장하기 위함이다. 다음은 IEEE 1588표준에서 기본으로 정하는 프로파일과 PTP를 시간동기의 기본 방법으로 채용하고 있는 응용의 프로파일들이다.

- 기본 프로파일 두 가지: IEEE 1588 Annex J.
  - Delay Request-Response Default PTP profile
  - Peer-to-Peer Default PTP profile

- 전화통신 프로파일(telecom profile): ITU-T G.8265.1, Precision Time Protocol Profile for Frequency Synchronization

❽ The set of allowed Precision Time Protocol (PTP) features applicable to a device.

Dynalith Systems
Copyright © 2014 Ando Ki

- 전력 프로파일(power profile): PSRC (IEEE Power System Relaying Committee), IEEE PC37.238 IEEE Standard Profile for Use of IEEE 1588 Precision Time Protocol in Power System Applications

- AVB(Audio Video Bridging): IEEE 802.1AS, Timing and Synchronization for Time-Sensitive Applications in Bridged Local Area Networks

그림 5와 같이 PTP 메시지를 Ethernet의 순수 페이로드(payload)로 전송할 수 있고, 이때 Ethernet의 Type-Length 필드 값은 '0x88F7'이다. 아울러 PTP에 참여하는 MAC의 물리주소(physical address)를 사용하지 않고 정해진 도착지 주소를 사용하여 기존 네트워크 구성을 관리하는 부담을 줄이고 있다. 이때 사용하는 물리주소는 다음과 같다.

5. 종합

비결정적 특성(non-deterministic characteristic)에도 불구하고 Ethernet 즉 CDMA(Collision Detetction Multiple Access) 기반 패킷통신은 점점 더 많은 응용에 적용되고 있다. 특히 필드버스(field bus)로 통칭되는 산업용 통신에도 Ethernet이 광범위하게 채용되고 있는데, 이들은 정확한 시간동기가 필요한 응용이다. '시험과 측정' 분야에서는 기본적으로 센서들의 정보를 샘플링하고 이들을 처리하는 것인데, 규모를 확장하기 위해서는 분산시스템 형태로 측정과 처리가 가능해야 하며, 이때 동일한 시간정보가 필수적이다. '공장자동화' 분야에서는 효과적인 로봇 제어와 진단 등을 위해서는 시간적으로 잘 조정되어 상호 일사분란하게 제어되어야 하고, 이를 위해서는 일정수준이상의 시간정확도와 시간정밀도가 보장되어야 한다. 아울러 필드버스로 통칭되는 이러한 공장제어용 통신네트워크가 Ethernet 기반으로 바뀌는 추세를 감안할 때 PTP가 반드시 적용될 분야라 할 수 있다. '전력분야'는 발전소가 지역적으로 멀리 떨어져 있고, 각 제어 대상도 규모가 크고, 사고에 따른 위험성이 높기 때문에 제어와 보호 그리고 진단 등이 매우 정확한 시간에 기초해야 한다. 일반적으로 시간동기를 위한 전용 통신 네트워크를 갖고 있으나, Ethernet 기반 통신 및 제어 네트워크에 통합할 필요가 있고, 이러한 분야에 PTP가 매우 적합하다. '통신 및 방송' 분야에서는 정보를 시간 단위로 제어하는 것이 기본이므로 정확하고 정밀한 시간동기가 꼭 필요하고, 음성 또는 정보 통신 사용자도 점점 더 정확한 시간정보를 요구하므로 PTP의 적용이 가능하다. 방송 역시 여러 기지구에서 동일한 시간에 방송하는 등의 목적으로 정확하고 정밀한 동기가 필요하다. '항공 및 위치추적' 분야에서 위치정보는 시간과 연관이 있으므로 정확한 시간동기가 요구된다.

본 고에서는 패킷 통신망으로 연결된 분산 시스템에서 상호 시간을 동기시키는 방법을 살펴보고, 마이크로초(microsecond) 단위의 정확도(accuracy)와 수백나노초(100's nanosecond) 단위의 정밀도(precision)를 갖는 PTPv2(Precision Time Protocol Version 2, IEEE 1588 standard)에 대해 정리하였다. PTVv2는 응용범위가 확대되고 있는 Ethernet 기반 통신망에서 매우 중요한 기능이 될 것이다.

참고자료

- IEEE Std. 1588-2008, IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems, 2008.
- RFC 5905, Network Time Protocol Version 4: Protocol and Algorithms Specification, 2010.6.
- RFC 2030, Simple Network Time Protocol (SNTP) Version 4 for IPv4, IPv6 and OSI, 1996.10.
- F. Cristian, Probabilistic clock synchronization, Distributed Computing, Vol. 3, Issue 3, pp.146-158, Springer, 1989.
- R. Gusella and S. Zatti, The accuracy of the clock synchronization achieved by TEMPO in Berkeley UNIX 4.3.BSD, IEEE Trans. on Software Engineering, Vol. 15, No. 7, pp.847-853, July 1989.
- H. Weibel, Technology Update on IEEE 1588: The Second Edition of the High Precision Clock Synchronization Protocol, Zurich University of Applied Science, 2009.
- J.C. Eidson, Measurement, Control and Communication Using IEEE 1588, Springer, 2010.
- D.L. Mills, Computer Network Time Synchronization, 2nd Edition, CRC Press, 2010.

박 운 상 교수
서강대 컴퓨터공학과

오랜 시간 자신과 싸워야만 하는 길

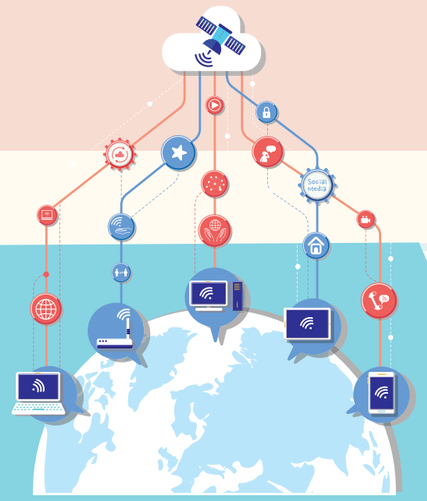
컴퓨터 비전 분야는 문제 자체가 매우 흥미로우며 다양한 응용 분야를 가지고 있지만, 실생활에 응용할 수 있도록 성능을 내기가 쉽지 않아 한동안 답보 상태에 머물렀었다. 하지만 최근 십여 년간 얼굴 검출 등 몇 가지 실용화가 가능한 알고리즘이 개발되면서 학계 및 산업계의 관심이 증가하고 있는 분야다. 이에 컴퓨터 비전, 영상 처리, CCTV 카메라 시스템, 패턴인식에 관한 연구를 진행하고 있는 박운상 교수를 만나 그간의 연구 인생에 대해 들어보았다.

"현재보다 앞으로가 더 기대가 큰 연구 분야"

현재, 서강대학교 컴퓨터공학과 조교수로 재직 중이며, 컴퓨터 비전, 영상 처리, CCTV 카메라 시스템, 패턴인식에 관한 연구를 진행하고 있는 박운상 교수는 아직 해결해야 할 문제가 많이 남아 있고 응용 가능성이 큰 컴퓨터공학 연구 분야 중 하나인 컴퓨터 비전 분야를 전망이 좋은 연구주제로 평가하며 큰 자부심을 보였다.

"학창 시절 짜릿함을 느꼈던 잊지 못할 한 마디 "Amazing""

박운상 교수는 다양한 내용을 담고 있는 이미지 및 비디오 처리에 흥미를 느껴 〈얼굴인식〉, 〈이미지 검색〉, 〈CCTV 영상 처리〉, 〈영상 필터링〉 등의 연구를 석·박사 과정 중에 진행했다고 한다. 그 시절 그는 "좋은 연구 성과를 내서 교수님을 모시고 발표를 하는 미팅 때, 교수님께서 "amazing"을 연발하셨습니다. 그런 칭찬은 그때가 처음이자 마지막이었던 듯합니다."라며 추억을 되새겼다. 그래서인지 그는 석.박사 과정을 진행하고 있는 후배들에게 따뜻한 충고도 잊지 않았다. "석.박사 과정을 하는 동안에는 미래에 대한 불확실성 때문에 연구에 대한 집중도가 떨어지는 경우가 종종 있어요. 좋은 연구를 하려면 오랜 시간 자신과 싸움을 해야 하죠. 자신이 좋아하는 일에 열중하다 보면 나중에 그에 대한 보답이 주어지기 마련이라고 생각합니다." 그러기 위해서 그는 자신의 적성에 맞고 좋아하는 주제를 선택하는 것이 무엇보다 중요하다고 강조했다. 그리고 다른 연구자들의 연구내용을 많이 접하기를 권했다. "저 역시 연구를 진행하면서 많은 어려운 점이 있어요. 그럴 때마다 저는 다른 연구자들의 연구 내용을 참고하면서 진지하게 고민하고 다양한 시도를 통해 극복하곤 합니다."



"도전하고 풀고 응용하고"

마지막으로 반도체 산업에 대한 전망을 묻는 말에 그는 최근 반도체의 성능 개선을 위한 소프트웨어의 중요성이 점차 부각되고 있는 것에 주목했다. "특화된 소프트웨어와 결합하여, 단순한 저장 기능뿐만이 아니라 고속 연산 및 다양한 센서 등으로 기능을 확장해 나간다면 더욱 발전 가능성이 있을 것으로 생각됩니다." 박운상 교수는 〈CCTV 시스템의 지능화를 위한 영상 처리 알고리즘 개발〉을 위한 연구에 도전하고 싶다는 포부도 밝혔다. "CCTV 시스템의 지능화를 위한 영상 처리 알고리즘을 개발하여 현재 단순 녹화용으로만 사용되고 있는 CCTV 시스템들의 활용도를 향상시키고 싶습니다." 기회가 있을 때마다 새로운 문제에 도전하고 다양한 문제를 풀고 그것들을 응용할 수 있는 시스템을 개발할 수 있도록 노력하는 그의 열정에서 신진연구자로서 연구활동에 대한 기대가 전해진다.

문의 서강대학교 공과대학 컴퓨터비전 및 영상처리연구실
전화 02-705-8936 E-mail unsangpark@sogang.ac.kr
Homepage http://cviplab.sogang.ac.kr

11th International SoC Design Conference
Nov. 3-6, 2014, Jeju Island, S.Korea

http://www.isocc.org
Contact : secretary@isocc.org

■ International Organizing Committee
▶ General Chair
Jun Rim Choi (Kyungpook National Univ., Korea)
▶ General Co-Chairs
Jin-Ku Kang (Inha Univ., Korea)
Makoto Ikeda (Univ. of Tokyo, Japan)
Yeo Kiat Seng (Nanyang Tech. Univ., Singapore)
Shyh-Jye (Jerry) Jou (National Chiao Tung Univ., Taiwan)
Jun Jin Kong (Samsung Electronics, Korea)
▶ Conference Secretary
Kyung Ki Kim (Daegu Univ., Korea)

■ Technical Program Committee
▶ Technical Program Chair
Jinwook Burm (Sogang Univ., Korea)
▶ Technical Program Co-Chairs
Ken Choi (Illinois Institute of Tech., USA)
Tony Tae Hyoung Kim (Nanyang Tech. Univ., Singapore)
An-Yeu (Andy) Wu (National Taiwan Univ., Taiwan)

■ A Unique Venue
▶ Seongsan Ilchulbong Tuff Cone

Seongsan Ilchulbong Tuff Cone was created by hydrovolcanic eruptions 100,000 years ago. The peak is a prime spot from which to view the sunrise. It was designated as a natural monument on July 19, 2000; a UNESCO World Natural Heritage site on July 2, 2007; a Global Geopark on October 1, 2010; and one of the New7Wonders of Nature on November 12th, 2011.

▶ Yacht Tour

■ General Purpose Of The Conference
International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2014 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals for special sessions.

■ Conference Theme
The theme for ISOCC 2014 is "SoC for Smart Connectivity". Solutions for providing smart and secure connectivity will need to evolve new approaches to securing the shared resources. ISOCC 2014 is looking for novel SoC solutions to create truly smart connectivity.

■ Paper Submission
A complete 2-page manuscript must be submitted electronically in PDF format (in Standard IEEE double-column format posted on the conference website).
Only electronic submission will be accepted. For more information, please refer to the conference website : http://www.isocc.org

■ Key Dates
- Deadline for submission of special session proposal : June 30, 2014
- Acceptance notice of special session proposal: July 10, 2014
- Deadline for submission of regular session full paper: : July 15, 2014
- Deadline for submission of chip design contest: July 31, 2014
- Deadline for submission of special session full paper: July 31, 2014
- Notification of acceptance (all submitted papers): Sep. 01, 2014
- Deadline for author and early-bird registration: Sep. 15, 2014
- Deadline for submission of accepted papers : Sep.15,2014
- Deadline for chip design contest registration: Sep. 30, 2014

■ Conference Venue
RAMADA PLAZA JEJU HOTEL

■ Topics of Interest
- Analog and Mixed-Signal Circuits
- Analog and Mixed-Signal Techniques
- Data Converters
- High-Speed Signal Interfaces
- Wireline and Wireless ICs (RF ICs)
- Digital VLSI Circuits and Embedded Systems
- Memory Circuits and Embedded Memory
- Digital Circuits and VLSI Architectures
- Multimedia (A/V) Algorithm and SoCs
- Communication SoCs
- Processors / Multi-Core Architectures & Software
- Embedded Systems and Software
- SoC Design Methodology
- HW-SW Co-design
- SoC Testing
- Design Verification
- Signal Integrity / Interconnect Modeling and Simulation
- Low Power & Power Management ICs
- Power Electronics / Energy Harvesting Circuits
- Energy-Aware Systems
- Low Power Design Techniques
- Application Specific SoCs & Emerging Technonogies
- Display Drivers
- Image Sensors
- Sensors and MEMS Circuits
- Biomedical SoCs
- Automotive SoCs
- Nanoelectronic Devices and Circuits
- 3-D SoCs & System-in-Package

From Jeju International Airport
by Taxi: 10 minutes' ride

■ Website: https://www.ramadajeju.co.kr

MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

	회차구분 (공정_년도순서)	모집팀수 ((mmxmm)x 칩수)/회별	정규모집 신청마감	참여팀수 ((mmxmm)x 칩수)	DB 마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1401	(4x4)x48	2013.12.09	(4x4)x18	2014.02.17	2014.08.18	제작완료
	S65-1402		2014.02.03	(4x4)x37	2014.08.25	2015.02.27	DB검토중
	S65-1403		2014.06.02	(4x4)x29	2014.12.15	2015.06.12	설계중
매그나칩/ SK하이닉스 0.18㎛	MS18-1401	(3.8x3.8)x25	2013.12.09	(3.8x3.8)x20	2014.02.24	2014.07.28	제작완료
	MS18-1402		2014.01.06	(3.8x3.8)x25	2014.05.19	2014.10.20	제작중
	MS18-1403		2014.02.03	(3.8x3.8)x22	2014.08.11	2015.01.12	제작중
	MS18-1404		2014.05.05	(3.8x3.8)x25	2014.11.10	2015.04.13	설계중
매그나칩/ SK하이닉스0.35㎛	MS35-1401	(5x4)x20	2014.01.06	(5x4)x20	2014.06.16	2014.10.06	제작중
	MS35-1402		2014.06.02	(5x4)x18	2014.12.01	2015.03.23	설계중
동부0.11㎛	D11-1401	(5x2.5)x24	2013.12.09	(5x2.5)x21 (2.35x2.35)x5	2014.04.02	2014.08.06	제작완료
	D11-1402		2014.04.07	(5x2.5)x18 (2.35x2.35)x12	2014.10.01	2015.02.04	설계중
동부0.18㎛ BCD	D18-1401	(5x2.5)x4	2013.12.09	(5x2.5)x3 (2.35x2.35)x2	2014.03.27	2014.07.02	제작완료
	D18-1402		2013.12.09	(5x2.5)x4	2014.04.30	2014.08.06	제작중
	D18-1403		2014.02.03	(5x2.5)x2 (2.35x2.35)x4	2014.09.14	2015.1.10	설계중
	D18-1404		2014.05.05	(5x2.5)x3 (2.35x2.35)x2	2014.11.05	2015.02.11	설계중
동부0.35㎛ BCD	D35-1401	(5x2.5)x6	2013.12.09	(5x2.5)x6	2014.02.19	2014.05.28	제작완료
	D35-1402		2014.01.06	(5x2.5)x2 (2.35x2.35)x7	2014.05.28	2014.09.03	제작중
	D35-1403		2014.03.03	(5x2.5)x4 (2.35x2.35)x4	2014.09.10	2014.12.17	설계중
	D35-1404		2014.05.05	(5x2.5)x 5 (2.35x2.35)x2	2014.11.19	2015.02.25	설계중
TowerJazz 0.18㎛ BCD	TJB18-1401	(5x2.5)x6	2014.01.06	(5x5)x 3	2014.05.12	2014.09.08	제작완료
	TJB18-1402		2014.04.07	(5x5)x 1	2014.10.20	2015.02.16	설계중
TowerJazz 0.18㎛ CIS	TJC18-1401	(2.5x2.5)x4	2014.01.06	(2.5x2.5)x4	2014.05.05	2014.09.01	제작중
	TJC18-1402		2014.04.07	(2.5x2.5)x4	2014.10.13	2015.02.09	설계중
TowerJazz 0.18㎛ CA18HA	TJR18-1401	(2.5x2.5)x4	2014.01.06	(2.5x2.5)x4	2014.06.23	2014.10.20	제작중
	TJR18-1402		2014.04.07	(2.5x2.5)x4	2014.10.20	2015.02.16	설계중
TowerJazz 0.18㎛SiGe	TJS18-1401	(2.5x2.5)x4	2013.12.09	(2.5x2.5)x4	2014.03.11	2014.07.08	제작완료

* 일정은 사정에 따라 다소 변경될 수 있음.
* 우선/정규 모집은 마감일 2주전부터 신청 가능함
* 회차 표기 방법 변경 : 공정코드-년도 모집순서 [예시] 삼성65nm 2014년1회차:S65-1401]
* Package 제작은 Die out 이후 1개월 소요됨
* 동부와 TowerJazz 공정은 sub chip[5mmX2.5mm 또는 2.35mmX2.35mm]으로 분리하여 모집
* 선정 결과는 모집 마감 후 15일 이내 개별 통보됨
* 2014년 우선모집은 완료됨에 따라 일정에서 제외함
* 기준일 : 2014.8. 28.

* 문의 : 이의숙 (042-350-4428, yslee@dec.or.kr)

2014년 9월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	9월 16일-18일	Design Compiler 사용법 및 활용예	Tool강좌
	9월 23일-25일	PrimeTime 사용법 및 활용예	Tool강좌
	9월 29일-10월 1일	Custom Designer를 활용한 IC 설계 및 분석	설계강좌

- 강좌일 : 9월 16일-18일
- 강좌제목 : Design Compiler 사용법 및 활용예
- 강사 : 조민석 차장 (synopsys)

강좌개요 Use Design Compiler Topographical to: – Synthesize a block-level RTL design – Generate a gate-level netlist which will result in acceptable post-placement timing and congestion.
수강대상 Non-specific, student, engineer
강의수준 초/중급 **강의형태** 이론+실습
사전지식, 선수과목 Basic digital logic design concepts & terminology Reg-to-Reg setup/hold, RTL, Clock, skew, PVT, laternсy Experience of Unix/linux/X-window/vi/tcl

- 강좌일 : 9월 23일-25일
- 강좌 제목 : PrimeTime 사용법 및 활용예
- 강사 : 권영기 이사 (synopsys)

강좌개요 In this workshop you will learn to perform Static Timing Analysis (STA) using PrimeTime by executing the appropriate high-level summary reports to initiate your analysis, customizing and interpreting detailed timing reports for debugging, and exploring and analyzing the clocks that dictate STA results.
수강대상 대학원생, 학부생
강의수준 초급 **강의형태** 이론+실습
사전지식, 선수과목 Synopsys Design Constraints (SDC), Design Compiler 1 training

- 강좌일 : 9월 29일-10월 01일
- 강좌 제목 : Custom Designer를 활용한 IC 설계 및 분석
- 강사 : 박명재 박사 (서울대학교)

강좌개요 집적회로를 설계 및 제작하는 과정에 대하여 이해하고, Custom Designer를 활용하여 집적회로를 설계하는 방법을 익히고 실제로 Flash ADC를 설계하여본다.
* 집적회로 설계 및 제작 과정에 대한 설명
* Custom Designer의 주요 기능 및 활용법에 대한 설명 및 실습
* HSpice를 활용한 회로 분석 방법 설명 및 실습
* Mentor Calibre를 활용한 layout 검증 방법 설명 및 실습

수강대상 아날로그 또는 혼성 신호 시스템 등 트랜지스터 수준에서 집적회로를 Synopsys Custom Designer를 활용하여 설계하는 방법에 관심이 있는 기업체 연구원, 대학원생 및 학부생
강의수준 초급 **강의형태** 이론+실습
사전지식, 선수과목 회로이론, 전자회로

*문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

Chip Design Contest(CDC)

International SoC Design Conference(ISOCC) 2014 Chip Design Contest 개최

* Chip Design Contest(CDC)는 2014 ISOCC 프로그램의 한 세션으로 진행되나, 제출한 논문은 프로시딩(Proceedings)

1. 일정 및 장소
가. 전체 진행 일정 : 2014년 11월 03일 ~ 06일
나. Ramada Plaza Jeju Hotel, 제주
다. CDC 주요 일정

2. 논문 접수 분야 : SoC 설계

논문 제출 마감	논문 채택 통보	Chip Design Contest
2014. 8. 22	2014. 9. 15	2014. 11. 04

* 일정은 사정에 따라 다소 변경될 수 있음.

3. 시상내역

Award명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2개팀 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원
Best Poster Award	5개팀	내외 각 상장 및 상금 20만원

관련사항
* CDC 참여와 관련한 자세한 사항은 홈페이지(http://www.idec.or.kr)를 참조
* 담당 : 구재희(042-350-8536, kjh9@idec.or.kr)

2015년 Working Group 신청 안내

IDEC은 "시스템반도체설계인력양성"과 "핵심 IP 개발"을 위하여 전국 대학의 교수들을 WG(Working Group) 참여교수로 선정하여 지원하고자 합니다.

관심 있는 교수님들의 많은 참여 바랍니다.

■ **지원내용**
- 최신 기술 공정의 MPW 칩 제작 지원(Cell Library 포함)
- EDA Too(25종) 지원
- IDEC 보유 Analog IP 지원
- 기타 IDEC의 다양한 지원

■ **선정 일정**

8. 27 ~ 9. 21 지원신청서 접수 → 9. 29 ~ 9. 30 심사 → 10. 1 선정결과 안내

■ **온라인 작성 : http://idec.or.kr/ 로그인/ WG/ WG 성과 또는 WG 신청서 작성**
■ **문의처 : Tel. 042-350-8533 , E-mail : ejkim@idec.or.kr**

◎ 기존 및 신규로 선정된 참여교수는 선정 이후 3년간 실적이 없을 경우, 지원 중단

* 자세한 사항은 IDEC 홈페이지(http://idec.or.kr)를 참고 바랍니다.

IDEC 논단

제조업 고부가가치화를 위한 우리의 과제

요새 국내 제조업의 미래를 암울하게 예측하는 기사들이 부쩍 쏟아지고 있다. 우리나라를 대표하는 휴대폰 제조업체인 삼성전자가 중국에서 시장점유율 1위를 중국 신생기업 샤오미에 내주었으며, 인도에서도 인도 신생기업에 1위를 내주었다는 기사를 접할 수 있었다. 며칠 뒤에 우리나라 조선 3사가 모두 1조 원 이상의 적자를 내고 있다는 기사가 또 있었다. 무리하게 수주한 해양플랜트의 채산성 악화 때문에 일어난 일이라고 한다. 한때 형광등을 대체하는 에너지 절약형 신 조명으로 전 세계적인 주목을 받고 우리나라도 차세대성장동력으로 주목했던 LED 산업도 동력을 잃어버리기는 마찬가지다. 중국정부의 전략적이고도 집중적인 지원에 의한 가격경쟁력과 대량생산체재로 무섭게 국내시장을 잠식하고 있다. 예전에는 중국산이면 질적인 면에서는 국내산보다 열세에 있다고 스스로 위로를 삼기도 했지만 이제는 품질도 국내산 못지 않게 되었다. 오히려 국내산 제품보다 가격대비 성능이 우수한 제품도 많이 있다.

히든챔피온이란 말을 만들어 낸 독일의 헤르만 지몬 교수는 세계적인 불경기 속에도 무역 흑자를 기록하는 나라들은 모두 제조업이 강한 나라임을 강조한 바 있다. 우리나라는 전체 GDP 중에서 제조업 부가가치가 약 30% 정도를 차지하는 제조업 중심 국가이다. 이런 강한 제조업 근간이 있었기에 IMF 위기를 단기간에 극복할 수 있었으며, 최근의 세계적인 불경기 속에도 지속해서 무역흑자를 유지할 수 있는 것이다. 3년 연속 무역 1조 달러 달성의 금자탑을 쌓을 수 있었던 것도 반도체, 디스플레이, 자동차, 조선, 철강, 화학 등 우리나라 6대 주력산업의 힘이 아닐 수 없다. 최근 정부에서 서비스업 육성 발전전략을 발표하며 수년째 정체된 성장률을 올리려고 하고 있지만, 저자의 생각으로는 꽤 오랫동안 우리나라 산업의 중심은 소재부품과 시스템을 위한 제조업이 차지할 것으로 기대된다.

우리는 지속해서 우리나라 제조업의 국제경쟁력을 유지할 수 있을까? 특히 무섭게 쫓아오는 중국의 추격을 물리칠 수 있을까? 우리나라가 제조업 중심 국가라는 사실이 우리나라의 경쟁력이자 또한 한계인 것 같다. 특히, 규모의 경제와 중국정부의 막대한 후원으로 국제경쟁 우위를 획득한 중국 제조업과의 경쟁에서 이기기 위해서는 우리나라 제조업은 어떻게 해야 할까? 예를 들면, 중국은 자국 LED 산업발전을 위해 생산장비 1대 구입 시 1대 가격의 정부 보조금을 지급한 사실은 공공연한 비밀이다. 중국은 제12차 5개년 계획 (2011~15년)에서 반도체 산업을 육성하기 위해 250억 달러를 투자하기로 한 바 있다. 이 계획안에는 최근 우리가 중요하다고 강조하는 소프트웨어 산업발전 전략도 들어가 있다. 중국 반도체 산업의 경우는 대만과의 협력도 크게 역할을 하는 것으로 보인다. 디스플레이 산업의 경우도 적극적인 중국의 산업육성 정책으로 LCD 패널 생산량이 우리나라를 능가하게 된다. 우리가 국가적 어젠다로 일본산업을 쫓아갔고 드디어 일본을 제치고 1위를 차지한 산업들을 우리를 벤치마킹한 중국에 의해 내주어야 하는 아이러니한 상황이 반복되는 것이다. 중국의 거센 추격으로부터 우리가 우위를 점하고 있는 제조업의 경쟁력을 유지하는 방안은 무엇일까? 가격경쟁 싸움에서는 도저히 중국을 이길 수 없을 것으로 생각된다.

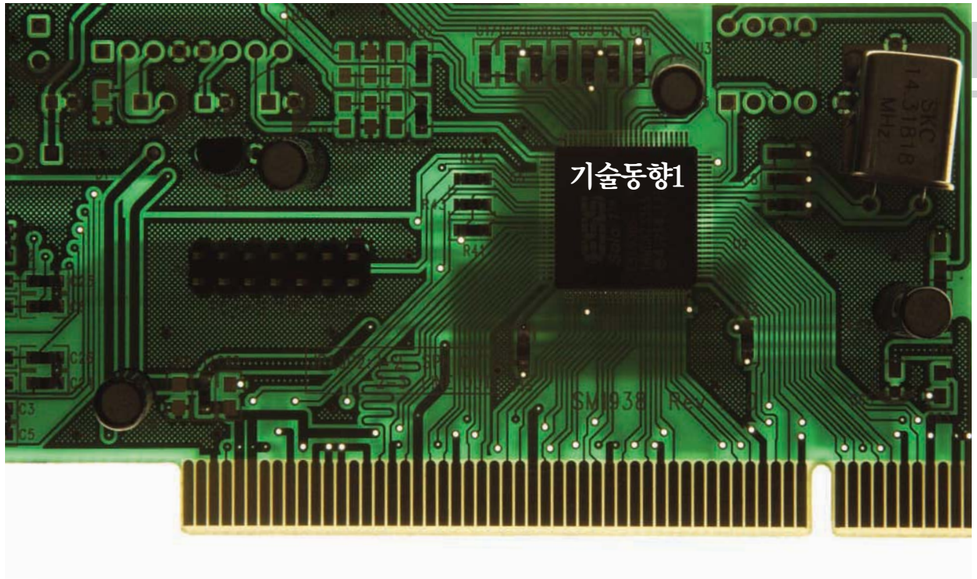
결국은 제조업의 경쟁력을 갖추기 위해서는 제조업의 고부가 가치화가 정답이다. 우선 제품을 만들기 위한 소재와 부품의 고부가가치화를 생각해 볼 수 있다. 철강으로 만든 10만 원 대 자전거보다는 탄소섬유 복합소재로 만든 350만 원대 고부가가치 자전거로 경쟁해야 할 것이다. 각각 소재의 가격은 5천 원과 14만 원이다. 우리나라 LCD 패널도 UHD 패널 쪽으로 이동하고 있고, OLED 패널 쪽으로 무게 중심이 움직이는 것도 중국의 추격을 뿌리치기 위한 전략으로 해석된다. 포스코의 범용 철강제품은 이미 중국제와 비교하면 경쟁력을 잃은 지 이미 오래되었다. 자동차용 고장력 강판, 칼라강판 등 고도의 기술이 요구되는 부품이 대 중국 경쟁력이 있다. 부품도 제조원가를 다투는 범용 부품 경쟁에서는 우리가 중국과 경쟁해서 이길 수 없다. 우리는 부르는 게 값인 부품을 만들어야 할 것이다. 중국에서는 아직 못 만드는 부품을 만들어야 할 것이다. 다행스럽게도 부품산업은 아직도 우리가 경쟁력이 있다고 판단된다. 특히, 소프트웨어가 접목된 부품의 경우 성능의 차별화를 가져올 수 있다. 이를 위한 임베디드 소프트웨어와 시스템 반도체 기술은 우리나라 제조업 고도화를 위한 전략 중의 핵심이다.

산업통상자원부에서 도출한 13대 창조경제 산업엔진 프로젝트 중에서 웨어러블 스마트 디바이스, 수직이착륙 무인비행기, 자율주행자동차, 첨단소재 가공시스템 등의 굵직한 과제에는 모두 핵심 소재와 부품에 대한 R&D가 중요한 부분을 차지하고 있으며, 특히 부품 레벨에서는 차별화된 고부가가치 부품 제작을 위한 임베디드 소프트웨어와 시스템반도체 R&D가 들어가 있다. 미래창조과학부 등 타 부서와 협력이 필요한 분야의 R&D는 기획초기부터 부처 간 협력을 유도하여 시너지를 내기로 하였다. 지능형반도체 분야의 범부처 R&D의 콘트롤타워의 역할을 할 지능형반도체 추친단에서는 우리나라 제조업의 경쟁력 제고를 위한 핵심 부품 제작을 위한 시스템반도체 관련 R&D 프로그램을 만들어 낼 예정이다. 우리나라 제조업의 경쟁력 유지를 위해서는 각 산업에서 필요로 하는 시스템반도체를 함께 개발하는 협력의 문화를 만들어 낼 것으로 기대한다.

독일의 히든챔피온 얘기로 다시 돌아가 보자. 우리나라 제조업의 경쟁을 유지하기 위해서는 현재 잘하고 있는 대기업들은 지속적으로 성장해서 우리나라 제조업의 근간을 유지해 주어야 한다. 아울러 독일의 히든챔피온과 같은 글로벌 경쟁력을 갖춘 중견기업들이 많이 육성되어 튼튼한 허리의 역할을 하여 우리나라 산업생태계를 건강하게 유지해 주어야 한다. 독일의 히든챔피온은 전체 매출의 6% 정도를 R&D에 투자하여 미래에 대비하고 있다. 또한, 지속적인 R&D 투자에 의한 경쟁력 확보를 위해 노력하고 있으며, 원활한 산학연 협력문화를 만들어 오픈 이노베이션 전략을 잘 활용하며, 젊고 유능한 R&D 인력을 지속적으로 공급받고 있다. 기업은 우수한 기술이 있어야 살아남을 수 있으며, 이를 위해서는 R&D가 필수적이며, 이는 결국 우수 인력이 확보되어야 가능한 일이다. 우리나라 중소기업에 우수 인력이 가지 않는다면 그 기업에서 글로벌 시장에서 경쟁력을 발휘할 수 있는 기술이 나올 수 있을까? 올해 통계에 의하면 국내 기업 부설연구소가 3만 개가 있다고 한다. 그러나 그중에서 실제 R&D다운 R&D를 하는 기업은 얼마가 될까? 벤처기업 인증을 받기 위해, 조세감면 혜택을 받기 위한 부설연구소는 없을까? 결국, R&D는 우수 인력이 하는 것이고 우수 인력이 중소기업에 가게 만드는 방안이 필요하다. 젊은 우수 인력이 대기업을 선호하며, 중소기업에 가지 않으려 한다면 이 문제를 젊은 우수인력의 입장에서 보면 어떨까? 문제에 대한 답은 의외로 쉽게 나올 수도 있다. 우수한 젊은이들이 기꺼이 합류할 수 있는 중소기업, 본인이 회사와 함께 성장할 수 있다고 믿는 중소기업, 성장의 과실이 공평하게 분배될 수 있는 중소기업들이 많이 나오기를 기대한다. 특히 제조업 경쟁력의 핵심인 부품의 고부가가치화를 위해 임베디드 소프트웨어 및 시스템반도체 분야와 결합한 핵심부품 중소/중견기업은 세계적인 경쟁력을 가질 수 있으며 젊은 우수인재들이 도전해볼 만하다. 이를 위해서는 더 늦기 전에 국내 대학, 연구소, 팹리스, 파운드리 등의 절박한 마음으로 머리를 맞댈 시점이다.

윤 의 준 주력산업 MD
산업통상자원 R&D전략기획단

* 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.



#02

IDEC
inside2

DRAM과 플래시 메모리의 한계 도달에 따른 차세대 비휘발성 메모리의 R&D 방향

현재의 정보통신 산업은 더 많은 정보를 더욱 빠르게 처리할 수 있는 능력을 갖춘 전자소자를 요구하고 있다. 그에 따라 전자소자의 미세화와 함께 고집적화, 고속화, 및 저전력은 필수적인 연구 분야가 되었다. 특히 경제/산업적 성장에 따라 고용량 정보 저장에 필요한 초고집적화가 가능한 차세대 비휘발성 메모리 소자의 활용이 급격하게 증가할 것으로 기대되고 있다.

이 글에서는 반도체 소자에서 현재 통용되고 있는 DRAM(Dynamic Random Access Memory)과 플래시 메모리가 직면한 한계점과 그를 대체할 차세대 비휘발성 메모리의 종류와 특징을 살펴보고 각 소자의 기술개발 동향과 나아가야 할 방향에 대해서 살펴보고자 한다.

1. DRAM과 플래시 메모리의 한계

메모리 반도체 소자가 등장한 이래로 DRAM은 현재까지 널리 사용되고, 사람들에게 잘 알려져 있다. 그 이유는 DRAM의 빠른 속도, 고집적화, 그에 따른 작은 셀 면적, 긴 수명과 낮은 전력소모 때문이다. 그러나 DRAM은 휘발성 메모리로 데이터를 저장함에 있어 일정한 시간 간격으로 전하를 공급해 주지 않으면 데이터가 손실되므로 전원을 끄면 모든 정보가 사라진다. 이러한 DRAM의 한계로 인해 비휘발성 메모리의 필요성이 대두하게 되었고 그 대안으로 플래시 메모리가 등장하게 되었다. 플래시 메모리가 초기에 DRAM 시장에서 쉽게 진입할 수 있었던 이유는 DRAM과 비슷한 저장 방식과 제조공정을 갖고 있었기 때문이다. 플래시 메모리는 EEPROM(Electrically Erasable Programmable Read-Only Memory)의 일종으로 전기적으로 쓰고 지울 수 있는 메모리이다. 하지만 EEPROM이 두 개의 MOSFET을 갖는 것과 달리 플래시 메모리는 하나의 MOSFET과 하나의 플로팅 게이트를 갖는다는 점에서 EEPROM의 한 단계 진보된 메모리로 볼 수 있다. 플래시 메모리는 DRAM보다 속도가 느려서 주 메모리가 아닌 보조 메모리에 주로 사용되고 있으며, MP3, USB, 디지털카메라 등에 사용되고 있다. 플래시 메모리의 단점은 쓰고 지우는 시간이 오래 걸리며, 수명 또한 DRAM과 비교하여 현저히 떨어지며 저전압 구동이 힘들다는 점이다. 저전압 구동을 하기 위해 전하 펌프 층을 넣어주게 되면 그 공정 과정이 복잡해져 수율이 떨어지고, 제조원가도 상승하게 된다는 점이 이 한계점을 두드러지게 만들었다. 이러한 플래시 메모리의 태생적인 한계로 인해 가까운 미래에는 지금의 플래시 메모리의 자리를 지키기는 어렵게 될 것으로 전망된다.

DRAM과 플래시 메모리의 공통 된 한계점은 나노 기술의 발전으로 인하여 지금까지 크기 측면에서 눈부신 발전을 하였지만, 소자의 크기가 20nm 이하로 작아짐에 따라 소자 제작의 공정상의 어려움이 따른다는 점이다. 그에 따른 수율 또한 감소하고 공정 가격 또한 상승하게 된다. 이러한 한계점에 의해 차세대 메모리의 개발은 메모리 반도체 소자 시장에서의 필수적인 연구 방향이 되었고, 국내외 기업들은 차세대 메모리 개발에 열을 올리고 있는 상황이다. 차세대 메모리의 종류는 무수히 많지만, 그 중 차세대 메모리의 조건인 SRAM의 빠른 스피드와 DRAM의 고집적성, 플래시 메모리의 비휘발성을 결합하여 추후에 시장경쟁 가능성이 있는 차세대 메모리는 FeRAM (Ferroelectric RAM; 강유전체 메모리), PRAM(Phase-change RAM; 상변화 메모리), MRAM(Magnetic RAM; 자기 메모리), ReRAM(Resistance switching RAM; 저항변화 메모리)가 있다. 이 네 가지 차세대 비휘발성 메모리의 특징과 각 소자의 동향과 나아갈 방향에 대해서 살펴보겠다.

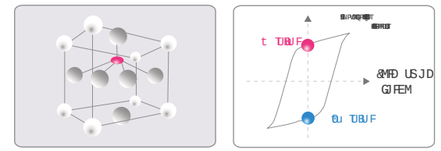
	Volatile memory		Non-volatile memory		Emerging non-volatile memory			
Type	SRAM	DRAM	NOR-FLASH	NAND-FLASH	MRAM	PRAM	FRAM	RRAM
Cell elements	6T	1T1C	1T	1T	1(2)T1R	1T1R or 1D1R[a]	1T1C	1T1R or 1D1R[a]
Cell	Latch	Stack/ trench capacitor	Floating gate/charge trap	Floating gate/charge trap	Magnetoresistance	Phase-change	Polarization-change	Resistance-change
Minimum cell size	$140F^2$	$6F^2$	$10F^2$	$5F^2$	$20F^2$	$4.8(4)F^2$[b]	$22F^2$	$4F^2$[c]
Write/erase time	0.3 ns/ 0.3 ns	<10 ns/ <10 ns	1 ms/ 10 ms	1 ms/ 0.1 ms	10 ns/ 10 ns	20 ns/ 50 ns	10 ns/ 10 ns	5 ns/5 ns [48]
Endurance (cycles)	$>3\times10^{16}$	$>3\times10^{16}$	$>10^5$	$>10^5$	$>3\times10^{16}$	10^8	10^{14}	$>10^{10}$ [49]
Application	Cache	Main memory	Storage	Storage	Storage	Storage	Storage	Storage/Main memory

[a] 1D1R (one-diode and one-resistor) unit cells are employed in passive PRAMs and RRAMs, which are based on crossbar-arrays.
[b] Passive crossbar-array-based PRAMs satisfy a minimum cell size of $4F^2$.
[c] Similar to passive PRAMs, passive RRAMs satisfy a minimum cell size of $4F^2$.

[그림 1] 기존의 메모리와 차세대 메모리의 비교 테이블2

2. 차세대 메모리

2.1 FeRAM(Ferroelectric RAM; 강유전체 메모리)

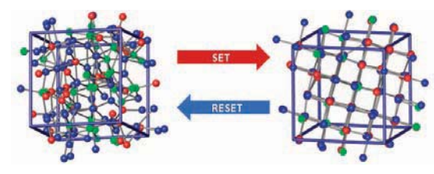


[그림 2] FeRAM의 결정 구조와 히스테리시스 곡선3

FeRAM은 1952년에 MIT에 대학원생 Dudley Allen buck에 의해서 발명이 되었고, 집중적인FeRAM에 대한 연구는 80년대에 들어서 시작이 되었다. FeRAM는 강유전체 물질에 충분하게 강한 전기장을 걸어주게 되면 결과적으로 물질 내부의 분극은 바뀌게 된다. FeRAM은 바뀐 두 개의 분극 상태를 "1" 혹은 "0"으로 읽어 기억하는 것을 이용한 메모리다. 일반적으로 PZT (Pb(Zrx, Ti1-x)O3나 SBT(SrBi2Ta2O9)가 FeRAM에 사용된다. PZT를 예를 들면, PZT는 페로프스카이트(perovskite) 타입의 격자 구조로 되어 있어 중앙에 위치하는 Ti 혹은 Zr 원자의 변위에 의해 분극이 형성된다. PZT를 사이에 둔 캐패시터 양 끝에 전압을 가하면, 가해준 전압에 의해 잔류 전극이 남아 있게 된다. 이 변위는 안정적이기 때문에 1개의 메모리 셀로 1bit를 기억할 수 있는 비휘발성 메모리를 실현할 수 있다3 [그림 2]. 현재 FeRAM은 1T-1C(1 트랜지스터 - 1 캐패시터) 구조로 되어 있으며, 플래시 메모리에 비해서 낮은 전압에서 1,000배 이상 고속으로 정보를 기억하는 장점이 있다. 그러나 하나의 셀의 크기가 커서 고집적화 하는데 어려움이 있다. 그래서 크기 측면에서 DRAM과 플래시 메모리보다 우수한 특성을 갖지 못하였다. 이러한 점에 따라서, 고집적화된 3-D 구조의 FeRAM의 연구 개발이 여러 분야에서 이루어지고 있다. 최근 연구에서 다중강성(강유전성과 강자성을 동시에 띠는 성질) BFO(BiFeO3)를 이용해서 기존의 PZT보다 성능이 뛰어난 3-D 구조의 고집적화 된 FeRAM을 개발하였다4. 하지만 이 3-D 구조의 큰 단점은 공정 과정에서의 복잡함을 피할 수 없고, 균일하게 소자를 증착함에 있어서 어려움을 겪는다는 것이다.

FeRAM의 궁극적인 목표는 DRAM이나 플래시 메모리를 FeRAM으로 대체하는 것에 있으나, 현재 개발 단계에서는 전기소비량이 적은 것과 대용화가 가능한 것 외에 낮은 집적도로 인해서 DRAM과 플래시 메모리를 대체하는 차세대 메모리의 시장 형성 과정에서 조금 뒤처지고 있다. DRAM과 플래시 메모리의 한계점을 뛰어넘기 위해 새로운 공정 방법의 도입과 물질 최적화를 통한 3-D 구조의 구현이 필수적이다.

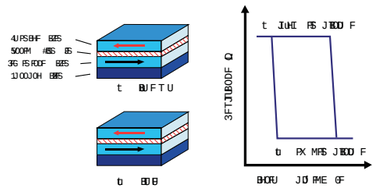
2.2 PRAM(Phase-change RAM; 상변화 메모리)



[그림 3] PRAM의 상변화 모형5

PRAM은 1960년대 Stanford R. Ovshinsky이 칼코게나이드 유리를 연구하던 상변화 현상을 발견하였고, 그 후에 PRAM이라는 명칭으로 확립되어 현재까지 연구 중이며, 일반적으로 칼코겐화합물(chalcogenide)을 사용한다. PRAM의 기본 원리는 칼코겐화합물에 전압이나 전류를 가해줄 때 가열되어 발생하는 줄 열에(Joule heating) 의해서 비정질 상태와 결정질 상태로 변하는 가역적 상변화가 발생하는 것이고, PRAM은 이 성질을 이용하는 메모리이다. 이때의 비정질 상태와 결정질 상태에서의 저항 차를 이용하여 정보를 저장하는 방법으로 사용되는 메모리이다. 현재 통용되고 있는 CD나 DVD 같은 광학적 메모리들은 PRAM의 가역적 상변화 특성을 이용하여 사용되고 있다. 그러나 PRAM은 저항 차를 특성을 이용하는 반면, 광학적 메모리는 상변화의 저항 차를 이용한 것이 아니라 그때 변화하는 반사도의 차이를 이용하여 이용되고 있다. PRAM의 기본 구조는 DRAM과 유사하게 이루어져 있으며, 전하를 저장하는 캐패시터 역할을 칼코겐화합물이 대신한다. 이에 따라 PRAM의 가장 큰 장점은 기존 DRAM의 생산설비를 바꾸지 않고, 바로 생산이 가능하다는 점에 있다. 그에 더해서, PRAM은 비휘발성이면서 DRAM과 SRAM 못지 않게 동작 속도가 빠르므로, 기존의 DRAM, SRAM, 플래시 메모리를 embedded 시켜 활용하는 MCP(Multi Chip Package) 방식에서 PRAM 단일 칩을 사용하여서 크기와 무게, 가격을 크게 낮출 것으로 예상이 된다. 현재 PRAM은 국내외에서 활발히 연구하고 있는 차세대 비휘발성 메모리로 삼성, 하이닉스, 인텔 등 PRAM 시장에서 경쟁이 치열하며, 휴대폰의 NOR 플래시 시장을 대체하면서 점점 시장으로 나오고 있다. PRAM은 차세대 비휘발성 메모리 중에서 상용화에 가장 가까이 다가가 있지만, 아직 상용화를 위해서는 신뢰성 확보 및 기가비트 수준의 집적도를 달성할 수 있는 기술이 개발되어야 한다. 또한, multi-bit 구현을 위해 메모리 어레이 설계 기술 및 메모리 셀의 구성 등에 대한 연구들이 더욱 필요하다.

2.3 MRAM(Magnetic RAM; 자기 메모리)

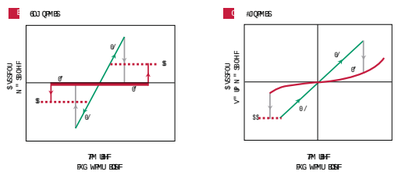


[그림 4] STTMRAM의 구조와 원리 그림과 자기장-저항 곡선6

현재 사용되는 메모리를 대체하기 위한 또 하나의 메모리인 MRAM은 Field-writing MRAM과 STTMRAM(spin-transfer torque MRAM; 스핀변화 자화반전 메모리)으로 나뉜다. Field-writing MRAM은 전류 주위에 자기장을 읽는 메모리로 현재, 16메가 비트까지 상용화되었고, 임베디드(embedded) 형태의 메모리로 사용되고 있지만, 높은 쓰기 전류 때문에 크기를 작게 함에 있어 단점이 있다. 기존 반도체 메모리에서는 전자를 이동시켜 전류를 흐르게 하고 '0' 혹은 '1'로 기억하고 있어서 전력소모와 읽기/쓰기 속도, 단가,

집적도 구현 측면에서 뛰어나다고 할 수 없다. 또한, 집적도를 줄이기 위해 캐패시터의 면적을 줄이는 기술은 이미 한계에 다다랐다. STTMRAM은 전자의 회전 성질을 이용한 MTJ(Magnetic Tunnel Junction; 자기접합터널)를 이용하여 전류의 흐름과 차단을 구현한다. 따라서 MJT의 구성에는 어려움이 요구되지만, 구조가 단순하고 고집적화와 저전력 구현이 가능하다. 하지만 ON/OFF ratio를 증가시킴에 있어 어려움이 있고, 작동 중에 인접한 셀에서의 간섭효과로 인해 발전에 어려움을 겪고 있다. 현재 MRAM은 원천 기술을 보유한 업체인 그랜디스를 합병한 삼성전자와 일본 도시바와 공동 개발을 하고 있는 하이닉스가 STTMRAM의 기술경쟁력을 확보하기 위해 노력하고 있다. STTRAM은 SRAM, DRAM의 장점을 모두 갖고 있으며, 저전력에 비휘발성 특성이 있다. 인접 셀의 간섭효과에 대해서는 전류가 강자성체를 통과할 때 강자성체의 자화방향을 강제로 변화시키는 특성이 발견되면서 전류방향에 따라 MJT 상황을 변화시켜 데이터를 기록함으로써 집적도를 높이고, 셀 간 간섭현상도 사라지는 것을 발견하였다. 이에 정부와 기업에서는 STTMRAM의 상용화를 위해 박차를 가하고 있는 상황이다.

2.4 ReRAM(Resistance switching RAM; 저항변화 메모리



[그림 5] ReRAM의 Unipolar와 Bipolar 특성의 전류-전압 곡선7

저항변화 메모리는 중간층인 절연층에서의 두 개의 구별되는 저항 상태를 "0" 또는 "1"로 기억하는 메모리 소자로서 넓게 보면 PRAM과 MRAM도 저항메모리의 일종이라고 할 수 있다. 하지만 메커니즘과 특성의 차이로 인해서 서로 구분되어 알려져 있다. 일반적으로, ReRAM은 금속-절연체-금속 구조로 이루어져 있으며, 중간층에 금속산화물 혹은 perovskite-type 산화물 등을 사용한다. 하부 전극을 그라운드 상태에 놓고 상부 전극에 전류나 전압을 인가하게 되면 중간층에서의 저항의 변화가 일어나게 된다. 이 고저항 상태와 저저항 상태로 변하는 것을 "0"과 "1"로 구별을 하여 기억하는 메모리 소자이다. ReRAM은 읽기/쓰기의 속도가 플래시 메모리와 비교하여 10만 배 이상 빠르고, 저전압 구동이 가능하며, SRAM의 속도와 견줄 만하다. 그리고 가장 큰 장점은 소자 자체의 단순한 구조로 인해 공정상의 결함을 현저히 줄일 수 있으며, DRAM 및 플래시 메모리보다 생산원가를 크게 낮출 수 있다. 크기 자체로도 간단한 구조인 1D-1R(1 다이오드 - 1 저항) 구조가 가능하여 고집적화에 유리하다. 사실 ReRAM은 1960년대에 Hickmott에 의해서 절연층에서의 저항 변화가 발견되어 연구되었지만, 메커니즘에 대한 신뢰성이 높지 않아서 연구의 속도가 늦어졌다가 1990년대에 들어 다시 활발히 연구가 이뤄졌다. 하지만 ReRAM에 관한 연구들은 같은 물질을 썼음에도 메커니즘을 정확히 규명하지 못하여 연구자들은 ReRAM이 아직 시장화하기에는 시기상조라고 말한다. 현재 삼성전자와 하이닉스에서는 ReRAM의 메커니즘이 정확히 규명되지는 않았지만, 그 뛰어난 성능으로 인해서 꾸준한 연구를 하고 있으며 국외에서는 후지쓰가 ReRAM의 선두주자로 대표되고 있다. ReRAM이 차세대 메모리 소자로서 시장에 진출하기 위해서는 반드시 정확한 메커니즘 규명과 저항변화 물질 최적화 및 공정의 최적화가 필수적이다.

3. 결론

과학 기술은 꾸준히 발전함에 따라 DRAM과 플래시 메모리로 통용되는 현재 반도체 메모리 산업도 DRAM과 플래시 메모리의 집적화에 한계 때문에 언젠가는 차세대 메모리로 대체 될 것이다. 현재는 PRAM과 STTMRAM이 정확한 메커니즘을 가지고, DRAM의 고집적화 SRAM의 속도, 플래시 메모리의 비휘발성 특성이 있어서 차세대 비휘발성 메모리의 시장화에 가장 가깝다. 이 두 메모리에 대해서는 물질과 구조의 최적화만 이루어진다면 현재 DRAM과 플래시 메모리의 주도하에 있는 메모리 시장의 판도를 뒤바꿀 수 있을 것으로 예상한다. ReRAM의 경우에는 저항변화 물질의 최적화와 확실한 메커니즘의 규명을 한다면 다른 차세대 메모리보다 뛰어나고 안정적인 특성으로 인해 시장진입이 가능할 것으로 예상한다. FeRAM의 경우에는 3-D 구조의 구현과 고집적화 문제를 해결한다면 상용화될 수 있을 것이다. 각자의 차세대 메모리는 장점을 가지고 있고, 단점 또한 가지고 있다. 정부와 기업, 학교에서 연구를 계속하고 개발을 하다 보면 현재의 DRAM과 플래시 메모리의 한계를 뛰어넘는 이용방안과 시장이 열릴 것을 기대한다.

주 병 권 교수
소속 : 고려대학교 전기전자공학과
연구분야 : OLED, Memory, Flexible device, Thin Film Transistors, Laser Interference Lithography, Si Transfer Printing
bkju@korea.ac.kr
www.diana.korea.ac.kr

염 승 원 석박사통합과정
소속 : 고려대학교 전기전자공학과
연구분야 : Flexible Emerging Memory
ysimon@korea.ac.kr

참고문헌

[1] D. S. Jeong, R. Thomas, R. S. Katiyar, J. F. Scott, H. Kohlstedt, A. Petraru and C. S. Hwang, Reports on Progress in Physics 75 (7) (2012). [그림 1]

[2] International Technology Roadmap for Semiconductors 2013 Edition. http://www.itrs.net

[3] Fan H J, Kawasaki S, Gregg J M, Langner A, Leedham T and Scott J F 2008 Mater. Res. Soc. Symp. Proc. 1071 201

[4] http://www.lapis-semi.com/ [그림 2]

[5] J. Hegedus and S. R. Elliott, Nature Materials 7 (5), 399-405 (2008). [그림 3]

[6] New Samsung Open Innovation Program For STT-MRAM Technology – An Interview With Alexander Driskill-Smith http://www.azom.com/ [그림 4]

[7] R. Waser and M. Aono, Nature Materials 6 (11), 833-840 (2007). [그림 5]

2014
IDEC SoC Congress

일시 : 2014. 10. 06 (월) 09:50~18:00
장소 : 서울대학교 (호암교수회관 내)

IDEC SoC Congress(ISC)는

대학 Working Group(WG)과 연계하여 진행한 **반도체 설계 IP 등 주요 성과**에 대해 핵심적인 내용을 중심으로 **소개 · 전시**와 더불어 **SoC 설계 인력 양성**에 관하여 현재 상황에 대해 교수님과 학생뿐만 아니라 **관련 기업과 정부 관계자를 모시고 함께 논의**할 수 있는 자리를 마련하고자 준비한 행사입니다. **SoC 분야 인력 양성**에 대해 발전적 방향을 논의하기 위한 초석이 되는 자리가 되도록 **많은 분들이 참여하여 고견 주시기를 부탁** 드립니다.

■ 세부 진행 일정

구 분	Session I	Session II
09:20 ~ 09:50	Registration	10:00 ~ 16:00 (1F/2F 로비) [IDEC 성과] - MPW 설계물 전시(CDC) [관계기관 전시] - 공정사 홍보 - EDA tool Vendor 소개
09:50 ~ 10:00	Opening	
10:00 ~ 11:20	[성과 발표 I] - MPW 설계 내역 (WG 연구 개발 IP 소개)	
11:20 ~ 12:10	[최신 동향 세미나] - IoT (인텔코리아 이희성 대표)	
12:10 ~ 13:10	점심식사	
13:10 ~ 14:00	[최신 동향 세미나] - 웨어러블 디바이스 (박용인 전무, 삼성전자)	
14:00 ~ 15:20	[성과 발표 II] - MPW 설계 내역 (WG 연구 개발 IP 소개)	
15:20 ~ 15:50	Break Time_전시 관람	
15:50 ~ 16:30	[사업 내용 발표 및 관련 시상] - IDEC 사업 수행 내용 및 성과 발표 - 시상 : 우수 WG, 우수 강사, 우수 설계팀	
16:30 ~ 18:00	[포럼 진행] - 참석 : 대학-기업-정부 관계자 - 주제 : 시스템반도체 인력양성 방향과 IDEC 연구지원 현안 관련 논의	

■ 주 최 : 미래창조과학부 / 산업통상자원부
■ 주 관 : 반도체설계교육센터(IDEC) / 서울대학교
■ 문의처 : 042-350-4428 / http://idec.or.kr / yslee@idec.or.kr

반도체설계교육센터
IC DESIGN EDUCATION CENTER

#03

IDEC inside3

기술동향2

유도 결합을 이용한 근거리 무선 통신

inductive-coupling interface

인텔의 공동설립자 중 하나인 Gordon E. Moore는 1960년대 당시의 집적회로 칩에 포함되는 총 트랜지스터 수의 변화추세를 기반으로 Moore의 법칙을 제안하였다 [1]. 약 2년의 시간이 지날 때마다 칩당 총 트랜지스터 수가 2배씩 기하급수적으로 변한다는 이 법칙은 눈부신 반도체 산업의 발전에 힘입어 놀랍게도 50년 정도가 지난 지금까지도 지켜져 오고 있다(그림 1).

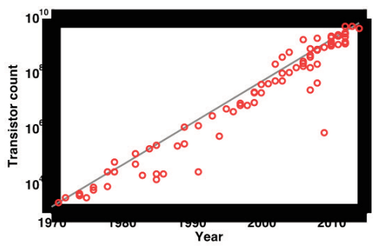


그림1. Moore의 법칙: 마이크로프로세서당 총 트랜지스터 수

이러한 기하급수적 트랜지스터 수의 증가는 매우 빠른 칩 내부에서의 동작 속도(수십 Gbps)를 가능케 하였다. 이러한 빠른 칩 내부에서의 속도를 최대한 활용하기 위해서는 칩과 칩 사이의 통신도 매우 빠른 속도로 이루어져야 한다. 그러나 안타깝게도 칩과 칩 사이의 통신을 가능케 하는 인터페이스 (chip-to-chip interface) 속도의 발전은 칩 내부 속도의 발전에 비해 상대적으로 느리게 진행되어, 결국 칩과 칩 사이의 통신이 전체 시스템의 속도를 제한하게 되는 결과를 초래하였다.

칩과 칩 사이의 통신 속도를 제한하는 가장 큰 원인은 칩과 칩을 물리적으로 연결하는 인터페이스가 가지는 큰 기생 커패시턴스이다. 예를 들어, 칩을 외부와 연결하기 위해 사용되는 금속판인 패드(pad)는 본드와이어(bond wire)와의 안정적인 연결을 위해 그 크기가 트랜지스터의 크기가 줄어드는 속도에 비례하여 줄어들 수 없는 문제점이 있다. 큰 크기와 더불어, 패드는 정전기로 인한 칩 내부 회로의 손상을 방지하기 위한 ESD(electrostatic discharge) 보호 회로를 포함하는데 이 ESD 회로 또한 큰 기생 커패시턴스를 가진다. 이처럼 패드에 존재하는 큰 기생 커패시터는 칩과 칩 사이의 통신 속도를 제한하는 주된 원인이 된다.

유도 결합 인터페이스(inductive-coupling interface)는 이러한 문제점을 극복하기 위하여 패드를 통한 물리적 연결에 의존한 통신 대신, 인덕터 사이의 유도 결합(그림 2)을 이용하여 무선으로 데이터 또는 전력을 주고받는다. 이러한 방식은 패드를 제거함으로써 패드로부터 발생하는 큰 기생 커패시턴스를 피할 수 있어 칩과 칩 사이의 통신 속도를 획기적으로 높일 수 있는 장점이 있다. 이 외에도, 칩 전체를 완전히 밀봉(sealing)하여 산소, 습도, 또는 먼지로 인한 손상으로부터 칩을 보호하여 칩의 수명(lifetime)을 획기적으로 늘릴 수 있는 장점이 있다.

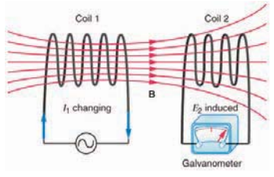


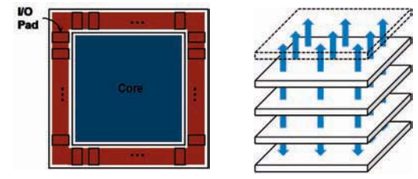
그림2. 유도 결합의 원리 [2]

본론

이러한 유도 결합 인터페이스를 사용한 칩과 칩 사이의 근거리 무선 통신은 다양한 분야에 응용될 수 있다. 그중에서도 특히 최근 많은 관심을 받고 있는 분야가 TCI(through chip interface), 비접촉 메모리(non-contact memory), 그리고 웨이퍼 레벨 칩 테스트(wafer-level chip testing)이다. 본 글에서는 이 세 분야에서 유도 결합 인터페이스가 어떻게 사용될 수 있는지 간단히 살펴보고자 한다.

1) TCI (through chip interface)

그림 3(a)는 현재 널리 사용되고 있는 패드를 이용한 2D I/O 인터페이스를 보여준다. 파란색으로 표시된 코어(core) 부분은 칩 내부의 집적회로 부분으로 트랜지스터의 크기가 줄어듦에 따라 더 많은 양의 트랜지스터를 집적할 수 있고 그에 비례하여 동작 속도도 증가시킬 수 있다. 즉, 반도체 공정의 감소 계수(scaling factor) α 가 길이에 대한 값임을 고려해 보면, 동작 속도는 면적에 비례하므로 α 2만큼 증가할 수 있다. 이에 반해, 붉은색으로 보인 I/O 패드의 위치는 칩의 가장자리를 따라 길이로 늘어서기 때문에 속도가 α 만큼만 증가할 수 있다. 그러나 실제로는 패드 크기가 공정의 감소 계수보다 줄어드는 비율이 더 낮기 때문에 현실적으로 I/O 부분에서 반도체 공정의 감소로 인해 얻을 수 있는 속도 증가는α 배에 미치지 못한다. 따라서 공정의 발달이 진행될수록 전체 시스템의 속도는 칩 내부 동작 속도가 아닌 I/O 인터페이스의 속도에 의해 제한이 되게 된다.

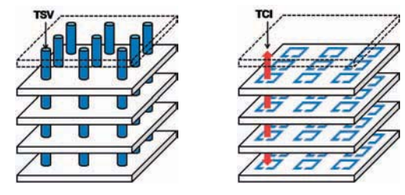


(a) 2D I/O 인터페이스 (b) 3D I/O 인터페이스

그림3. 2D와 3D I/O 인터페이스 비교

이러한 문제점을 극복하기 위해 최근에는 그림 3(b)와 같은 3D I/O 인터페이스를 사용하여 칩과 칩 사이의 통신을 하는 방식이 제안되었다. 3D I/O 인터페이스는 2D의 경우와는 달리 면적을 활용할 수 있어, 보다 효율적으로 반도체 공정의 감소 계수에 따라 I/O 속도를 증가시킬 수 있는 장점이 있다.

3D I/O 인터페이스를 구현하는 방식에는 크게 두 가지가 있다. 그림 4(a)와 (b)는 각각 이 두 가지 방식인 TSV(through silicon via)와 TCI(through chip interface)를 보여준다. TSV는 가장 직관적인 방법으로 칩을 뚫고 비아(via)를 삽입하여 물리적 연결을 통한 칩과 칩 사이의 통신을 가능케 하는 방식이다. 그러나 이러한 구조를 구현하기 위해서는 특수한 반도체 공정이 필요로 되어 칩을 제작하면서 비용이 증가하게 되는 단점이 있다. 또한, 물리적 연결에 의존하기 때문에 기생 커패시터가 큰 ESD 보호 회로를 필요로 하여 속도에 제한을 받을 수 있다는 단점이 있다.



(a) TSV (through silicon via) (b) TCI (through chip interface)

그림4. 3D I/O 인터페이스의 구현 방식

이에 반해, TCI는 인덕터에 기반을 둔 유도 결합 인터페이스를 사용하여 칩과 칩 사이의 3D 통신을 가능케 한다. 이 경우 인덕터가 기존 반도체 공정의 가장 높은 금속층(top metal layer)을 이용하여 구현될 수 있으므로 별도의 특별한 반도체 공정이 필요하지 않아 TSV에 비해 크게 비용을 절감할 수 있는 장점이 있다. 또한, TCI는 물리적 연결에 의존하지 않으므로 ESD 보호 회로를 제거할 수 있어 통신 속도를 크게 향상시킬 수 있다.

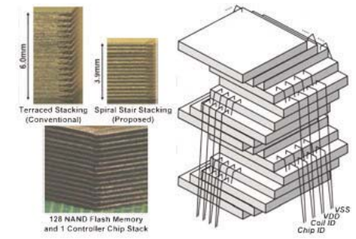


그림5. TCI를 이용한 3D I/O 인터페이스의 예 [3]

그림 5는 TCI를 이용하여 3D I/O 인터페이스를 구현한 예를 보여준다. 이처럼 TCI를 통해 최대 129개의 칩이 층층이 쌓여 서로 통신할 수 있음이 보였으며 [3], 속도 측면에서는 최대 8 Tbps의 속도를 달성하였다 [4]. TCI의 경우 데이터는 유도 결합 인터페이스를 이용하여 주고받으나, 전력은 더욱 안정적이고 효율적인 전력 공급을 위해 와이어본딩(wire-bonding)을 이용하여 전송한다.

2) 비접촉 메모리(non-contact memory)

비접촉 메모리는 유도 결합 인터페이스를 이용해 데이터와 전력을 주고받는 방식의 메모리를 일컫는다. 본 글에서는 많은 양의 정보를 여러 세대에 걸쳐 보존하기 위한 장치인 digital Rosetta stone과 기존의 SD 메모리 카드를 대체할 수 있는 비접촉 메모리 카드(non-contact memory card)를 소개한다.

Digital Rosetta stone [5]

인류는 전 세계에 걸친 방대한 양의 문화유산을 디지털 미디어의 형태로 보존하기 위한 노력을 해왔으며 그중 한 예로 World Digital Library(www.wdl.org)를 들 수 있다. 그러나 이러한 방대한 양의 정보를 수천 년에 걸쳐 보존하는 것은 쉽지 않다.

유도 결합 인터페이스는 데이터를 저장하고 있는 마스크 롬(Mask ROM)을 완벽하게 밀봉(sealing)하는 것을 가능케 하여, 먼지, 습기, 산소로 인한 부식 및 손상을 최소화함으로써 메모리의 수명을 수천 년까지 연장할 수 있게 한다 [5]. 그림 6은 유도 결합 인터페이스를 사용한 데이터 저장 장치인 digital Rosetta stone의 개념도이다. 그림에서 볼 수 있듯, 전력은 금속 패드를 이용하여 공급했던TCI의 경우와는 달리 마스크 롬을 완벽하게 밀봉하기 위해서는 데이터와 전력을 동시에 유도 결합 인터페이스를 통하여 주고받아야 한다. 따라서 전력을 무선으로 안정적이고 높은 효율로 공급하는 것이 중요하다.

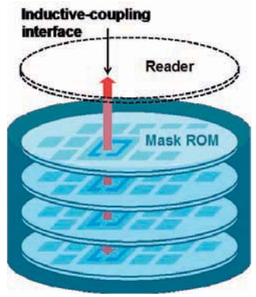


그림6. Digital Rosetta stone의 개념도

비접촉 메모리 카드 [6]

비접촉 메모리 카드는 기존의 상용화 된 SD카드의 금속 패드 부분을 모두 유도 결합 인터페이스로 대체한 형태의 메모리 카드이다. 그림 7은 비접촉 메모리 카드의 개념도를 보여준다. 비접촉 메모리 카드는 금속 패드를 모두 제거하여, 카드를 완전히 밀봉함으로써 메모리의 수명을 획기적으로 늘리고, ESD 보호 회로를 없애 데이터 전송 속도를 개선하며, 마지막으로 메모리 카드를 리더에 꽂고 빼는 과정에서 패드가 마모되는 것을 막아 메모리 카드 자체의 수명을 늘릴 수 있는 장점이 있다. 그러나 메모리 카드의 경우 전력 소모의 양이 시간에 따라 급격하게 변화할 수 있고 소모 전력의 변동 폭이 넓어 높은 효율로 전력을 전송하는 데 어려움이 있을 수 있다. 따라서 그림에서 보이듯, [6]에서는 마그네틱 코어(magnetic core)를 이용하여 효율을 높이는 방안을 제시하였다.

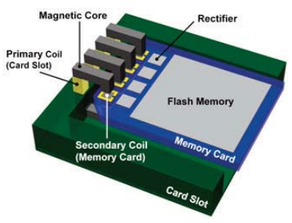


그림7. 비접촉 메모리 카드의 개념도

3) 유도 결합 인터페이스 기반 웨이퍼 레벨 테스팅

웨이퍼 레벨 테스팅은 반도체 공정의 진행 이후 웨이퍼 상에서 결점(defect)이 있는 칩을 조기에 발견하고 제거함으로써 칩 제작 비용을 절감하는 기술 중 하나이다. 기존에는 이를 위해 침(needle) 형태의 프로브(probe)를 이용하여 전력과 데이터를 전송하는 방식을 사용하였다. 그러나 이 경우 여러 개의 프로브가 동시에 패드에 정확하게 연결되기 어렵기 때문에 동시에 여러 개의 칩을 테스트(parallel testing) 하는 것이 어렵고, 물리적인 힘을 웨이퍼에 가함으로써 웨이퍼에 손상을 가져올 수 있는 문제점이 있다.

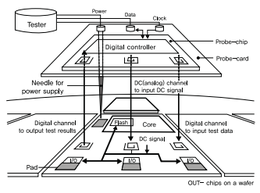


그림8. 유도 결합 인터페이스 기반 웨이퍼 레벨 테스팅 [7]

그림 8은 유도 결합 인터페이스 기반 웨이퍼 레벨 테스팅의 한 예를 보여준다. 유도 결합 인터페이스 기반 웨이퍼 레벨 테스팅은 대부분 프로브 또는 모든 프로브를 유도 결합 인터페이스로 대체한 방식이다. 이 경우 물리적 연결을 필요로 하지 않기 때문에 두 장의 웨이퍼(테스트 실행용 웨이퍼와 테스트 되는 웨이퍼)를 겹쳐 웨이퍼 상의 여러 칩을 동시에 테스트함으로써 테스트 비용을 획기적으로 절감할 수 있는 장점이 있다. 또한, 물리적 힘을 웨이퍼에 가하지 않기 때문에 이에 따른 웨이퍼의 손상도 피할 수 있다. 그러나 여러 개의 칩을 동시에 테스트 하기 위해서는 높은 전력을 공급해야 하는 어려움이 있다 [8].

앞서 살펴보았듯, 유도 결합 인터페이스는 전송 속도를 높이고, 칩을 완전히 밀봉함으로써 수명을 획기적으로 연장하는 한편, 물리적 연결로부터 오는 손상을 피할 수 있는 장점을 가지고 있다. 이러한 유도 결합 인터페이스의 개발은 앞서 소개한 애플리케이션 외에도 수많은 응용 범위들이 있으며 전력 공급에서의 효율성을 더 향상시킬 수 있다면, 향후 발전 가능성이 아주 높은 분야라고 생각된다.

정 하 연 교수
소속 : 고려대학교 전기전자공학과
연구분야 : 혼성신호 집적회로 설계
hcchung@korea.ac.kr

참고문헌

[1] G. E. Moore, "Cramming more components onto integrated circuits," Electronics, vol. 38, pp. 114-117, 1965.

[2] E. Christensen. [2013, Sep 11]. College Physics II. [online]. Available: http://cnx.org

[3] M. Saito, N. Miura, and T. Kuroda, "A 2Gb/s 1.8pJ/b/chip inductive coupling through-chip bus for 128-die NAND-flash memory stacking," in IEEE ISSCC Dig. Tech. Papers, Feb. 2010, pp. 440-441.

[4] N. Miura, et al., "An 8Tb/s 1pJ/b 0.8mm2/Tb/s QDR inductive-coupling interface between 65nm CMOS GPU and 0.1μm DRAM," in IEEE ISSCC Dig. Tech. Papers, Feb. 2010, pp. 436-437.

[5] Y. Yuxiang, et al., "Digital Rosetta stone: A sealed permanent memory with inductive-coupling power and data link," in Dig. Symp. VLSI Circuits, Jun. 2009, pp. 26-27.

[6] H. Chung, et al., "A 0.025–0.45 W 60%-efficiency inductive-coupling power transceiver with 5-Bit dual-frequency feedforward control for non-contact memory cards," IEEE J. Solid-State Circuits, vol. 47, no. 10, pp. 2496–2504, Oct. 2012

[7] Y. Yoshida, et al., "Wireless DC voltage transmission using inductive coupling channel for highly-parallel wafer-level testing," in IEEE ISSCC Dig. Tech. Papers, Feb. 2009, pp. 470-471.

[8] A. Radecki, et al., "6W/25mm2 inductive power transfer for non-contact wafer-level testing," in IEEE ISSCC Dig. Tech. Papers, Feb. 2011, pp. 230-231.

#04

IDEC
inside4

UX중심으로 살펴본 사물인터넷의 현재와 미래

스마트폰이 활성화되어 있는 세상에서 직장인 홍길동 씨의 요즘 하루는 심심할 여지가 없습니다. 홍길동 씨는 최근 일상을 다음과 같이 말하곤 합니다.

"아침에 일어날 때 스마트폰에 설정된 알람을 울려주고, 내가 푹 잤는지, 건강 상태는 양호한지를 앱을 통해 언제든 확인할 수 있습니다. 출퇴근하면서 간밤에 있었던 혹은 아침에 일어났던 모든 일은 쉽게 뉴스, SNS를 통해 접할 수 있기도 하죠. 내 일상에서 많은 사람과 공유하고 싶은 일은 언제든지 알릴 수 있는 공간이 있고, 사건 사고는 언론 매체보다 더 이른 시간에 접하고 현상을 파악할 수 있습니다. 외국에 사는 친구나 동료와 언제 어디서든 화상채팅을 통하여 얼굴을 보면서 대화를 나눌 수 있다 보니, 몇 년씩 한국에 있지 않았던 친구라도 마치 어제 본 친구처럼 무슨 일이 있었는지를 알 수 있습니다. 요즘 미국 유수 대학의 MBA 과정을 이수할까라는 욕심도 생기는데, 유명한 강의는 모두 동영상으로 볼 수 있습니다. 어학도 공부할 겸, 미리 어떤 내용을 말하는지도 알 수 있으니 더욱 힘이 납니다."

지금까지 홍길동 씨가 말한 모든 내용을 가만 생각해보면, 왜 이런 말을 하게 되는지 쉽게 알 수 있을 것입니다. 바로 2010년부터 ICT 업계의 가장 큰 화두인 모바일 플랫폼이 가져온 우리 삶의 변화죠. 스마트폰, 태블릿 PC 등에 우리는 열광해왔고, 애플과 구글은 iOS와 안드로이드라는 대표 플랫폼으로 업계의 주도권을 잡기 위한 치열한 경쟁을 벌여왔습니다. 그런데 이러한 주도권 경쟁이 사실은 빙산의 일각이라고 이야기한다면 믿을 수 있을까요? 사실 지금까지 발전해온 모바일 플랫폼은 더 편리하고 발전된 세상이 열리기 위한 통로와 같습니다. 지금부터 설명하려는 웨어러블과 사물 인터넷은 바로 이 편리하고 발전된 세상을 실현시키는 새로운 흐름이죠. 위에서 이야기했던 것이 웨어러블과 사물 인터넷이 만난다면 더욱더 신기한 세상을 만들 수가 있습니다. 기대되지 않나요?

IoT(사물인터넷)은 하드웨어와 소프트웨어가 같이 융합적으로 만나는 것입니다. 다른 말로는 IT서비스와 제조산업의 융합이라고 할 수 있습니다. 사실 이는 쉽지 않은 것입니다. 모든 융합이 그러하듯 IT서비스 사람들은 제조에 대해 지식이 없으며, 제조하던 사람들은 IT서비스에 대해 지식이 많이 부족한 상황이며, 이제까지 함께 작업을 진행하는 것들은 거의 없던 것이 사실입니다. 그러므로 IoT는 사회 전반에 대해서 큰 변화를 줄 것이 분명합니다.

송 태 민
어비팩토리 대표

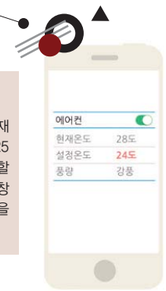
LG전자에서는 '홈챗(Homechat)' 서비스가 있습니다. 이는 스마트폰 앱인 메신저 '라인(LINE)'에 가전제품을 친구로 등록만 하면 채팅을 하듯이 일상언어로 제어할 수 있게 해 접근성과 재미요소를 높였습니다. '에어컨 켜!!'라고 말하면 '현재 온도는 29도예요. 희망온도 25도 강풍으로 냉방운전을 시작할게요~' 라고 친구처럼 채팅창으로 상태 및 작동 현황 등을 알려주는 방식입니다. 사실 가전제품 업계는 기존 홈네트워크라는 개념으로 전화로 제어 혹은 집안에 있는 리모컨으로 제어하는 방식은 있었으나 크게 시장의 반응을 얻지 못했습니다. 사물인터넷이 오랜 기간 성장 정체에 빠진 국내외 가전제품시장에 새로운 성장동력을 제공할 수 있는 기술이 될 수 있습니다. 이런 대기업에서 현재 나오고 있는 것은 대표적인 사물인터넷의 개념을 정확하게 이해시키기에 좋은 방법으로 보입니다. 하지만 한 번 더 고려할 것이 있습니다.

만약 위와 같은 서비스가 실제 존재한다고 하면 어떨까요? 사실 매우 불편합니다.
이유는 다음의 이미지를 보면 쉽게 알 수 있습니다.

채팅처럼 일일이 물어보는 것보다는 한눈에 에어컨의 상태를 볼 수 있고 한 번의 터치로 제어할 수 있는 것이 사용성은 훨씬 좋습니다. 그래도 우선은 저런 방식의 아닌 채팅으로 하는 이유는 무엇일까요? 바로 사물인터넷 세상이 일반 사람들에게도 사물인터넷이 무엇인지 알 수 있도록 해주는 과도기 이기 때문에 더욱 감성적인 소통이 필요하기 때문입니다. 사실 현시점은 무엇을 해도 최초가 되는 상황입니다. 이렇다면 일반 사람들에게 어렵게 다가가는 개념보다는 손쉽게 다가갈 수 있는 방식이 더 나을 것입니다. 보통 비콘의 경우 업계 사람들끼리는 블루투스 4.0 LE 기반의 송신기라서.. 라는 개념으로 설명하지만, 일반 사람들은 블루투스 4.0이라는 것부터 설명하기가 힘들며 굳이 설명할 이유가 없습니다. 매장을 지나갈 때면 자동으로 쿠폰을 받아볼 수 있다는 개념으로 소비자에게 다가가야지만 적합한 설명 방법이듯 사물인터넷 서비스를 일반 사용자를 상대로 한다면 사용성도 중요하지만 어떻게 어필을 해야지만 공감할 수 있을지 파악하는 것이 좋습니다.

홈챗(Homechat) 서비스

'에어컨 켜!!'라고 말하면 '현재 온도는 29도예요. 희망온도 25도 강풍으로 냉방운전을 시작할게요~' 라고 친구처럼 채팅창으로 상태 및 작동 현황 등을 알려주는 방식



사물인터넷은 냉장고, 책상 등 인터넷과 연동되어서 무언가를 해야 하기 때문에 사람들은 사물인터넷이 가능한 생산품을 구매를 해야 합니다. 그러려면 집에 있는 제품부터 새로 구매해야 하므로, 사회 전체적으로 모든 사물을 순식간에 새로 구매하는 것은 무리가 있습니다. 그러므로 새로운 생산품들이 전부 페인지 되기 전의 과도기가 분명히 존재합니다. 그 과도기에서 역할을 톡톡히 하는 것이 있습니다. 바로 비콘이라는 기술입니다.

애플에서는 '아이비콘(iBeacon)' 이라는 프로토콜을 명시하여 비콘 기술을 지원사격하게 됩니다. 비콘이라는 것은 블루투스 4.0 기반으로 BLE(Bluetooth Low Energy)를 사용함으로써 저전력으로 블루투스가 있는 스마트폰과 통신을 할 수 있게끔 해줍니다. 그럼 비콘으로 할 수 있는 것들을 살펴보도록 하겠습니다.

우선 어비콘이 나이키 매장에 전부 설치가 되어 있고 이용자들에게는 해당 앱이 설치되어 있다고 가정해봅시다. 이용자들은 나이키 매장 근처를 지나가면, 매장의 할인 쿠폰, 이벤트 정보를 손쉽게 받아 볼 수 있는 것입니다. 스마트폰으로 바로 푸쉬를 하여 알럿 혹은 앱이 자동 실행되어 혜택을 받을 수 있게 해줍니다.

어비콘(UhBeeCon)

아이비콘 프로토콜을 사용하고 있는
어비콘 (UhBeeCon) 제품

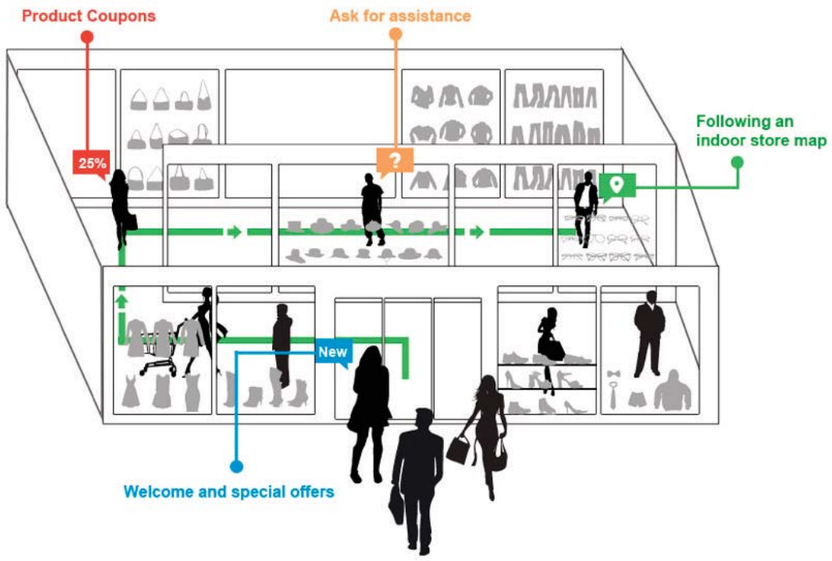
조금 더 쉽게 설명을 해보겠습니다. 안드로이드 스마트폰에서 NFC(Near Field Communication) 기능을 대부분 아실 것입니다. 지하철이나 버스를 탈 때 교통카드처럼 스마트폰의 NFC 기능으로 결제가 가능한 부분으로 널리 이용되었기 때문에 알려졌으나, 사실 실패한 서비스입니다. 어찌 됐든, NFC는 10초 이하에서만 작동이 된다는 기능이지만, 실질적으로는 완전 접촉을 해야지만 작동이 원활하게 되며 iOS를 사용하는 아이폰에서는 불가능한 것이 단점이었습니다. 이런 NFC의 단점을 장점으로 바꾼 것이 비콘입니다. 거리는 50미터까지 전송이 되며, 블루투스가 있는 단말이라면 아이폰, 안드로이드폰까지 전부 적용이 가능하기 때문입니다.(안드로이드 OS 4.3 이상, iOS 7이상에서 작동되며, 구형 단말에서는 불가능)

NFC와 함께 설명하면 사람들은 이해하기 쉬우므로 비콘에 대한 설명을 듣고 나면, 많은 서비스 전략들이 떠오르실 것입니다. 우선 정보, 쿠폰 등을 푸쉬로 알려줄 수가 있으므로, 마케팅 회사, 커머스 회사들에게 가장 큰 관심을 받고 있습니다. 이 비콘 신호의 대항마라고 할 수 있는 닷징이라는 것도 있습니다. 이는 비콘과 비슷하나 추가로 디바이스를 구매하지 않아도 지니고 있는 현재 단말로 인하여 사용을 할 수 있고, 사방에 설치가 되어 있는 블루투스 신호와 와이파이 신호를 이용하여 정보 전달이 가능하다는 것이 다릅니다.

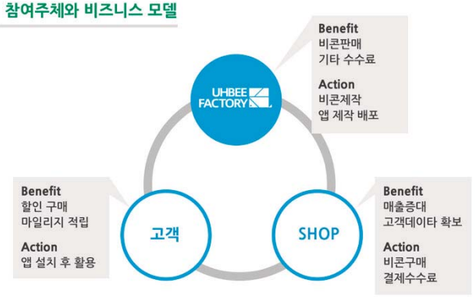
	아이비콘	닷징	NFC
플랫폼	안드로이드OS (iOS도 가능)	iOS (안드로이드OS도 가능)	안드로이드OS
활용 가능한 디바이스	블루투스 4.0 BLE (블루투스 저전력)	블루투스, 와이파이 사용하는 디바이스	NFC 모듈이 달려있는 디바이스
특징	비콘 디바이스 구매 및 iOS기기 필요	현 디자이스로 구현 가능	보안솔루션이 있으며, NFC 모듈이 없으면 사용 불가

닷징의 경우 아직 확산화가 되어 있지 않으며 사실상 비콘과는 다른 서비스입니다. 쉽게 생각하면 닷징은 움직이는 송신체계를 이용하는 서비스에 적합하며 비콘은 고정적인 부분에 적합하다고 볼 수 있습니다. 그러면 우선 비콘을 활용하여 어떤 식으로 서비스를 만들 수 있는지 알아보도록 하겠습니다. 고객이 상점에 들어와서부터 나가기 전까지 비콘을 이용하여 더 스마트한 서비스를 받을 수 있는 것이 메인 설명입니다. 환영 메시지와 스페셜 쿠폰을 지나가는 사람에게 전파하고, 그 고객들이 상점에 들어오면, 각종 상품의 정보와 질문과 답변들을 살펴볼 수가 있고, 실내 지도를 이용하여 원하는 곳을 살펴볼 수 있으며, 나갈 때는 스마트폰 결제를 이용하여 더욱 편리한 쇼핑을 즐길 수 있다라는 것입니다.

이와 같은 내용을 보다 보기 편하도록 정리하여보았습니다. 쿠폰, 이벤트, 마일리지, 결제 서비스를 비콘으로 구현하기 위한 비즈니스 모델을 도식화하여 만들어 본 것입니다.



참여주체와 비즈니스 모델



기본적으로 회사와, 비콘이 설치될 가게와 이용을 하는 고객 세 군데를 기본 타켓으로 하여 비즈니스 모델을 만들어 보았습니다. 다른 사업군에 비해 해야 할 것이 많습니다. 비콘 디바이스 설치와 고객은 해당되는 앱이 설치되어야 하므로 고객과 가게 두 군데를 상대 해야할 수밖에 없습니다.

사물인터넷의 현재와 미래에서 나올 서비스에 대해서 간략히 살펴보았습니다. 스마트폰이 우리에게 나타나서 새로운 문화 충격과 새로운 시장을 만들었듯이 사물인터넷은 우리의 삶을 다시 한 번 바꿀 수 있는 강력한 패러다임의 중심에 있는 것입니다. 일반 사람들에게는 크게 와 닿지 않는 부분이라고 생각할지는 모르지만, 전 세계 회사들은 새로운 세상들을 미리 준비하고 있습니다.

기존 소프트웨어 시장과 하드웨어 시장들의 융합적인 서비스가 과연 우리 삶에 미치는 영향, 그리고 업계 사람들의 사고하는 패턴을 변화할 때가 왔습니다. 소프트웨어 전문가들과 하드웨어 전문가들은 각자 분야에서 열심히 일을 해왔습니다. 하지만 앞으로는 서로의 이해와 협업이 이전보다 중요한 것이 바로 사물인터넷입니다.

단순하게 아이디어 기획만, 디자인만, 개발만 하는 것이 중요하였다면, 이제는 사물인터넷 분야 서로의 분야를 정확하게 파악하고 어떤 식으로 서비스를 기획하는 것이 중요한 것을 잊지 말아야 합니다.

아직 사물인터넷과 웨어러블 디바이스 세상은 버전 1.0에 못 미치는 버전 0.9라고 생각합니다. 나머지 0.1은 이 글을 읽은 독자분들과 많은 업계관련자의 노력으로 인하여 버전 1.0 세상으로 들어갈 것입니다.

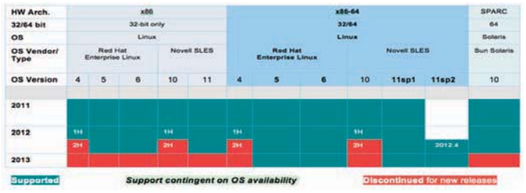
Mentor사 Calibre RET&OPC

A. 목적

- 반도체 Litho 공정에서 Wafer상에 생성되는 Pattern의 해상도와 공정 Margin을 향상시키기 위한 Solution제공
- Optic 특성에 의해, 목적된 Design Pattern Size와 Wafer에 전사되는 Pattern Size 간에 발생하는 차이를 Mask Correction을 통해 보정

B. 구분 Resolution Enhancement Techniques (RET) & OPC Solution

C. Supported Platform and O/S System



D. 특성 및 기능

- OPC : OPCPro, nmOPC
- RET : nmSRAF, mbSRAF, OPCsbar, pxOPC, DP
- Verification : OPCVerify
- GUI User Interface : Calibre Workbench

D-1. OPC : OPCPro, nmOPC

반도체 Litho 공정에서, Optic 특성으로 인해 Design된 Pattern Size와 Wafer상에 전사되는 Pattern Size간의 차이가 발생하게 된다. 그 차이는 Design된 Pattern사이즈에 적정한 양의 Bias를 가함으로써 보정될 수 있으며, OPCPro와 nmOPC Feature가 그 작업을 수행 해 준다. 일반적으

로 65nm Tech Node를 기준으로 이전 Node(65nm, 90nm, 110nm, 130nm …)에서는 OPCPro가, 그리고 이후 Node(65nm, 45nm, 32nm, 28nm, 20nm …)에서는 nmOPC가 널리 사용된다. Calibre OPC에서 지원되는 Function이나 Feature는 아래와 같다.

1. OPC

A. Process Window OPC

Process Window 를 고려하여 OPC를 수행함으로써, Process Condition 변화에 의해 발생하는 Pinch나 Bridge에 대해 보완하는 형태로 OPC를 수행함.

B. DDL(Double Dipole Lithography) OPC

X 방향 Dipole과 Y 방향 Dipole 조명계로 2 번 노광 후 1번 Etch하는 방식을 고려한 OPC 방법

C. DPT(Double Patterning Technology) OPC

Pattern들을 2개의 Mask 로 나누고 각각의 Mask로 1번씩 노광, Etch하는 방식을 고려한 OPC.

D. Local Printability Enhancement

Hot Spot으로 Detecting된 지역에 Process Margin을 향상시켜 문제 Pattern을 Fix하는 기술.

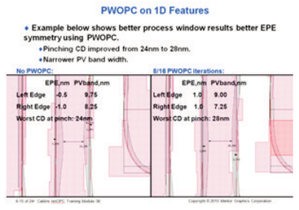


그림1. PWOPC 사용 전후의 비교

2. Modeling

A. Vector Model

빛의 방향성을 고려한 Modeling 방법.

B. SMO

공정에 취약한 Pattern에 대해 Process Margin을 향상시키기 위한 최적의 Illumination Source Shape를 생성 시켜줌.

C. DDM Modeling

Mask Film Effect를 고려한 Modeling 방법.

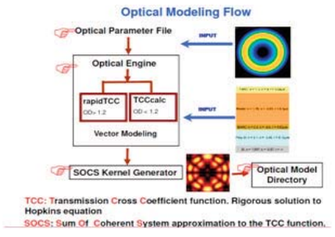


그림2. Optical Modeling Flow

D-2. RET : nmSRAF, mbSRAF, OPCsbar, pxOPC

공정 Margin을 향상 시키기 위한 Solution으로서 Assist Feature Creation과 Inverse Lithography 기술이 있다.

- nmSRAF : Template Base Assist Feature Generation
- OPCsbar : Rule Base Assist Feature Generation
- mbSRAF : Model Base Assist Feature Generation
- pxOPC : Inverse Lithography 기술을 이용한 OPC 방법

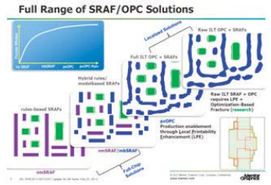


그림3. SRAF Type 별 Shape과 Process Window Margin의 추이

D-3. Verification : OPCVerify

OPC후에 OPC가 알맞게 수행 되었는지, 그리고 Wafer상의 Pattern의 이상 유무를 판단하기 위해 이용된다.
다음과 같은 기능을 제공한다.

- Pinch/Bridge Check : Pinch / Bridge가 발생된 Pattern을 찾아 준다.
- EPE Check :
  Mask Pattern과 Wafer Pattern간의 Difference를 측정함
- Nils Check : Nils 를 측정함
- Meef Check : Meef를 측정함
- Layer Overlap Check : 두 Layer간에 Overlap을 측정함
- Dof Check : Depth Of Focus를 측정함
- Data Classification : 반복 Pattern에 대한 대표 데이터를 분류해 줌
- Contour Output :
  Simulation되어 Wafer상에 예측되는 Pattern Shape를 Output 함.

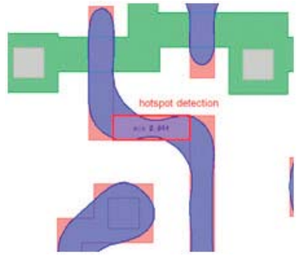


그림4. OPCVerify에서의 Pinch Detection

D-4. GUI User Interface : Calibre Workbench

Calibre Workbench는 GUI User Interface로서 Calibre User가 좀 더 쉽게 OPC관련된 작업을 하도록 아래와 같이
다양한 기능을 제공하고 있다.

- Layout Viewer
- Layout Edit
- Optical & Resist Modeling
- Mini OPC
- Test Pattern Generation
- Image Simulation
- Hotspot Review

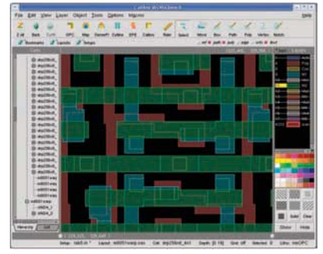


그림5. Calibre Workbench Interface

회 사 명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주 소 : http://www.mentorkr.com/
한국지사 : 한국멘토
전 화 : 031) 8061-0790
주 소 : 경기도 성남시 분당구 판교역로
192번길 12 (삼평동)
판교 미래에셋센터 7층

권 구 덕 교수
강원대 IT 대학
전기전자공학부

실패를 두려워하지않고 꾸준히 노력할 수 있는 성실함과 인내를 가져라

문의 강원대학교 IT대학 RF/아날로그 회로 및 시스템 연구실
전화 033-250-6302 **E-mail** kdkwon@kangwon.ac.kr
http://cms.kangwon.ac.kr/user/icsl/

현재 이동통신단말기의 아날로그 프론트-엔드는 FEMID(Front-End Module Including Duplexer), PAM(Power Amplifier Module), CMOS 송수신기로 구성된다. 국내외 기업 및 연구소와 학계에서 아날로그 프론트-엔드의 CMOS 화에 걸림돌이 되고 있는 FEMID, PAM에 대한 CMOS 집적화에 대한 연구를 활발히 진행 중이다. 현재 스마트폰이 2CC(Component Carrier), 3CC를 통해 data rate를 높이는 추세이기 때문에 FEMID는 점점 복잡해지고, 이는 CMOS 송수신기와의 PCB 라우팅 및 단말기 PCB의 복잡도를 높여 스마트폰의 경쟁력을 떨어뜨리고 있다. 이처럼 이동통신단말기의 세계 경쟁력을 높이기 위해 CMOS duplexer를 연구하고 있는 권구덕 교수를 만나보았다.

"이동통신단말기의 세계 경쟁력을 높이기 위해 꼭 필요한 연구"

지난 2014년 3월부터 강원대학교 IT 대학 전기전자공학부에서 조교수로 재직 중인 권구덕 교수는 KAIST 전자전산학과에서 공학사와 공학박사 학위를 취득하고, 6개월 동안 KAIST 정보전자 연구소에서 박사 후 연구원과정을 보냈다. 또한, 삼성전자 DMC 연구소에서 4년 동안 2G/3G/4G 이동통신 표준을 위한 RF 송수신기를 연구 개발하여 상용화에 참여하기도 했다. 현재, 여러 응용분야를 위한 RF/아날로그 회로 및 시스템 설계에 대한 연구를 진행 중인 그의 말에 따르면 차세대 이동통신 단말기 제조 경쟁력 확보를 위해 RF 송수신부의 CMOS 단일 칩 구현이 반드시 필요하고 이를 위해서는 우선으로 여러 모듈을 사용하여 PCB 면적을 증가시키며 부품 값 상승을 가져오는 다수의 duplexer module의 CMOS 집적화 연구가 진행되어야 한다. "이에 저는 다중 모드/대역 이동통신 표준을 지원하는 CMOS on-chip tunable duplexer에 대한 연구를 진행 중입니다."

"연구자로서의 시작을 알렸던 지난 시간들"

권구덕 교수가 걸어온 연구자의 길을 살펴보면, 학부 시절 반도체 소자 및 전자회로 그중에서도 아날로그 회로에 큰 매력을 느꼈다고 한다. "그 당시 wireless communication이 기술적 화두였고, 이에 자연스럽게 현재 전공인 무선통신을 위한 RF/아날로그 회로 및 시스템 설계를 선택하게 되었습니다." 석.박사 과정 중에는 〈디지털 TV용 CMOS 칩 튜너 개발〉, 〈한국/일본 자동요금징수시스템(ETCS)용 CMOS DSRC(Dedicated Short Range Communication) 송수신 칩 개발〉, 〈지문인식시스템 및 모바일 RFID 리더 칩 설계 관련 연구〉를 진행했다고 한다. 그러면서 그는 삼성전자 DMC 연구소에서 직접 연구 개발한 2G/3G/4G 이동통신 표준을 지원하는 Transceiver가 삼성전자의 플래그쉽 모델인 갤럭시 S4에 탑재된 때가 가장 기억에 남는다고 전했다. "갤럭시 S4 출시일을 맞추기 위해 여러 가지 문제점들을 해결해 나가는 과정이 힘들었지만, 제가 만든 칩이 상용화된다는 것에 보람을 느꼈죠. 아마, 2G/3G/4G를 지원하는 Transceiver의 상용화가 대한민국에서 최초였기 때문에 더욱 의미가 있어서인가 봅니다."

"목표를 향한 끈기와 인내"

연구를 진행하면서 그 역시 많은 어려운 순간을 겪었다고 한다. "기존 회로들이 가지는 문제점을 찾아서 성능 개선을 하거나 새로운 회로 및 시스템을 연구하는 과정에서 참신하고 독창적인 아이디어를 필요로 하는데, 쉽게 떠오르지 않을 때가 많아 힘들고 지칠 때가 많아요. 이때는 긍정적인 사고로 여러 동료 연구원들과 함께 토론하고 다양한 생각들을 정리해 나가다 보면 좋은 아이디어를 얻어서 문제를 해결해 나가곤 합니다." 권구덕 교수는 목표를 향한 끈기와 인내를 연구자의 자세로 꼽았다. "어떤 연구든 성공하기 위해서는 힘들고 어려운 시기를 견디어야 하는데 이를 위해서는 실패를 두려워하지 않고 꾸준히 연구할 수 있는 성실함과 인내가 필요하다고 생각합니다. 그리고 다양한 의견을 경청하고 연구에 부족한 점을 보완해 나가려고 노력하죠." 그러면서 그는 후배들을 위한 당부의 말도 잊지 않았다. "어느 곳에서 일하게 되더라도, 혼자 할 수 있는 일은 거의 없습니다. 팀 단위로 역할을 분담해서 연구 개발을 하게 되는데, 이때 가장 중요한 덕목은 팀원 간의 의사소통과 협력을 중시하는 태도와 서로 간의 신뢰입니다. 연구 수행 능력과 열정뿐만 아니라 긍정적인 사고로 원만한 대인관계와 친화력을 가질 수 있도록 노력한다면 어디에서든 꼭 필요하고 존경받는 연구자가 될 거라고 생각해요."

"시스템반도체 산업, 핵심 설계 기술을 확보해 경쟁력을 키워야 한다."

마지막으로 권구덕 교수는 저전력화, 저가격화, 고집적화로 가속되고 고성능/다기능의 SoC 화와 다층 칩 패키지화로 빠르게 발전하고 있는 시스템반도체 분야의 전망에 대한 생각을 전했다. "품목 중 핵심 칩인 AP, 모뎀은 Qualcomm, Intel 등의 국외 회사들이 선점하고 있지만, 삼성전자가 최근 모뎀 칩의 상용화를 시작으로 시스템 반도체 시장에서의 점유율과 경쟁력을 키워가고 있습니다. 시스템반도체 산업은 세계적으로 계속 성장해 가고 있기 때문에 메모리반도체와 함께 국내 기업이 시장을 선점하기 위해서는 지속적인 R&D 투자로 핵심 설계 기술을 확보해 경쟁력을 키워가야 할 것입니다." 현재, CMOS duplexer 연구에 매진하고 있는 권구덕 교수는 이 연구를 시작으로 off-chip module을 하나씩 CMOS 집적화하여, 진정한 의미의 CMOS SDR(Software-Defined Radio)을 구현하고 싶다고 포부를 밝혔다. 목표를 향한 끈기와 인내를 가지고 연구에 임하는 그의 앞날에 건승을 기원해 본다.

시스템반도체의 활성화 방안

꽤 오래 전 이야기다. 화제의 도서인 '부자 아빠 가난한 아빠'의 머리말은 다음과 같은 말로 시작된다. "학교는 우리에게 자신들이 살아가고 있는 지금의 현실 세계를 제대로 가르치고 있을까? 「네가 열심히 공부해서 좋은 성적을 올리면 좋은 직장에 들어갈 수 있단다.」 우리 부모님은 그렇게 말하곤 했다. 그리고 부모님은 이런 나를 통해 당신들의 목표를 달성했다." 이 책에서는 부자 아빠는 초등학교도 졸업 못 했고, 가난한 아빠는 교육을 많이 받은 분이다. 부자 아빠는 학교에서 배우지 못한 부자 되는 방법을 제시해 준다. 이 책은 아이들에게 좀 더 다양한 지식을 가르칠 필요가 있고 부모는 새롭고 과감한 생각을 가져야 한다고 말한다. 학교에서는 많은 지식을 가르치고, 학생이 얼마나 알고 있는지를 평가한다. 그러나 회사에서는 알고 있는 지식을 어떻게 실천해서 돈으로 만들어 내는지를 평가한다. 31년간의 대기업 생활을 마치고, 대학교수로 지내고 있는 지금 시스템반도체가 활성화가 되지 않는 이유를 먼저 대학에서 찾고자 한다. 바로 대학이 인력육성의 책임을 지고 있기 때문이다.

'부자 아빠 가난한 아빠' 이야기를 언급 하는 이유는 아직도 대학은 교과서 내용의 지식을 학생들에게 전달하는 것에 머물러 있는 것 같다는 생각에서다. 시스템반도체는 시스템에 기반을 둔 반도체의 의미를 가지고 있다. 반도체에 관한 지식보다는 시스템에 더 교육 초점이 맞추어져야 하지 않을까? 현재 대학은 아직도 많은 나무를 가르치고 있다. 학생은 이 나무가 어느 숲에 있는지를 모르고 열심히 배운다. 좀 더 구체적으로 제품을 예로 들면, 스마트폰 혹은 TV 부터 이해하고, 그 안에 내재 되어 있는 부품을 공부해야 한다. 그 부품 간의 어떤 신호 흐름과 기능을 가졌는지를, 후에 부품 별로 다시 시스템을 이해하고 그 안에 들어 있는 알고리즘을 파악해 나가야 한다. 내가 하고 있는 일 혹은 공부하는 것이 전체에 어느 부분에 속하는지를 아는 것이 중요하다. 결국, 숲과 나무를 동시에 알아 나가야 한다는 말이다..

먼저, 스마트폰의 핵심 부품 중 하나인 모뎀용 시스템반도체를 개발하는 방법을 생각해 보자. 복잡한 이동통신 알고리즘을 검증하기 위해 C언어나 SPW 같은 상용 툴을 이용한다. 이 단계를 상위설계라 부른다. 이 단계에서는 계산량의 부담을 최소화하면서 신호처리에 적합한 복조 알고리즘을 개발을 찾아내는 것이 매우 중요하다. 모뎀 구현 시 ADC, DAC의 양자화 비트 수, ADC 후 디지털 신호처리 과정에서의 효과적인 비트 수 산정, 특히 필터 계수의 비트 수나 연산결과의 비트 수는 복조성능에 직접적인 영향을 미치기 때문이다.

또한, 다중경로, 간섭, 잡음 등이 수신단 신호를 열화 시키므로 비트 오류를 발생시킬 수 있는데, 채널 코덱을 이용하여 정보 비트를 보호할 수 있다. 이는 길쌈부호(convolutional code)와 (Turbo)부호가 사용된다. 이 부분은 모뎀부와는 별도로 하나의 IP(Intellectual Property)로 개발이 용이하다. 알고리즘의 검증이 끝나면 하드웨어/소프트웨어 분할을 통하여 하드웨어 처리부와 소프트웨어로 처리부로 구분한다. 이와 같이 스펙을 정하는 일, 그로부터 시스템을 이해하고, RTL설계 이후의 칩 개발까지의 전체 개발프로세스를 경험해 보아야 한다. 이는 실제 설계하고 만들어 보는 훈련이 필요하다.

다음은 정부와 기업이 해야 할 일은 무엇인지를 고민해 봤다. 국내 기업이 시스템반도체의 육성을 늦추는 사이에, 중국과 대만 시스템반도체 산업은 빠른 속도로 성장했다. 세계 시스템반도체 시장에서 돌풍을 일으키고 있다. 8월 20일자 전자신문 보도를 인용하면 "지난해 매출이 비교적 큰 Fabless 반도체 기업 25개사를 전년 대비 성장률을 바탕으로 재정리해보니 성장률이 높은 상위 10개 기업 가운데 절반이 중국(2곳)과 대만(3곳) 기업이었다. 이를 1~5위 기업으로 좁히면 절반이 넘는 3곳이 중국 • 대만 기업이었다. 성장률이 가장 높은 곳은 중국 스프레드트럼(47%)이었고, 그 뒤를 이은 2위 업체는 대만 미디어텍(36%)이었다. 이 밖에 하이실리콘(중국) • 리얼텍 • 노바텍(대만)이 나란히 5~7위를 차지했다. 더 놀라운 것은 지난 2008년까지만 해도 중국 기업은 아예 매출 상위 25대 리스트에 들어가지도 못했다는 점이다."

이렇듯 중국과 대만 Fabless 업체가 성장했던 이유는 정부 차원에서의 적극적인 기업육성에 있다. 중국과 대만 모두 정부 차원에서 시스템반도체 산업을 적극적으로 키웠다. 현재 우리나라의 Memory 사업은 세계 1등을 유지하고 있다. 어쩌면 Memory 사업의 1등이 시스템반도체를 육성을 가로막고 있는지 모르겠다. 우리 정부는 이만하면 되었다는 생각인 것 같다. 과거만큼 관심도가 떨어지는 것도 사실이다. Memory 사업도 쉬운 것은 아니지만, 투자가 제조 및 공정에 있다고 한다면, 시스템반도체 사업의 투자는 사람에 있다. 결국은 시간이 더 오래 걸릴 수 있다는 이야기다.

어느 대기업의 이야기다. 스마트폰의 핵심 칩인 AP에서 성공을 거두게 되면서, 시스템반도체를 집중 투자한다고 공개적으로 발표했지만, 막상 뚜껑을 열어보니, 설계인력을 대폭 늘리는 것이 아니고, 제조라인만을 늘렸다는 이야기를 들었다. 정부도 기업도 단기성과 위주의 전략으로는 시스템반도체의 성장은 요원하다. 가장 중요한 것이 결국 설계인력 육성이다. 다시 말해 마인드 셋의 변화가 필요하다. 단기적인 생각으로는 오랜 시간 인력육성이 선행되어야 하는 시스템반도체 산업육성은 불가능 하다고 본다.

최근에 비교적 크다는 국내 몇몇 Fabless 업체들을 대상으로 세미나도 하고, 간담회를 가졌다. 기업의 숫자가 얼마 되지 않다는 것에 놀랐고, 제법 크다는 기업들조차도 전문 개발인력이 너무 부족하다는 것에 걱정이 앞선다. 시스템반도체는 더 많은 기능과 성능을 요구하면서 시스템도 복잡해지고 칩에 들어가는 다양한 알고리즘도 이해해야 한다. 그리고 embedded SW도 동시 개발이 되어야 하니, 전문인력의 육성이 선행되어야 한다. 또한, 제품의 트랜드를 이해하고 선행해서 IP 개발도 이루어져야만 한다. 그래야만 이 구축된 IP를 사용하면서 개발기간도 단축하게 된다.

마지막으로 정부, 기업, 대학이 어떤 방법으로 시스템반도체 활성화에 기여 가능한지를 제안하고자 한다. Fabless 업체의 가장 큰 애로 사항은 인력확보 및 선행연구 부족 일 것이다. 이를 해결할 가장 좋은 방법은 Fabless 업체의 R&D 역할을 담당할 대학의 연구실을 선정해서 정부는 1년 단위로 개발비 지원을 큰 규모로 해주는 것이다. 이때 대학은 선행 과제 수행 및 인력 육성해서 기업에 취업을 유도 하는 것까지를 해야 한다. 이때 병역특례 제도를 활용 하는 방법을 고려할 수 있다. 때문에 많은 Fabless 업체가 아닌 4~5개 업체를 선정해서 집중적으로 키우는 것이 중요하다고 본다.

시스템반도체산업은 국가의 근간이 된다. 중국과 대만에 밀리는 상황으로는 향후 셋트 경쟁력은 기대하기 어렵다. 더 늦기 전에 정부, 기업, 대학이 협력하여 대책을 수립해야만 한다. 머뭇거리는 사이에 중국, 대만 연합팀은 우리를 앞서가고 있다. 삼성전자의 스마트폰 사업이 샤오미에게 밀리는 것은 중저가 시장 이지만, 멀지 않아서 프리미엄급에서도 질수 있다는 걱정이 앞선다. 같은 부품을 사용하는 셋트 개발은 스마트폰 제조업체들의 평준화를 가지고 올 수 밖에 없다. 결국 싸게 잘 만드는 업체가 우위에 서게 된다. 차별화된 사양을 칩 안에 넣고 그 칩이 채용된 셋트가 경쟁력을 갖게 되는 것은 당연한 것이다. 따라서 시스템반도체 능력이 매우 중요하다. 시스템 반도체의 개발능력이 셋트 경쟁력과 그대로 직결 되기 때문이다.

정부, 대기업, Fabless 업체, 대학이 함께 종합적인 마스터플랜을 빨리 제대로 마련해 보자. 그리고 치열하게 열심히 달려야 한다. 시간이 별로 없다.

• 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.

김 용 석 교수
성균관대학교

사물인터넷(Internet of Things) 관련 주요 프로토콜 표준화 동향

서론

사물인터넷(Internet of Things, IoT)은 사람,사물,데이터 등의 모든 것이 인터넷으로 서로 연결되어 정보가 생성,수집,활용되는 초연결 인터넷을 의미한다.현재 전세계적으로 산업혁명,정보화 혁명을 거쳐 사물인터넷 기반으로의 초연결혁명이 진행 중이며,미국의 정보 기술 연구 및 자문회사인 Gartner에 따르면2020년까지 260억개에 달하는 장치들이 사물인터넷에 연결 될 것으로 전망된다.[1]

그러나 기존에 존재하는 사물인터넷과 관련된 다양한 서비스들은 특정 산업 분야나 서비스에 중점을 두고 설계되었기 때문에 시스템 확장,유지보수를 하게 될 경우에 많은 비용이 발생한다.따라서 이런 문제점을 해결하기 위해서는 기존의 종속적이고 수직적인 구조에서 벗어난 수평적인 공통 플랫폼표준 개발이 필요하다.

사물인터넷에 대한 전세계적인 관심으로, 2012년 글로벌 사물인터넷 서비스 플랫폼 표준을 개발하기 위해 전세계 7개국의 전기통신 표준화 기관들이 oneM2M이라는 글로벌 표준화 기구를 공동으로 설립하였다. 7개 기관들은 ARIB, TTC(일본), ATIS, TIA(미국), CCSA(중국), ETSI(유럽), TTA(한국)이며 270여개에 달하는 업체들도 여기에 참여하고 있다.

oneM2M은지금까지 분리되어 개발되고 있는 사물인터넷서비스 계층 표준 활동들을 통합하여 표준화 시장 분열을 최소화하는 것을 주요 목표로 삼고 있으며 두 달마다 정기적인 기술총회를 가지면서 활발한 표준화 활동을 진행 중에 있다.지난 7월 28일 프랑스 소피아 안티폴리스에서 열린 oneM2M 제 12차 기술총회에서는 oneM2M release 1.0이 승인 완료 되었다.[2]

본고에서는 oneM2M의 워킹그룹중 프로토콜 기술을 담당하는 WG3에서 사물인터넷 서비스 계층 프로토콜로 채택되어 표준화가 진행 중인 주요 프로토콜 중 CoAP, MQTT, XMPP 대해 알아보고자 한다.[3]

본론

1. CoAP • Constrained Application Protocol

CoAP는 국제 인터넷 표준화 기구인 IETF(Internet Engineering Task Force)의 CoRE(Constrained RESTful Environments) 워킹그룹에서 저전력,손실 네트워크 및 낮은 성능,저용량 메모리를 갖는 센서 노드의 환경에서 사용하기 위해 개발한RESTful 기반 웹 전송 프로토콜이며 표준 인터넷 네트워크를 통해 원격으로 제어하고 관리할 필요가 있는 장비들를 주요 대상으로 한다.웹과의 연동을 위해서HTTP와 쉽게 인터페이스가 가능하도록 설계되었기 때문에 기존의 웹 서비스들과 쉽게 결합이 가능하며 멀티캐스트 지원,낮은 오버헤드와 같은 요구사항 또한 충족시킨다.주요 특징은 다음과 같다.[3,4]

- 제한된 환경에서의 machine-to-machine(M2M)요구사항들을 충족
- UDP(User Datagram Protocol)를 기반으로 하며 유니캐스트와 멀티캐스트 request를 지원
- 비동기식 메시지 교환
- 낮은 헤더 오버헤드와 간단한 파싱
- URI와 Context-type 지원
- 간단한 proxying및 caching
- 프록시를 거쳐 HTTP를 통한 CoAP 리소스 접근이 가능
- 높은 통신 보안 단계를 위해 선택적으로 DTLS(Datagram Transport Layer Security)사용

또한 CoAP는 기본적으로 UDP를 기반으로 비동기식 전송을 하기 때문에 신뢰성 있는 메시지 전송을 위해서 아래와 같은4가지 메시지 형식이 정의되어있으며 이들 메시지의 request/response의 상호작용으로 메시지를 전달한다.(그림 1.)

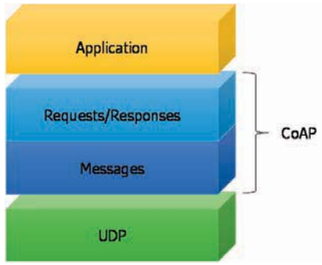


그림 1. CoAPProtocol Stack

- Confirmable 메시지 : Acknowledgement 메시지를 요구하는 메시지이다.
- Non-confirmable 메시지 : 일반적인 UDP 메시지이며 승인(Acknowledge 메시지)을 필요로 하지 않는다.
- Acknowledgement 메시지 : Confirmable 메시지를 성공적으로 수신하였을 때 수신자가 송신자에게 응답하는 메시지이다.
- Reset 메시지 : 수신자가 Confirmable/non-confirmable 메시지를 수신하였으나 전송 중 데이터 손실이나 수신 노드의 재부팅 등으로 인해 해당 요청을 처리할 수 없을 경우 Reset 메시지를 전송한다.

CoAP의 장점은 UDP를 이용하므로 TCP에 비해 오버헤드가 작으며바이너리 헤더를 사용하므로 ASCII 헤더를 사용하는 HTTP에 비해 전송되는 데이터의 양이 훨씬 적다는 점과 HTTP-CoAP간에 쉽게 translation을 할 수 있기 때문에 기존의 HTTP를 이용한 웹 서비스들과 쉽게 연동이 가능하다는 점이다.반면 보안을 위해 DTLS를 이용할 경우 오버헤드가 커진다는 단점이 있다.

2. MQTT • Message Queuing Telemetry Transport

MQTT(Message Queuing Telemetry Transport)는 1999년 IBM과 Arcom(현 Eurotech)이메모리 공간이 작은 장치,낮은 대역폭, 긴 지연시간을 갖는네트워크에서의 이용을 목적으로 개발한메시징 프로토콜이며표준화 단체인 OASIS(Organization for the Advancement of Structured Information Standards)에 의해 사물인터넷을 위한 표준 메시징 프로토콜로 선정되었다.원격측정, 헬스케어 산업,에너지 산업과 같은 분야에 주로 사용되고 Facebook 메신저에도 이용되고 있다.

MQTT는 다수의 클라이언트 연결에 효과적인 pub/sub 기반 메시징 프로토콜이다.여기서 pub/sub이란,메시지 송신자(publisher)가 특정 수신자(subscriber)에게 메시지를 직접 전송하는 것이 아니라 관련된 topic에 발행(publish)하고 수신자(receiver)들은 관심 있는 topic을 구독(subscribe)하여 해당 topic에 발행(publish)된 메시지만을 수신하는 방식이다.즉, 클라이언트(publisher, subscriber)가 서버(브로커)에 연결하여 관련된 topic에 메시지를 발행(publish)하거나 구독(subscribe)하는 방식이다.(그림 2.)[3,5]
또한 MQTT는 다음과 같은 세 단계의 Quality of Service (QoS)가 정의되어 있다.

- 메시지를 한 번 전달하고 확인을 하지 않는다.
- 메시지 전달 여부를 확인하여 적어도 한 번 이상 전달
- 추가적인 프로토콜 flow를 이용하여 메시지를 정확하게 한 번 전달

단계가 높을수록 신뢰도가 높아지지만 긴지연시간과 넓은대역폭이 요구된다.시스템 오류 메시지와 같은 중요한 메시지의 경우 높은 단계의 QoS를 지정하고주기적으로 반복 측정되어 전송되는 메시지의 같은 경우엔 낮은 QoS를 지정하여 이용할 수 있다.

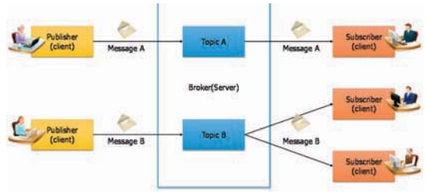


그림 2. MQTT Publish/Subscribe messaging

이외에도 MQTT에는 브로커(서버)가 모든 subscriber에게 메시지를 전달 한 이후에도 그 내용을 추후 이용을 위해(ex. 해당 topic을 새로이 subscribe하는 클라이언트에게 바로 메시지를 전달) 보관하는 Retained messages, 클라이언트의 연결이 끊어질 때 클라이언트에 관련된 정보의 유지 여부를 지정하는 Clean session, publisher의 연결이 브로커로부터 비정상적으로 끊어질 경우 브로커가 publisher를 대신하여 subscriber들에게 이를 알리는 Will message 와 같은 특징들이 구현되어 있다.

MQTT는 전송 오버헤드가 작고(2바이트 헤더)리소스 점유를 최소화 하여 64kb 이하의 램을 갖는 장비에서 구현이 가능하다. HTTPS와 비교하여 더 나은 throughput, 낮은 배터리소모와 네트워크 오버헤드를 갖는다.반면 MQTT의 단점은 트랜잭션을 지원하지 않아 메시지기 한번 전송되면 롤백을 할 방법이 없으며 확장이 어려워 새로운 기능을 추가하기 위해서는 프로토콜을 새로 수정하여야 한다는 점이다.

3. XMPP • eXtensible Messaging and Presence Protocol

XMPP는 1999년 오픈 소스 커뮤니티인 Jabber가 개발한 XML(Extensible Markup Language)에 기반을 둔 인스턴트 메신저를 위한 통신 프로토콜이다.두 개 이상의 네트워크 개체 사이에서 근 실시간으로 확장 가능한 메시지와 네트워크 가용성(presence) 교환을 위한 목적으로 개발되었다.초기의 이름은 Jabber이었으며 2004년 IETF에 의해 국제 표준 프로토콜로 제정되었으며 [6]현재 Google Talk, AOL Instant Messenger(AIM), Microsoft messenger 등에 이용되고 있다.

이는 상대적으로 작은 조각의 구조적 데이터(XML stanza)를 둘 이상의 네트워크 개체 사이에서 교환이 가능하도록 하는 것이목적이다.일반적으로 XMPP는 여러 개의 서버들이 연결된 클라이언트-서버 모델을 이용하며이는 클라이언트가 네트워크에 접근하기 위해서는 서버에 연결되어야 하는 것을 의미한다. 즉, 클라이언트가 서버와 연결 된 이후에 네트워크상의 다른 개체들과 XML stanza를 교환 할 수 있다.(그림 3)

XMPP의주소는 이메일 주소와 유사하게 DNS를 기반으로 하여 전세계적으로 유일한 주소를 가지며 localpart@domainpart/resourcepart와 같은형식(Jabber ID 또는 JID)으로 표현이 된다.따라서 기존의 인스턴트 메시징 서비스들은 서로 다른 서비스를 이용하는 사용자들끼리의 메시지 교환은 불가능하였으나, XMPP는 다른 도메인에 연결된 사용자들과도 통신이 가능하다.

클라이언트가 서버에 연결되어 XML stanza를 교환하고 연결을 종료하는 과정은 다음과 같다.

1. FQDN(Fully Qualified Domain Name)을 해석하여 연결할 IP 주소와 포트를 결정
2. TCP 연결을 열고 TCP를 통해 XML stream을 연다.
3. 채널 암호화를 위해 TLS(Transport Layer Security)를 이용하고 SASL(Simple Authentication and Security Layer)를 사용하여 인증을 거친다.
4. Resource를 XML stream과 바인딩하고 XML stanza들을 네트워크상의 다른 개체들과 교환
5. XML stream을 닫고 TCP 연결 해제

XMPP는 TCP 연결을 이용하여 통신하며 클라이언트-서버,서버-서버간 통신에서의 암호화를 위해 TLS(Transport Layer Security)[7]가 지원되며 네트워크 개체간 인증을 위해서는 SASL(Simple Authentication and Security Layer)[8]을 지원한다. (그림 4.)

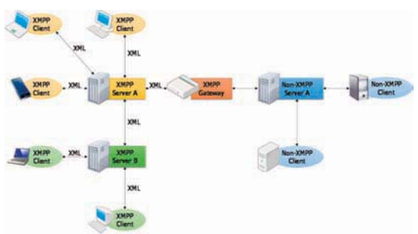


그림 3. XMPP 클라이언트-서버 구조

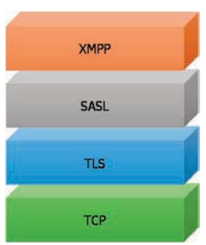


그림 4. XMPP Protocol Stack

XMPP는 개방형 표준이며 XML을 기반으로 하므로 확장이 용이하다.중앙 서버가 필요하지 않고 누구든 자신만의 XMPP 서버를 구동할 수 있다.XMPP 서버간뿐만 아니라 XMPP 게이트웨이를 통해 다른 프로토콜과도 통신이 가능하다는 장점이 있다. 반면 TCP를 이용하므로 일부 사물인터넷 응용에 맞지 않을 수 있으며 텍스트에 기반을 둔 XML로 인해 오버헤드가 커질 수 있다는 단점이 있다.

아래의 표 1. 은 지금까지 살펴본 세가지 프로토콜에 대한 비교,요약을 나타낸다.

	CoAP	MQTT	XMPP
개발단체	IETF CoRE 워킹그룹	IBM/Arcom	Jabber
표준화기관	IETF	OASIS	IETF
목적	제한된 환경에서 이용	원격 메시지 전송	IM(Instant Messaging) Presence information
아키텍처	REST (웹 서비스 지향)	Publish/subscribe모델	XML 기반 분산클라이언트/서버
전송계층 프로토콜	UDP	TCP	TCP
보안	DTLS	SSL	SASL, TLS
적용사례	-	Facebook Messenger	Google Talk AIM, MS Messenger

표 1. CoAP, MQTT, XMPP 프로토콜 비교

결론

지금까지 사물인터넷 국제 표준화 기구인 oneM2M에서 표준화가 진행중인 주요 사물인터넷 관련 프로토콜 세 가지에 대해 살펴보았다.사물인터넷은 현재 전세계적인 주목을 받고 있으며 세계주요국들과 Google, Oracle, Cisco와 같은 글로벌 기업들이 적극적으로 투자하고 있는 분야이다.국내에서도 금년 5월 미래창조과학부에서 '사물인터넷 기본계획'을 발표하였으며 이와 관련해 앞으로 활발한 연구가 진행될 것으로 예상된다.

이 승 구 교수
소속 : 포항공과대학교 전자전기공학과
연구분야 : 무선센서 네트워크,무선 애드 혹 네트워크,
병렬 및 분산 처리,실시간 컴퓨팅,결함 포용 컴퓨팅
slee@postech.ac.kr
http://esa.postech.ac.kr

박 홍 대
소속 : 포항공과대학교 전자전기공학과 석사과정
연구분야 : 무선센서 네트워크
hdpark@postech.ac.kr
http://esa.postech.ac.kr

참고문헌

[1]Gartner,"Gartner Says the Internet of Things Installed Base Will Grow to 26 Billion Units By 2020," 12 Dec. 2013. Retrieved 2 Jan. 2014.

[2] J. Swetina, G. Lu, P. Jacobs, F. Ennesser, and J. S. Song, "Toward a standardized common M2M service layer platform: Introduction to oneM2M," IEEE Wireless Communications, Vol. 21, No. 3, pp. 20-26, Jun. 2014.

[3] oneM2M-TR-0009, "oneM2M Protocol Analysis Technical Report," v.0.7.0, Jun. 2014.

[4]Z. Shelby, K. Hartke, and C. Bormann, "The Constrained Application Protocol (CoAP)," draft-ietf-core-coap-18, IETF, Jun. 2013.

[5]A. Banks and R. Gupta,"MQTT Version 3.1.1." Candidate OASIS Standard 01, Jun. 2014.

[6] P. Saint-Andre, "Extensible Messaging and Presence Protocol (XMPP): Core," draft-ietf-xmpp-3920bis-22, IETF, Jun. 2011.

[7] T. Dierks and E. Rescorla, "The Transport Layer Security (TLS) Protocol," RFC 5246, IETF, Mar. 2008.

[8] A. Melnikov and K. Zeilenga, "Simple Authentication and Security Layer (SASL)," RFC 4422, IETF, Jan. 2006.

아날로그 • 혼성신호 회로의 레이아웃 자동화 방법

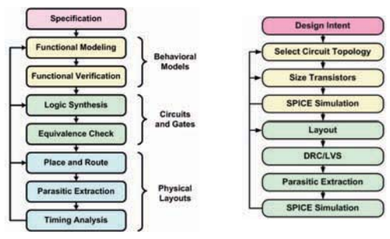
P&R 툴을 활용한 셀 기반의 디지털 PLL의 구현

초록

본 고에서는 아날로그 회로도 디지털 회로처럼 place-and-route (P&R) 툴을 활용한 셀(cell) 기반의 레이아웃 자동화가 이루어질 수 있음을 디지털 PLL을 예제로 들어 보이고자 한다. 셀 기반의 설계방법을 사용하기 위한 첫걸음은 아날로그 회로 설계를 트랜지스터 수준에서 시작하는 것이 아니라, 설계자의 의도 또는 목적을 표현하는 모델을 작성하고 검증하는 것에서 시작하는 데에 있다. 이러한 설계 흐름만이 시스템 전체의 관점에서 회로 각 부분의 역할을 명확하게 정의할 수 있고, 각 부분이 디지털 ASIC 설계 흐름에 의해 구현되어야 할지, 아날로그 커스텀 설계 흐름에 의해 구현되어야 할지를 가이드할 수 있기 때문이다. 본문에서는 아날로그 회로와 디지털 회로가 혼재하는 9.4-GHz 대역의 디지털 PLL의 구현 과정을 설명하면서, Synopsys사의 IC Compiler와 Custom Designer 툴이 그 레이아웃 구현 자동화에 활용되는 예를 보이고자 한다.

1. 서론

지금까지 아날로그 IC 설계는 주로 설계자의 경험과 직관, 그리고 수작업에 의존하여 이루어졌다. 그러나 모바일 스마트폰과 IoT 센서와 같이 다양한 아날로그 센서를 탑재한 전자기기의 사용이 꾸준히 증가하는 추세에서, 이러한 장인 기술들에 의존해야만 하는 아날로그 회로 설계는 그 설계 효율성에 있어 한계에 직면하고 있다. 심지어, 순수한 디지털 시스템이라 여겨지는 마이크로프로세서에서도 정확한 클록 타이밍의 제어와 저전력 소모를 위한 전압 제어의 필요성 때문에 고품질의 위상동기루프(phase-locked loop; PLL)와 칩상 전압 레귤레이터 (integrated voltage regulator; IVR) 설계 가능 여부가 전체 시스템의 성능과 time-to-market을 결정하는 경우가 많아지고 있다.



(A) (B)

그림 1. 디지털 IC 설계흐름과 아날로그 IC 설계 흐름의 비교. 현재 아날로그 설계의 대부분은 설계자의 직관에 의존하는 수작업으로 이루어진다.

그림 1을 보면 디지털 회로의 설계 흐름과 아날로그 회로의 설계 흐름의 차이가 극명히 나타난다. 디지털 회로의 설계 과정은 잘 정의된 여러 개의 단계로 구성되어 있고, 단계마다 그 용도에 적합한 자동화 툴이 사용된다. 예를 들어, 디지털 설계자들은 원하는 시스템의 동작을 모델을 통해 먼저 표현하고, 그것의 옳고 그름의 여부를 RTL 시뮬레이터나 더 상위레벨의 시뮬레이터를 통해 검증한다. 그리고 그 모델이 검증되고 난후에는 합성 툴을 사용해 그 모델을 논리 게이트들의 조합으로 변환하고, 그 이후에는 place-and-route (P&R) 툴을 활용해 레이아웃으로 구현한다. 게다가, 디지털 설계 흐름에는 모델과 실제 구현된 회로가 서로 동등한지를 확인해주는 등가검증 툴(equivalence checker)들도 존재한다. 이에 반해, 아날로그 회로 설계 흐름은 대부분이 수작업에 의존하는 경향이 많다. 아날로그 설계자들은 회로 구조의 선택, 트랜지스터 사이즈 정하기, 매칭과 대칭을 중요시하는 레이아웃 구현 등 대부분의 과정을 수작업을 통해 직접 하며, 이에 설계자의 경험과 직관이 많이 반영된다. 최근에 아날로그 회로 최적화툴, 아날로그 용 레이아웃 생성 툴 등 새로운 설계자동화툴이 많이 개발되었지만, 현장 설계자들의 요구와 구미를 맞추지 못해 널리 활용되지 못하고 있는 실정이다.

하지만 아날로그 회로가 디지털 회로에 비해 그 설계과정이 더 느려야만 하고, 자동화가 불가능해야만 하는 근본적인 이유는 없다는 것이 필자의 믿음이다. 한가지 이유로 아날로그 회로이든, 디지털 회로이든, 결국은 같은 IC 칩상에 똑같은 트랜지스터를 사용하여 구현된다는 점을 주목할 필요가 있다. 아날로그 회로니까 트랜지스터 특성에 더 민감하고, leakage, aging, layout-dependent effect 등에 더 신경 써야하고 그래서 더 어렵다는 말은 따라서 성립하지 않는다. 디지털 회로도 똑같은 트랜지스터를 사용하기에 역시 같은 문제를 고민해야 하고, 오히려 구현하려는 시스템이 훨씬 더 복잡하고 트랜지스터의 수가 수백만에서 수억 단위로, 수천~수만 개의 트랜지스터로 구현되는 아날로그 회로에 보다 훨씬 많으므로 디지털은 쉽고 아날로그는 어렵다는 것은 어찌 보면 옹색한 변명에 더 가깝다. 디지털 설계 방식과 아날로그 설계 방식의 큰 차이점은 추상화(abstraction)를 활용하는 정도에 있다고 생각한다. 디지털과 아날로그 둘 다 구현하고자 하는 시스템에 대해 잘 정의된 추상화 모델을 가지고 있다. 즉, 디지털은 Boolean 시스템, 아날로그는 선형 시스템을 abstraction으로 쓰고 있고, 두 abstraction 모두 거의 백 년 가까운 역사를 갖고 있기에 이상적인 상황만을 가정한다면 디지털과 아날로그 모두 설계하는 데에 어려움이 없다. 다만, 차이는 디지털 설계 흐름은 이 Boolean abstraction을 잘 활용하는 반면, 아날로그 설계 흐름은 linear abstraction을 거의 무시하는 데에 있다.

그림 1을 다시 살펴보면, 디지털 회로 설계의 시작은 Boolean 가정에 기반을 둔 모델의 작성에서 시작하고, 그 모델 동작의 검증이 모두 이루어진 후에야 회로 구현 과정이 시작됨을 알 수 있다. 즉, 이상적인 가정에서도 동작하지 않는 시스템은 구현할 가치도 없다는 것이다. 합성 및 P&R 툴 등 모델을 자동으로 구현해주는 툴들이 있으니 디지털은 쉽다고 생각할 수 있지만, 그렇다고 그 툴들이 이상적인 모델과 똑같은 회로를 생성해내는 것은 아님에 주목할 필요가 있다. 지연시간 (delay), 클록 skew, IR 전압 강하로 인한 전원 전압의 차이, 글로벌 및 로컬 미스매치, 도선 간의 crosstalk 간섭, aging 등 고려해주어야 하는 비이상적인 특성들이 아날로그만큼이나 많다. 다만, 모델을 통해 "설계자의 의도"가 정확히 표현되고 있으므로, 자동화 툴들이 설계자의 의도로 보존하는 선에서 이러한 비 이상성을 허용할 수 있는 자유도가 생긴다. 예를 들어, 구현된 시스템이 원하는 클록 주파수에서 원래 모델과 cycle 단위로 같은 출력 반응을 내기만 한다면 (즉 타이밍 조건들을 만족하기만 한다면), 그 시스템을 구성하는 논리 게이트들은 어떤 유한한 지연시간을 가져도 되는 것이다.

반면에, 아날로그 회로 설계에서 사용되는 툴은 SPICE 시뮬레이터가 대표적인데, SPICE 상에서 표현하는 회로는 설계자의 의도를 반영하는 것이 아니라, 실제로 구현된 회로를 되도록 있는 그대로 (소위 "정확하게") 표현하는 것이다. 다시 말해, SPICE는 어떤 회로든지 그것을 일반적인 비선형 시스템으로 간주하고 시뮬레이션하기 때문에, SPICE를 사용하는 사용자들은 자신이 가정하는 abstraction을 표현할 필요성조차 못 느끼는 것이다. 그 결과로 "설계자의 의도"를 표현하는 수단이 존재하지 않고, 그를 활용할 수 있는 설계자동화 툴도 개발이 어려운 것이다.

본 고에서 소개하는 셀 기반의 아날로그/혼성회로 시스템의 레이아웃 자동화 방법은 abstraction을 보다 잘 활용하는, 보다 효율적인 아날로그 설계 흐름을 세우고자 하는 노력의 일환이다. 그림 2에는 필자의 연구실이 추구하는 아날로그/혼성신호 시스템의 설계 흐름이 나타나 있다. 이 흐름은 앞서 그림 1에서 설명한 디지털 설계 흐름과 유사한 점이 많은데, 가장 중요한 것은 모델을 작성하고 검증하는 것부터 시작한다는 점이다. 아날로그 회로의 동작을 표현하고, 그것을 효과적으로 시뮬레이션하기 위해 본 연구실은 XMODEL이라는 SystemVerilog 기반의 시뮬레이터를 개발하고 상용화시킨 바 있다. 그러나 그림 2의 설계 흐름이 그림 1의 흐름과 여전히 다른 점은 시스템을 구성하는 셀 단위의 회로들이 아날로그/커스텀 회로이냐, 아니면 합성 가능한 디지털 회로이냐에 따라서 두 가지의 다른 방식으로 구현될 수 있다는 점이다. 그러나 구현 방식이 달라도 그 종착역은 같은데, 그것은 하나의 통합된 셀 라이브러리를 기반으로 한 셀들 간의 조합으로 전체 시스템이 표현된다는 점이다. 셀의 조합으로 표현되는 시스템의 구성은 물론 첫 단계에서 작성한 XMODEL 모델로부터 오는 것이다. 이렇게 표현된 셀 기반의 시스템은 Synopsys의 IC Compiler와 Custom Designer 같은 상용 설계자동화 툴을 활용하여 그 레이아웃을 3~4시간 만에 생성해 낼 수 있다. 본문에서는 특히 아날로그 셀과 디지털 셀이 혼재되어 있는 혼성신호 시스템의 레이아웃 구현 과정에 초점을 맞추어서 설명을 진행하고자 한다.

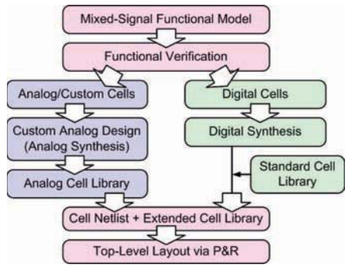


그림 2. 제안하는 셀 기반의 아날로그/혼성신호 시스템 설계 흐름도

2. 면밀한 계획을 통한 최적의 시스템 분할의 중요성

제안하는 셀 기반의 아날로그/혼성신호 설계 흐름은 대상 시스템을 어떠한 셀 단위로 나누느냐에 따라 성패가 크게 갈린다고 해도 과언이 아니다. 그림 3은 본 기사에서 예제로 활용하는 디지털 PLL의 셀 분할도이다. 본 디지털 PLL에 대한 자세한 설명은 참고문헌 [2]에서 찾을 수 있다. 이 PLL은 크게 세 부류의 셀로 구성되어 있는데, 디지털 제어 발진기 (digital-controlled oscillator; DCO)와 위상 디지털-아날로그 변환기 (phase-domain digital-to-analog converter; PHDAC)와 같은 아날로그 셀, 뱅뱅 방식의 위상-주파수 검출기 (bang-bang phase-frequency detector; BB-PFD)와 주파수 분주기 (frequency divider) 같은 커스텀 디지털 셀, 그리고 마지막으로 디지털 콘트롤러와 같은 합성으로 구현 가능한 디지털 셀들이 그것이다. 위상-주파수 검출기나 주파수 분주기는 디지털 회로임에도 불구하고, 노이즈에 민감하고 대칭성이 요구된다는 이유로 아날로그 셀과 같이 커스텀 방식으로 설계하는 것이 더 좋다. 이에 반해 디지털 콘트롤러는 그 기능부터 순수한 디지털회로이기 때문에 타이밍 조건들을 잘 만족한다면 디지털 합성 툴을 통해 구현하여도 성능에 모자람이 없다.

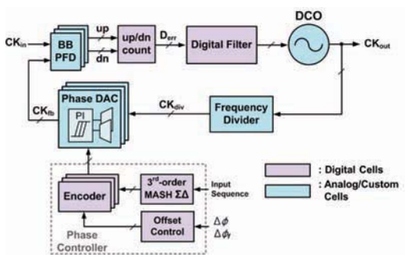


그림 3. 디지털 PLL의 셀 분할 예제.

한 시스템을 셀로 분할할때에 고려할 사항들로는 여러 가지가 있다. 가장 기본적으로, 셀은 설계와 검증의 기본단위가 되어야 한다. 다시 말해, 각 셀은 설계의 독립적인 기본 단위로서 되도록 다른 셀에 포함된 회로와의 상호작용을 고려하지 않은 채 설계하고 검증을 수행할 수 있어야 한다. 그래야, 각 셀을 추후에 더 좋은 회로로 쉽게 대체할 수 있고, 그 셀이 다른 시스템에 재활용될 수 있는 가능성도 극대화할 수 있기 때문이다. 그리고 시스템의 구현을 place-and-route 툴로 손쉽게 진행하기 위해서는 노이즈, 간섭, 또는 매칭에 민감한 아날로그 신호의 노출을 최소화할 수 있는 셀 분할이 요구된다. 클록 도메인의 변화도 셀을 나누는 경계를 정하는데 중요한 고려사항이 된다.

공정, 온도, 전압, 미스매치 등 변이성(Variability)에 대한 고려는 시스템 설계의 초기 단계에 하는 것이 가장 좋다. 다시 말해, 기존 아날로그 설계의 습성대로, 트랜지스터 회로의 기본 설계가 끝난 후에야 고려를 시작하는 것은 개선의 범위를 제한하는 요소가 된다. 예를 들어, 디지털 제어 발진기(DCO)의 특성이 공정, 전압, 온도(process, voltage, temperature; PVT)의 영향에 따라 많이 변할 수 있다고 가정해보자. 이에 대한 대응책으로, 발진기의 동작 특성을 직접 측정하며 최적의 시스템 성능을 유지하는 보정알고리즘을 시스템에 포함하는 것을 생각해볼 수 있다 (참고문헌 [3]). 또 다른 대응책으로는 셀 내부에 보정회로를 내장하여 셀을 사용하는 시스템의 관점에서는 마치 동작 특성이 일정한 셀을 사용하는 것 같은 효과를 내는 방법도 있다. 그림 4는 그러한 효과를 얻기 위해 제안된 LC DCO의 한 예로, transformer 튜닝 방식을 사용하여, 코드가 하나씩 바뀔 때마다 주파수가 정해진 비율로 변화하도록 설계되어있다. 그림 5는 실제로 제작된 DCO의 동작 특성을 보여주는데, 8.9에서 9.5GHz 동작주파수 범위내에서 0.0047%/step의 일정한 DCO gain 특성을 가짐을 알수 있다. 자세한 설명은 참고문헌 [4]를 참고하기 바란다. 이러한 DCO로 설계하는 PLL은 셀 단위의 변이성을 더 이상 고려하지 않아도 된다는 편리성을 가진다.

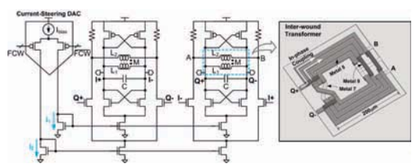


그림 4. 트랜스포머 튜닝 방식의 디지털 제어 발진기 회로의 예 (참고문헌 [4]).

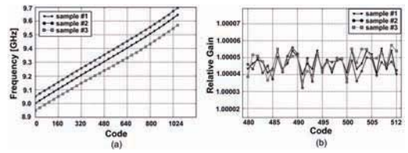


그림 5. 동작조건의 변화에도 일정한 비율의 주파수 제어 특성을 보이는 DCO의 예 (참고문헌 [4]).

3. 셀기반의 혼성신호 시스템의 레이아웃 자동생성 방법

본 절에서는 Synopsys사의 place-and-route 툴인 IC Compiler와 커스텀 레이아웃 편집 툴인 Custom Designer를 활용하여 앞에서 언급했던 디지털 PLL의 레이아웃을 자동생성하는 방법에 대해서 소개하고자 한다. 특히, IC Compiler □ Custom Designer co-design flow를 사용하면, 아날로그 설계자들의 까다로운 매칭, 대칭, 쉴드 조건에 부합하는 섬세한 레이아웃을 셀 기반에 흐름에 기초하여 단시간에 생성할 수 있다는 장점이 있다.

이러한 레이아웃 자동생성 흐름을 사용하기 위한 첫 단계는커스텀 과정을 통해 설계된 아날로그 및 커스텀 디지털 회로를 일정한 형식을 갖춘 "셀"로 변환하여, 기존의 스텐다드 셀을 포함한 통합 셀 라이브러리를 구성하는 것이다. 그림 6은 이러한 셀 라이브러리를 만드는 과정을 단계별로 보여주고 있다. 스키매틱과 레이아웃으로 구성된 커스텀 회로 블럭을 셀로 변환하려면 첫째로 스키매틱에 사용된 입출력 포트의 이름들이 모델에 사용된 이름들과 일치하여야 한다. 그리고 레이아웃은 기존의 아날로그 설계 룰 외에도 추가적인 룰을 준수하여 구현되어야 한다. 간단히 말하자면, 스탠다드 로직 셀에 적용되는 룰을 더 준수해야 하는데, 예를 들면 그림 7에 나타낸 것과 같이, power와 ground을 미리 정해진 간격과 너비를 가진, 특정한 메탈레이어 상에 위치한 도선으로 배선해야 하며, 외부 신호를 연결하는 핀은 특정한 간격의 그리드 상에 정확히 위치하여야 한다. 그리고 각 레이아웃 셀은 다른 셀과 중첩될 수 있는 영역을 알려주는 boundary 레이어를 포함하고 있어야 한다. 이러한 추가 룰에 따라 구현된 레이아웃은 DRC 및 LVS 검증 과정을 거친 후에 로지컬 라이브러리 (.LIB 형식) 및 abstract (.LEF 형식)으로 변환된다.

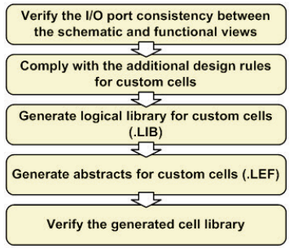


그림 6. 커스텀 셀 라이브러리의 준비 과정.

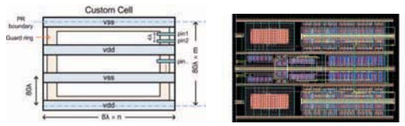


그림 7. (a) 커스텀 셀을 구현하기 위한 레이아웃 가이드라인 및 (b) 그러한 가이드라인에 따른 아날로그 셀 레이아웃의 예 (위상 보간기 회로).

아날로그 및 커스텀 셀들과 디지털 로직 게이트 셀들이 모두 준비되면, 이제 그 셀들을 조합하여 전체 시스템의 레이아웃을 생성할 수 있다. 본 기사에서는 Synopsys 사의 IC Compiler와 Custom Designer를 동시에 사용하는 co-design flow를 활용하여 그 작업을 하는데, 이 co-design flow는 같은 설계 DB를 서로 성격이 다른 두 툴이 서로 공유하고 그를 통해 서로 정보를 소통할 수 있는 기능을 제공한다. 다시 말해, 아날로그 레이아웃 편집툴인 Custom Designer를 활용해 중요한 아날로그 셀들을 원하는 위치에 먼저 배치하고(pre-placement), 노이즈 또는 매칭에 민감한 도선들은 먼저 배선한 후(pre-routing), 디지털 place-and-route 툴인 IC Compiler를 활용해 나머지 셀들의 배치와 그 연결선들의 배선을 완성시킬 수 있다. 이러한 두 단계가 필요한 이유는 디지털 P&R 툴인 IC Compiler는 그 배치나 배선을 할때 timing을 주로 고려해서 수행하기 때문에, timing 외에도 대칭성을 중요시하는 아날로그 설계자의 눈에는 만족스럽지 못한 결과를 얻기가 어렵기 때문이다. 이에 반해, Custom Designer는 Galaxy custom route 기능과 같이 differential 도선이나 여러 개의 도선으로 이루어진 버스들을 대칭성과 shielding을 고려하여 자동으로 수행해주는 기능을 제공하고 있다. 이 기능은 특히 노이즈에 민감한 아날로그 바이어스 선을 배선할 때나, PLL의 differential 또는 multi-phase 클록을 배선할 때 특히 유용하다. 그림 8은 이러한 IC Compiler와 Custom Designer의 co-design flow를 활용하여 digital PLL의 레이아웃을 자동 생성하는 단계를 도식적으로 나타내었다.

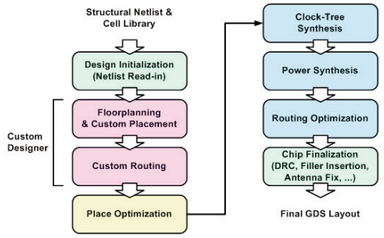


그림 8. Synopsys사의 IC Compiler와 Custom Designer를 활용하여 아날로그/혼성신호 시스템의 레이아웃을 자동 생성하는 과정.

그림 9와 그림 10은 Custom Designer를 사용하여 주요 아날로그 블럭의 우선 배치(pre-placement)와 매칭과 노이즈에 민감한 도선들의 우선 배선(pre-routing)이 끝난 후의 스크린 이미지이다. 큰 매크로 셀들로 보이는 상자들은 DCO, 주파수 분주기, 위상 보간기 같은 커스텀 아날로그 셀이다. 작은 크기의 상자들은 주로 로직 게이트들에 해당하는 디지털 셀이다. 우선 배선은 대칭과 매칭이 필요한 multiphase 클록 도선과 대칭과 함께 노이즈로부터의 shielding이 필요한 고속 differential 입출력 신호에 대해 수행하였다. 그림 11은 IC Compiler를 사용하여 나머지 셀들과 연결선들에 대해서 자동 배치 및 배선을 수행한 후의 스크린 이미지이다. IC Compiler는 세부적인 자동 배치 및 배선을 수행할 뿐만 아니라, power와 ground 등 주요 전원선의 배선, 연결 via의 삽입, 클록 트리 형성, 버퍼 삽입 등 칩을 완성하는데 필요한 주요 레이아웃 작업까지도 수행한다. 그림 12는 이러한 작업을 끝낸후의 스크린 이미지들을 보여준다.

그림 13은 안테나 수정, dummy 삽입, 중복 via 삽입 등의 칩 최종화 작업을 끝낸 후의 스크린 이미지를 보여주고, 그림 14는 이러한 과정을 통해 생성한 digital PLL 전체 칩의 레이아웃 이미지와 그 제작 사진을 보여준다. 한번 P&R 스크립트가 완성되면, 처음 아날로그 셀을 우선 배치한 후부터 칩의 레이아웃이 완성되는데까지 불과 4시간이 걸리지 않는데, 이는 동일한 작업을 수작업을 진행할 때 소요되는 수주의 시간에 비해서 엄청나게 단축된 것이다. 이러한 칩 자동생성 방법은 단지 레이아웃 시간을 단축시키는데 있는 것이 아니라, 레이아웃으로 인한 문제가 추후에 발견되었을 경우, 손쉽고 신속하게 그 문제를 해결한 새로운 레이아웃을 다시 생성해낼 수 있다는 데에 있다. 즉, 종전에는 몇번의 tape-out을 반복해서 개선할 수 있는 문제들을 단 며칠 만에 발견하고 해결할 수 있다.

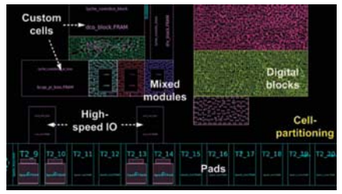


그림 9. 주요 아날로그/커스텀 셀들의 우선 배치(pre-placement)를 수행한 후의 스크린 이미지.

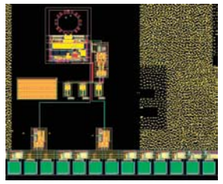


그림 10. DCO의 다중위상 클록과 고속 입출력 신호의 우선 배선(pre-routing)을 수행한 후의 스크린 이미지.

그림 11. IC Compiler를 사용하여 세부 배치 및 배선을 수행한 후의 스크린 이미지.

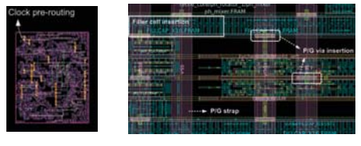


그림 12. 디지털 셀 그룹 내부의 클록 트리 합성 결과와 아날로그/커스텀 셀에 대한 전원선 연결과 filler 삽입을 수행한 후의 스크린 이미지들.

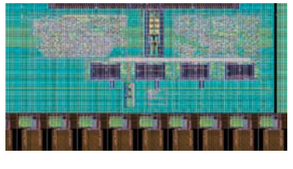


그림 13. 칩 최종화 작업을 마친 후 디지털 PLL의 레이아웃 세부 이미지.

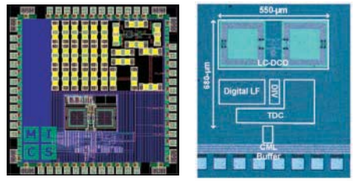


그림 14. 디지털 PLL 전체 칩에 대한 레이아웃 이미지와 제작 사진.

4. 결론

본 고에서는 모델부터 시작하는 셀 기반의 설계 흐름을 활용하여 아날로그/혼성신호 시스템의 설계 특히 그 레이아웃의 생성을 쉽게 자동으로 수행할 방법을 소개하였다. Synopsys사의 IC Compiler와 Custom Designer 간의 co-design flow를 활용하여, 레이아웃 작업을 대부분 디지털 P&R 툴에 활용하여 자동으로 수행하면서도 매칭과 노이즈에 민감한 아날로그 회로의 특성에 부합한 레이아웃을 생성할 수 있었다. 이러한 설계 흐름을 활용하여 전체 칩을 단 4시간 만에 생성할 수 있으며, 이는 보다 효율적이고 많은 수의 design iteration을 가능하게 해준다.

김 재 하 교수
소속 : 서울대학교 전기정보공학부
연구분야 : 반도체소자 및 집적회로
jaeha@snu.ac.kr
http://mics.snu.ac.kr/jaeha

참고문헌

[1] M. Horowitz, et al., "Fortifying Analog Models with Equivalence Checking and Coverage Analysis," ACM/IEEE Design Automation Conf. (DAC), June 2010.

[2] S. Ryu, et al., "A 9.2-GHz Digital Phase-Locked Loop with Peaking-Free Transfer Function," to appear in IEEE J. Solid-State Circuits, August 2014.

[3] R. B. Staszewski, "State-of-the-Art and Future Directions of High-Performance All-Digital Frequency Synthesis in Nanometer CMOS," IEEE International Symposium on Circuits and Systems, May 2010.

[4] Y. Tang, et al., "A 65nm CMOS Current-Controlled Oscillator with High Tuning Linearity for Wideband Polar Modulation," IEEE Custom Integrated Circuits Conf., September 2012.

INVITATION
2014 IDEC
SoC Congress
OPENS OCTOBER 6

모 • 시 • 는 • 글

반도체설계교육센터(IDEC)는 주요 사업의 성과를 소개하고 반도체 설계 인력 양성에 관한 현안을 논의하기 위하여 "IDEC SoC Congress"를 개최 합니다.

SoC 분야의 연구 인프라가 부족해지고 인력 양성이 어려워지고 있는 현 상황에서 이번 행사가 효과적인 해결책을 논의하기 위한 초석이 될 수 있도록 많은 관심과 참여를 부탁드립니다.

감사합니다.

반도체설계교육센터
센터장 **박 인 철**

AGENDA

Time	Session I 무궁화홀(2F)	Session II 10:00 ~ 16:00(1F / 2F) 로비
09:20 ~ 09:50	Registration	
09:50 ~ 10:00	Opening	
10:00 ~ 11:20	「성과 발표 I」 - MPW 설계 내역 (WG 연구 개발 IP 소개)	
11:20 ~ 12:10	「최신 동향 세미나I」 - The Internet or Things, 컴퓨팅의 차세대 진화 (인텔코리아 이희성 대표)	
12:10 ~ 13:10	점심식사	
13:10 ~ 14:00	「최신 동향 세미나II」 - Smart Healthcare (삼성전자 박용인 전무)	「IDEC 성과」 MPW 설계 결과 전시 「관계기관 전시」 공정사 EDA Tool Vendor
14:00 ~ 15:20	「성과 발표II」 - MPW 설계 내역 (WG 연구 개발 IP 소개)	
15:20 ~ 15:50	Break Time_전시 관람	
15:50 ~ 16:00	「관련 시상」 - 우수 WG, 우수 강사, 우수 설계팀	
16:00 ~ 16:30	「사업 내용 발표」 - IDEC 사업 수행 내용 및 성과 발표	
16:30 ~ 18:00	「SoC 포럼」 - 주제 : Soc 인력양성 방향 논의 및 연구지원 관련 현안 - 좌장 : 김재하 교수(서울대) - 패널 리스트 : 노승구 사무관(산업통상자원부 전자부품과) 이혁재 PD(산업통상자원부 산업기술평가관리원) 이석희 원장(SK하이닉스 반도체연구소) 이서규 대표(픽셀플러스) 공진흥 교수(광운대) 조중휘 교수(인천대)	

2014IDEC
SoC Congress

일 시 • 2014. 10. 6(월) 09:50~ 18:00
장 소 • 서울대학교 호암교수회관
문의처 • 042-350-4428 / yslee@idec.or.kr

주최 미래창조과학부 • 산업통상자원부 주관 반도체설계교육센터 • 서울대학교

근래 가장 뜨거운 키워드로 떠오르고 있는 O2O

020

김 석 기 대표이사
㈜모폰웨어러블스
웨어러블디자이스 개발
neo@nweb.kr
www.facebook.com/neokim

O2O는 무엇인가

O2O는 Online to Offline의 약자로 고객이 오프라인 상점에서 구매활동을 편리하게 할 수 있도록 지원하는 온라인 기술을 의미한다. 물론 현재 O2O에 대한 관심의 핵심은 비콘을 기반으로 하는 서비스에 집중되어있으나 개념적인 측면에서 보자면 QR코드 역시 O2O의 영역에 포함된다. 온라인 쇼핑이 보편화된 이후 온라인 커머스로 고객을 빼앗겨 매출이 부진한 오프라인 상점들이 고객을 되찾아 오기 위한 시도와 기술들은 지속해서 발전해왔다. 크로스 채널 커머스(Cross-Channel Commerce)나 옴니 채널 쇼핑(Omni Channel Shopping) 등 용어와 개념의 정의는 약간씩 다르지만 결국 목표는 온라인으로 넘어간 고객들을 오프라인으로 다시 끌어오는 기술과 서비스들이다. 최근 O2O가 주목받고 있는 이유는 소비자 행동 모델의 변화와 더불어 비콘을 통해 그 이전까지 불가능했던 IPS(Indoor Positioning System)가 구현되면서 오프라인에서의 온라인 쇼핑 지원이 가능하게 되었기 때문이다.

소비자 행동 모델의 변화

온라인-오프라인을 떠나서 커머스 서비스에서 고려해야 할 점이 바로 구매에서의 '소비자 행동 모델'이다. 소비자 행동모델은 소비자가 상품을 인식하고 구매하기까지 어떤 행동을 취하는지에 대해 정의한 것으로 전통적인 오프라인의 행동모델의 경우 AIDA라 부른다. AIDA는 Attention-Interest-Decision-Action의 두 문자를 딴것으로 광고 등을 통해 소비자들의 주목을 끌고(Attention) 소비자들이 관심(Interest)을 끌게 해서 소비자들이 상품 앞으로 오도록 만들고, 소비자들이 구매를 결심(Decision)하도록 설득해야 하며, 결제하도록 실행 (Action) 할 수 있도록 이끌어야 한다는 의미를 함축한 것이다. 이러한 오프라인의 소비자 행동모델은 온라인 커머스로 넘어가면서 변화하였다.

AIDA 전통적인 행동 모델

Search

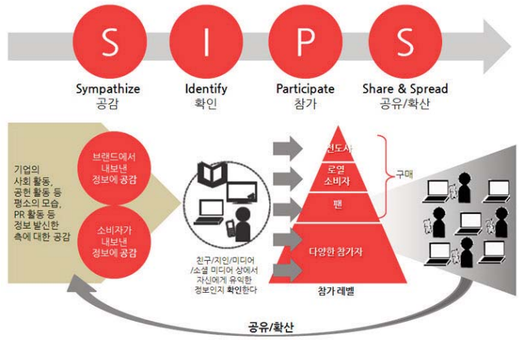
- **A** 첫째 · 광고들을 통해 소비자들의 주목을 끌고(Attention)
- **I** 둘째 · 소비자들이 관심(Interest)을 갖게해서 소비자들이 상품 앞으로오도록 해야한다.
- **D** 셋째 · 소비자들이 구매를 결심(Decision)하도록 설득해야 하며,
- **A** 넷째 · 결제를 하도록 실행(Action)할 수 있도록 이끌어야 한다.

Web 기반 행동 모델 AISAS라 부르는데 AISAS는 광고 등을 통해 소비자들의 주목을 끌고(Attention) 소비자들이 관심(Interest)을 끌게 해서 소비자들이 상품 앞으로 오도록 만드는 것까지는 동일하나 소비자들이 좋은 조건의 물건을 검색 (Search) 후 결정하고 결제를 실행(Action) 한 구매 후 지인에게 공유 (Share) 한다는 점이 다르다.

AISAS : Web 기반 행동 모델

- **A** 첫째 · 광고들을 통해 소비자들의 주목을 끌고(Attention)
- **I** 둘째 · 소비자들이 관심(Interest)을 갖게해서 소비자들이 상품 앞으로오도록 해야한다.
- **S** 셋째 · 소비자들이 좋은 조건의 물건을 검색(Search)후 결정
- **A** 넷째 · 결제를 하도록 실행(Action)할 수 있도록 이끌어야 한다.
- **S** 다섯째 · 구매 후 지인에게 공유(Share)

소셜서비스가 등장하면서 또다시 소비자의 행동모델이 변화하였는데 이는 SIPS라 부른다. S는 Sympathize로 공감을 말하며 I는 Identity(확인), P는 Participate (참가), S는 Share & Spread (공유와 확산)으로 서비스에 따라 행동 모델은 계속 바뀐다.



처음 아마존과 같은 온라인 쇼핑이 시장에 정착한 후 온라인 쇼핑이 가지는 장점에 따라 최저가와 많은 상품의 비교 등이 가능해졌지만 직접 상품을 보고 사는 것이 아니라 웹에서 본 제품에 대한 기대에 못 미치는 상품이 배달되기도 했다. 특히 옷이나 신발 등의 재질이나 칫수 등의 문제로 사람들을 오프라인 매장에 들러 실제 제품을 착용해 보고 주문은 가격이 싼 온라인을 통해 주문한다. 이를 쇼루밍(Showrooming)이라 부른다. 이외에도 오프라인과 달리 온라인에서의 주문은 배송까지의 시간과 배송료가 발생하며, 이러한 불편함의 틈을 파고든 것이 교보문고의 '바로드림 서비스'와 같이 오프라인매장에서 실물을 보고 고른 후 온라인 결제와 오프라인에서 물건을 직접 픽업하는 '크로스 채널 커머스(Cross-CH. Commerce)이다. 이 기법을 통해 오프라인 상점들은 온라인 소비자들을 오프라인으로 끌어내기 시작했다.

크로스 채널 커머스는 온라인에서의 소비자 행동 모델과 오프라인에서의 소비자 행동 모델을 결합한 것이다. 모바일이나 웹에서 검색을 통해 제품을 선택한 후 오프라인 매장에서 제품을 확인하고 결제는 온라인 가격으로 결제한 후 매장에서 물건을 수령하고 이에 대한 공유를 SNS로 하게 만든다.

O2O기술의 발전

GPS는 건물의 위치를 정확하게 측정하는 기술이지만 일단 건물에 들어가서는 건물의 어느 위치에 있는지를 알 수는 없다. 하지만 IPS(indoor Positioning System)가 나오면서 사용자들이 건물 내에 어느 위치에 있는지 5CM 단위로 알 수 있게 되었는데, 애플과 Paypal이 이미 널리 쓰이고 있던 Bluetooth 기술을 기반으로 실내위치측정이 가능한 비콘을 공개한 것이다. 그리고 이 기술을 주목한 분야가 바로 커머스 산업이었다.

애플의 아이비콘은 BLE(Bluetooth Low Energy)를 활용한 근거리 데이터 통신기술 시스템으로 실내위치 측정뿐 아니라 결제나 자동체크인이 가능한 플랫폼이다. 아이비콘 장치의 비콘 신호 영역 안에 아이폰을 소지한 사람이 들어오면, 아이폰에 그 지역에 특화된 여러 서비스, 예를 들어 자동 체크인, 쿠폰 제안, 실내 위치 파악, 자동 결제 등의 애플리케이션을 사용할 수 있다. 애플이 내놓은 iBeacon의 커머스 서비스 시나리오를 보면 점포 앞에 지나는 사람들의 스마트폰으로 현재 옆을 지나고 있는 가게의 세일정보를 알려준다. 자신의 스마트폰의 세일 정보를 보고 가게에 들어가면 다시 비콘을 통해 할인쿠폰을 날려주어 구매를 유도한다. 물건을 둘러보는 고객의 위치를 파악하여 바로 앞에 있는 물건의 정보를 알려줄 수 있으며 고객이 관심이 있지만 망설일 경우 재차 그 물품에 대한 추가 할인이나 적립을 유도하기도 한다. 마지막으로 현금이나 카드 없이 iBeacon을 통해 결제할 수 있다.

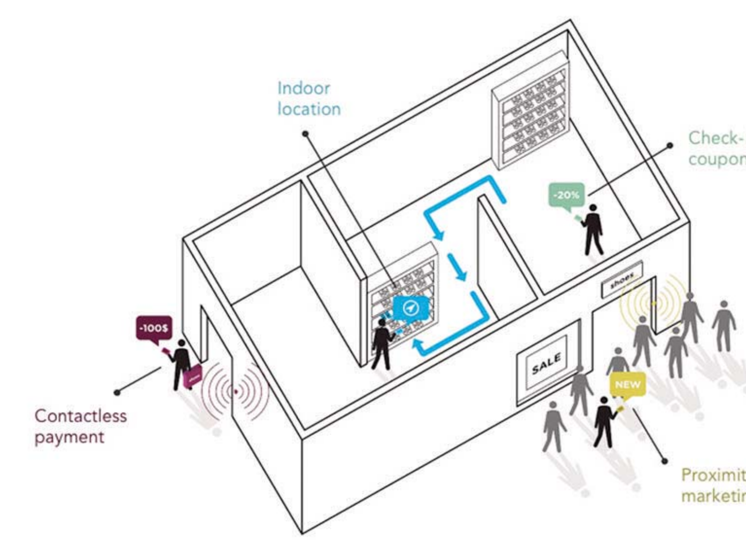
크로스 채널 커머스가 제공하지 못했던 사용자 위치기반의 커머스 서비스가 가능해지면서 O2O가 커머스에서의 소비자 행동모델 역시 변화시킨다. O2O가 서비스 적으로 강력한 이유는 실내에서 고객의 위치를 정확하게 인지할 수 있다는 점이다. 고객이 가게 내에서 어떤 상품코너나 물건 앞에 있는지 알 수 있으며, 그 자리에서 오래 머문다면 해당 물건에 관심이 많다는 것을 알고 구매를 유도 할 수 있게 된다는 뜻이다. 심지어 해당 고객이 집에 있거나 회사에 있을 때에도 해당 제품의 세일정보나 할인쿠폰을 보낼 수 있다.

그뿐만 아니라 특정제품이 구석에 있는데도 사람들의 발길이 많이 머문다면 의도적으로 좀 더 잘 팔리도록 전시위치를 좋은 자리로 옮기고 반대로 사람들의 관심이 낮은 제품은 매대에서 치워버림으로써 매장관리를 효율적으로 운영할 수 있다.

O2O는 커머스 뿐만 아니라 전시에서도 효율적으로 사용할 수 있는데 전시회에서 오디오가이드를 빌리지 않아도 해당 그림 앞에 서면 자동으로 그림에 대한 설명을 보고 들을 수 있다. 전시회에서 오디오 가이드를 대여하고 반납받는 데 들어가는 시간, 비용, 번잡함, 오디오가이드의 분실과 고장, 그림을 설명하는 도슨트를 운영하는 비용을 생각한다면 매우 경제적이고 적합한 서비스이다. 마찬가지로 관람자가 특정 그림 앞에 오랜 시간 서서 감상했을 경우 전시를 끝내고 아트샵 앞을 지날 때 해당 그림과 관련된 아트상품의 정보나 쿠폰을 보내 전시 도록이나 제품의 구매를 유도한다.

O2O에 대한 시사점

O2O를 이용한 광고/쿠폰/결제서비스는 이상적인 커머스 플랫폼을 제시한다. 하지만 결제를 수반하는 서비스의 경우 보안이 가장 중요한 키워드이며 상업서비스와 연결된 개인정보의 보호 역시 핫 이슈이다. O2O에서 보안의 중요성은 더욱 강조될 것이다.



현재는 보내는 정보는 위치만 식별하여 동일한 정보를 보내는데 만일 어떤 고객인지를 식별하여 인식한다면 그 서비스의 힘은 더욱 강력해진다. 고객의 성별과 나이만 인식한다고 해도 달라질 수 있는 것이 많다. 여성고객에게는 여성들이 흥미 있을 만한 제품의 쿠폰을 보내고, 같은 여자라도 20대가 좋아하는 물건과 40대가 좋아하는 물건이 다르니 거기에 맞추어 서비스할 수 있어진다. 여자에게 남성 화장품 쿠폰을 보내봐야 아무 쓸모가 없다.

이처럼 O2O는 현재 시작이지만 앞으로 서비스 적으로 발전할 가능성이 매우 높다. O2O에 의해 오프라인 상점들이 얼마나 온라인으로 빼앗긴 고객들을 되찾을지 지켜볼 가치가 있다.

Mentor사 Calibre xRC

A. 목적

Parasitic Extraction

B. 구분

Mentor사의 Calibre xRC는 Physical Layout의 Parasitic Extraction Solution을 제공

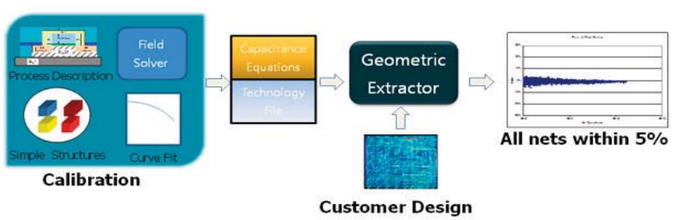
C. Supported Platform and O/S System

- Solaris (32/64bit) 8,9,10
- HPUX 11 64-bit
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능

Basic Flow

Calibre xRC는 Foundry에서 제공하는 Physical Information과 Design Rule을 바탕으로 기본적인 Test Structure를 Generation한 Field Solving을 통해 Parasitic Capacitance를 계산 할 수 있는 Equation을 만들고 설계자의 Design에서 Device 혹은 Characterized Cell을 제외한 Interconnect Layer에 대한 Parasitic 정보를 생성 후 설계자의 초기 회로와 같이 Simulation하여 설계된 Chip이 Manufacturing된 후 설계자의 의도 대로 동작하는지 확인 할 수 있도록 한다. 로 65nm Tech Node를 기준으로 이전 Node(65nm, 90nm, 110nm, 130nm …)에서는 OPCPro가, 그리고 이후 Node(65nm, 45nm, 32nm, 28nm, 20nm …)에서는 nmOPC가 널리 사용된다. Calibre OPC에서 지원되는 Function이나 Feature는 아래와 같다.

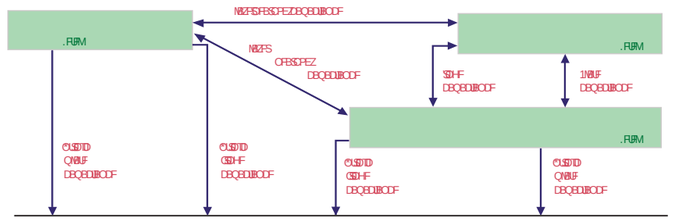


Calibre xRC의 Flow를 보여 주는 그림

Accuracy & Performance

Parasitic Capacitance & Resistance 추출의 정확성을 높이기 위해 Process Variation을 표현할 수 있는 Indie Variation환경을 제공하며 또한 예측 불가능한 Random Error를 빠른 시간에 검증 할 수 있도록 Multi-Corner Extraction 기능을 제공한다. 또한 설계 검증의 정확도와 검증 시간을 목적에 맞게 조정할 수 있는 아래와 같은 Option을 제공한다.

- Parasitic Network Model : C, RC, RCC, Ideal
- Reduction Command: Coupling Capacitance Reduction, Capacitance and Resistance Combine, TICER
- Net Model: Net 별로 Parasitic Network Model을 선택할 수 있는 기능
- Hierarchical Extraction: Flat & Hierarchy Extraction, Gate Level Hybrid Extraction, In-Context Extraction
- Hybrid Extraction: Net 별로 Calibre xRC와 Field Solving을 같이 사용하는 기능
- Include/Exclude Net: Net 별 혹은 Layer별 Include/Exclude ON/OFF 기능
- Dummy Fill Extraction: Grounded, Coupled, Extracted



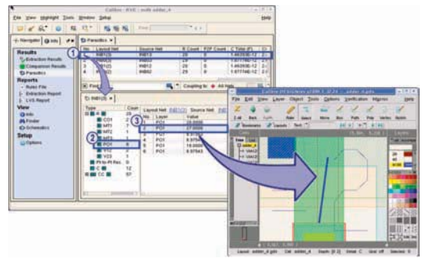
Calibre xRC의 Flow를 보여 주는 그림

Output Netlist and Results Inspection

Calibre xRC는 사용자의 Simulation Tool 종류에 따라 ELDO, HSPICE, DSPF, SPEF, SPECTRE, CalibreView등의 Format을 지원하며 Simulation의 정확도와 효율적인 Debugging을 위해 Sourcenames, Layoutnames, Sourcebased Schematiconly와 같이 Hierarchy, Net &Device Name, Device Parameter Back-Annotation을 User가 직접 선택하며 효율적인 검증을 위해 Layout & Schematic Inspection을 RVE(Query) Command를 이용하여 구현 할 수 있다.

Keyword	Names	Hierarchy	Device Parameters
LAYOUTNAMES	Layout	Layout	Layout
SOURCENAMES	Source	Layout	Layout
SOURCEBASED	Source	Source	Source
SCHEMATICONLY	Source	Source	Layout

Net/Device Name and Parameter



Parasitic Capacitance Layout Inspection

회 사 명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주 소 : http://www.mentorkr.com/
한국지사 : 한국멘토
전 화 : 031) 8061-0790
주 소 : 경기도 성남시 분당구 판교역로
192번길 12 (삼평동)
판교 미래에셋센터 7층

대한민국 국방력 향상을 위해 도전하다

박 상 홍 교수
부경대 전자공학과

Radar(레이더)는 RAdio Detection And Ranging의 약자로서 1940년대 2차 세계대전을 계기로 군사용으로 처음 적용되었으며, 현재까지도 주로 군사용 목적으로 사용되고 있다. 하지만 레이더에 탐지된 표적이 몇 대인지, 아군인지 적군인지 알 수가 없으므로, 한 대의 적기에 수십 대의 아군 항공기가 출격하는 것과 같이 심각한 국방 자원의 낭비를 초래할 수 있다. 이러한 국가적인 손실을 막고 효과적인 군사작전을 수행할 수 있도록 하는 기술이 ATR(Automatic Target Recognition) 기술이다. 레이더 신호를 압축하여 형성되는 HRRP, ISAR, micro-Doppler 영상 등을 이용한 ATR 연구를 수행하고 있는 부경대학교 박상홍 교수를 만나보았다.

문의 부경대학교 공과대학 전자공학과 전자기산란응용연구실
전화 051-629-6224 E-mail radar@pknu.ac.kr
http://myweb.pknu.ac.kr/

"국가적 손실을 막고 효과적인 군사작전을 위해 꼭 필요한 연구"

박상홍 교수는 현재 전공을 선택하게 된 이유는 군 복무가 큰 영향을 주었다고 한다. "저는 해군 6전단에서 CARAVAN-II 항공기 정비 매뉴얼 번역 및 프랑스 기술자들의 통역을 담당했어요. 그때 제가 정비하는 CARAVAN-II 외에 해군 초계기인 P-3C Orion, 다목적 헬기인 UH-60, 교육용 항공기 OH-58 및 미군의 C-5 Galaxy 등에 사용되는 다양한 형태의 레이더를 접하게 되었고, 이 때 국방 레이더 기술에 큰 매력을 느끼게 되어 현재의 항공기 자동표적인식 및 스텔스 기술을 전공하게 되었죠." 그는 석사과정에서 〈고주파 전자파 산란해석 기법인 PO(Physical Optics)〉, 〈PTD(Physical Theory of Diffraction), SBR(Shooting and Bouncing Ray) 기법을 이용한 해군함정과 공군 항공기의 레이더 단면적(Radar Cross Section, RCS)을 예측하여 스텔스 성능분석〉 연구를,

그 후 박사 과정부터는 레이더에서 반사되는 전자파 신호를 이용하여 〈HRRP(High Range Resolution Profile)〉, 〈ISAR(Inverse Synthetic Aperture Radar) 영상〉, 〈미세도플러(Micro-Doppler) 등〉을 추출하여 효율적인 표적인식 연구를 진행했다고 한다. 그러면서 박상홍 교수는 지금의 자신을 있게 만들어주신 분으로 김경태 교수(포스텍 전자전기공학과)를 꼽았다. "제게 김경태 교수님은 특별한 분이세요. 레이더 표적인식 분야는 전자기학적 지식과 신호처리, 패턴인식, 영상처리, 신경망 이론 등 다양한 학문이 융합이 되어야하기 때문에 배우기 힘들거든요. 그 때 이 분야에 선구자이신 그 당시 영남대에 계셨던 김경태 교수님을 매주 가서 귀찮게 했습니다. 열심히 배우고 나서 교수님과 먹었던 영남대 앞 부대찌개는 결코 잊을 수가 없네요." 라면서 그 때를 회상하며 웃으셨다.

"'내가 선구자다.' 라는 마음가짐"

레이더를 이용한 ATR 연구는 군사 선진국에서는 매우 오래전부터 연구가 진행됐지만 국내에서는 그 역사가 매우 짧다. 또한, 대부분 기술이 각 국가에서 보안으로 분류되어 있기 때문에 국내에서 자체적으로 개발해야 하는 연구이므로 그 역시 많은 어려운 순간을 겪었다고 한다. "누구나 하는 말이겠지만, 좌절하지 않기, 끈기와 용기를 갖고 다양한 분야의 학문 취득, 많은 논문을 접하면서 극복을 하고 있죠. 거기에 하나를 더 추가하면 교류라고 생각합니다. 유사한 연구를 수행하는 분들과의 다양한 교류는 꼭 필요하다고 생각해요." 박상홍 교수는 '내가 선구자다.' 라는 자세로 항상 연구에 임한다고 한다. "레이더 표적인식 분야는 국내에서 매우 짧은 역사를 가진 학문 중에 하나예요. 때문에 제가 개발한 기술들이 우리나라 국방에 크게 이바지할 것이라는 자부심을 항상 가지고 연구를 수행합니다. 미래에는 ATR이 적용된 향상된 우리나라 국방력을 볼 수 있을 겁니다." 그러면서 그는 후배들을 위한 당부의 말을 전했다. "누구나 힘들 때가 있어요. 그럴 때는 절대로 좌절하지 말고, 자신의 한계를 솔직히 인정하고, 모르는 것을 창피하게 생각하지 않고, 여러 사람과 논의하려는 자세를 가졌으면 합니다."

"국방분야와 민수분야가 함께 경쟁력을 키워야 한다."

마지막으로 박상홍 교수는 레이더 ATR의 미래 파급력에 대해 자신했다. "레이더 ATR은 국방분야에만 그치지 않을 거에요. 현재 차량에도 FMCW(Frequency Modulation Continuous Wave) 신호를 이용한 충돌방지용 ATR이 수행되고 있으며, 또한, 조난된 선박의 탐지 및 인명구호 등에도 적용될 수 있습니다. 또한, 지표탐사, 농작물 작황 현황 분석, 해상 오염물질 감시, 기상예측 등에 적용될 수 있으며, 현재 제가 매진하고 있는 micro-Doppler의 경우, 환자의 혈액분석 및 침입자 탐지 등에 활발히 적용될 수 있어요. 국내 레이더 ATR 시장이 수십 배 이상 커질 것이라고 확신합니다." 반대로 반도체 기술이 민수분야에 매우 치우쳐 있는 상황에서, 국가 안보를 위하여 국방 무기에 적용되는 견고하고 강인한 반도체 소자들이 개발되기를 희망한다는 말처럼 박상홍 교수가 국방과 민수 분야의 교류자의 역할이 되는 연구자가 되기를 희망해 본다.

「SoC 인력양성 발전 방향 및 대학 연구지원 관련 현안 논의」 토론자 기조발표 정리

지난 10월 6일 반도체설계교육센터(IDEC)는 서울대학교와 함께 「2014 IDEC SoC Congress」를 개최했으며, 이날 행사의 일환으로 정부와 학계, 산업계 주요 관계자들이 모여 "SoC 인력양성 발전 방향 및 대학 연구지원 관련 현안"을 논의하는 자리를 마련했다.

이날 토론회는 기조발표 후 자유토론 순서로 진행됐으며, 노승구 산업통상자원부 전자부품과 사무관, 이혁재 산업통상자원부 산업기술평가관리원 PD, 안기현 한국반도체산업협회 본부장, 이석희 SK하이닉스 미래기술연구원 원장, 이서규 픽셀플러스 대표, 공진흥 광운대학교 컴퓨터공학과 교수, 조중휘 인천대학교 임베디드시스템공학과 교수가 토론자로 참석했다.

이날 토론회는에서는 시스템온칩(SoC) 산업 육성을 위해 정부 지원책의 패러다임이 인력 양성 중심으로 바뀌어야 한다는 주장이 대두됐으며, 산학연이 뜻을 모아 정부와 소통해야 한다는 지적이 나오면서 구심점을 만들어야 한다는 데에 의견이 집중됐다.

본 고에서는 이날 SoC 인력양성 발전 방향 및 대학 연구지원 관련 현안 논의를 위해 참석한 토론자들의 기조발표를 정리하여 소개하고자 한다.

● 반도체인력양성사업 현황 – 노승구 사무관(산업통상자원부 전자부품과)

먼저, 노승구 사무관은 기조발표를 통해, 설계인력의 양적인 문제에 대한 부분을 지적했다 "연간 배출되는 석박사 인력은 400여 명이다. 하지만 삼성전자 한 곳만 보아도 한 해 배출하는 인력보다 수요가 훨씬 많다. 양적인 문제의 해법이 필요하다."라고 전했다.

● SoC 분야의 산업 발전 방향과 필요한 인재 육성 – 이석희 원장(SK하이닉스 미래기술연구원)

이석희 원장은 인재 육성을 논하기 위해 먼저, 산업의 발전 과정을 살펴보길 권했다. "PC에서 모바일, 인터넷 시대로 오면서 핵심 아키텍처가 교체됐다. 과거 PC 시대에는 x86이 주도했지만, 이제는 ARM으로 대변되는 저전력 아키텍처가 중심이다." 또한, 그는 사물인터넷의 시장을 주도할 것으로 전망했다. "앞으로는 사물인터넷이 시장을 주도할 것이기 때문에, 그에 맞는 인력을 어떻게 양성할 것인가를 고려해야 한다."

이석희 원장은 사물인터넷의 핵심을 크게 6가지로 설명했다. 사물인터넷의 핵심은 크게 4가지다. 이벤트를 센싱하는 센서, 데이터를 처리하는 프로세서, 기억을 담당하는 메모리, 취득한 정보나 가공된 정보를 쏴주는 커넥티비티, 전력을 관리하는 칩, 에너지를 모으는 에너지 하베스팅이다. "앞으로는 아키텍처 레벨에서 소프트웨어를 만질 수 있는 능력이 중요해진다. 시스템 아키텍처를 전부 이해하는 그런 소프트웨어를 말하는 것이다."

이와 함께 이석희 원장은 융합 인재의 필요성을 설명했다. "스페셜리스트보단 제너럴리스트가 필요한 시대다. 전문화되지 않은 제너럴리스트가 아니라 회로를 잘 알고 시스템 레벨까지 들여다볼 수 있는 그런 역량을 가진 인재가 필요하다. 한 마디로 융합 인재다. 이런 융합 인재를 육성하는 것이 힘들지만, 육성 하지 않으면 IoT 시대에 우리가 승리하긴 힘들 것 같다."

● SoC 산업발전 vs. 반도체설계 인력양성 대학과 기업, 정부의 역할 변화 – 공진흥 교수(광운대학교 컴퓨터공학과)

학교를 대표한 공진흥 교수는 되풀이되는 인력난의 악순환에 대해 꼬집었다. "과거에는 중소기업이 정부에 인재육성 관련된 요구를 많이 했지만, 요즘은 그렇지 않다. 인재들이 중소기업에는 안 가고 모두 대기업으로 가기 때문이다. 이렇다 보니 대학으로 오는 정부 지원금도 많이 축소됐다." 이로 인해 그는 반도체 분야 교수 숫자가 빠르고 줄고 있다고 지적했다. "정부 지원의 축소로 연구비가 없어서 교수들이 자꾸 다른 쪽으로 빠져나가는 것 같다. 교수 숫자가 줄면 학생 수도 축소되고, 결국 인력 공급이 자꾸 줄게 된다.

● SoC 시장의 상황 및 인력양성지원시스템 – 안기현 본부장(한국반도체연구조합 연구지원본부)

2013년 전 세계 시스템반도체 시장에서 한국 업체들의 매출액 점유율 총합은 5.8%로 2009년 2.9% 비해 많이 늘어났다. 하지만 삼성전자를 제외한 국내 시스템반도체 업체들의 2013년 매출액 점유율은 2%로 2009년 2%에서 변동이 없었다. 안기현 본부장은 한국 시스템반도체 산업이 살려면 삼성전자 같은 특정 대기업이 아니라 중소 팹리스의 성장이 필요함을 지적했다. "정부에서 다양한 인재양성 프로그램을 진행하고 있지만 여러 부분에서 문제가 있다. SoC 설계 인력들. 팹리스에 입사하면 바로 일을 시킬 수 있어야 하는데 그렇지 않다. 추가로 교육을 더 시켜야 한다. 학생들은 눈이 높다. 다들 대기업에 가려고 한다. 학교에서 인재를 기를 수 있도록 정부가 고용 연계형 R&D 과제를 주고 있지만, 이것도 문제가 있다. 학교에선 논문 쓰는 게 목적 중 하나인데 논문은 팹리스에 필요한 역량은 아니다."

이와 함께 안기현 본부장은 산학협력 포럼을 만들고자 함을 밝히며, 산학이 깊은 관계를 통해 인력양성 문제를 해결하길 제안했다.

● SoC 분야의 산업 발전 방향과 필요한 인재 – 이서규 대표(픽셀플러스)

이서규 대표는 기조발표를 통해 한국, 중국 대만의 팹리스 업계의 현주소를 진단했다. "우리나라 팹리스 업계는 사면초가다. 대만은 17조, 중국은 6조 원 규모지만, 우리나라는 한해 1.7조 규모밖에 안 된다. 한국 대표 팹리스라고 해봤자 한 업체가 연 매출 4,000~5,000억 원이다. 매출 1,000억 원 정도 업체 몇 개 외에는 모두 연 매출이 1,000억 원 미만이다."
그러면서 이서규 대표는 우리나라 팹리스 업계의 현저하게 부족한 수를 꼬집으며, 인력 부족에 그 원인을 두었다 "중국에 팹리스 업체 500개가 있지만, 한국은 100여 개 정도다. 실제 제대로 사업을 하는 팹리스는 20~30개 밖에 안 된다. 왜 이렇게 됐을까? 인력이 가장 큰 문제다. 팹리스의 가장 큰 자산은 인력이다. 인력을 어떻게 확보하느냐가 가장 큰 관심사다. 지금도 제품 개발할 건 많은데 인력이 없어서 제대로 대응하지 못하고 있다."

그리고 이서규 대표는 고급 인력 양성이 어려운 현실을 지적했다. "대기업들은 학생들이 학부 2학년부터 리쿠르트를 시작해, 장학금 지원을 통해 4학년을 마치면 전부 데리고 간다. 이 때문에 대학원 가는 애들은 이들보다 역량이 떨어진다고 봐야 한다. 대기업으로부터 장학생에 선발되면 대학원에 가고 싶어도 갈 수가 없다. 반도체 설계는 석사 정도는 마쳐야 기본 소양을 갖추기 때문에 대기업에서는 이들이 대학원에 가는 걸 막아서는 안 된다."

마지막으로 이서규 대표는 "중국은 정부 차원에서 인력양성에 매년 5조 원을 투자하는 것으로 안다. 반도체는 기반 산업이기 때문에 인재 육성을 잘해야 우리나라도 미래가 있다."라며 고급 인력양성을 위한 정부 지원의 필요성을 이야기했다.

● 시스템반도체산업 발전 소견 – 조중휘 교수(인천대학교 임베디드시스템공학과)

조중휘 교수는 기조발표를 통해 학교의 현실을 다시 한 번 되짚었다. "반도체 설계 쪽은 재미도 돈도 없다. 정부 사업을 들여다보면 산업원천기술개발 과제 하나에 대체로 지원비가 20억 원 내외다. 3~4차년도에 칩 제작하는데, 내 생각엔 칩 제작은 없애야 한다. 20억 원의 과제 예산에서 칩 제작비 빼면 남는 연구비가 없다. 만든 뒤 검증하고, 괜찮으면 정부 지원금이 아니라 수요 기업들이 직접 제작할 수 있게 해야 한다."

● 시스템반도체 발전 방안 – 이혁재 PD(산업통상자원부 산업기술평가관리원)

마지막 기조 발표자인 이혁재 PD는 시스템반도체 발전 방안에 대해 전반적인 소견에 대해 전했다. "우리나라 R&D 투자는 2000년(16조 1,105억 원)부터 2012년(55조 4,501억 원)까지 지속해서 증가했다. R&D 투자 규모로만 보면 세계 5위고, GDP 대비 투자 비율은 세계 1위다. 이스라엘하고 우리가 R&D에 가장 많은 투자를 하고 있다. 하지만 경쟁력이 없다. 2009년 11위였던 R&D 경쟁력 순위가 2013년에는 17위로 떨어졌다. R&D 생산성 역시 미국(3.93%)과 일본(1.87%)과 비교하면 뒤처지는 1.49%밖에 되지 않는다.

결국, 돈만 많이 쓴다는 얘기다. 그러면서 이혁재 PD는 시스템반도체 투자를 위해 연구기관들이 모여서 시스템반도체 발전을 위한 정기적인 의견 조율의 시간이 필요함을 주장했다. "시스템반도체에 투자를 많이 해야 한다는 것은 정부도 아주 잘 알고 있다. 그런데 결과는 어떤가. 삼성전자를 빼고 나면 제자리걸음이다. '투자를 더 해야 한다.'라고 건의하면 '지금까지도 성과 없었는데 어떻게 더 투자를 해야 하나?'라는 질문이 다시 돌아온다. 그러므로 좀 더 구체적인 비전이 필요하다. 협회나 IDEC, ETRI, KETI 같은 연구기관이 주기적으로 모여서 시스템반도체 산업을 어떻게 발전시킬 것인가에 대한 의견을 나누었으면 좋겠다. 그리고 거기서 도출된 비전으로 정부나 대기업을 설득한다면 충분히 지원을 얻어낼 수 있다고 생각한다.

* 정리 : 전항기 선임연구원
(반도체설계교육센터 042-350-8535 / jhg0929@idec.or.kr)

3차원 반도체 테스트 접근구조 연구동향

SoC(System-on-Chip)를 설계하고 반도체 칩으로 구현할 때 칩의 크기를 줄이기 위한 노력은 관련 산업 전반에 매우 중요한 요소가 되었다. 특히 칩의 복잡도가 증가하고 SoC 내부의 인터코넥션 라우팅(interconnection routing)이 어려워지는 등 기존의 평면 다이(die)에 구현하는 2차원 반도체는 면적의 측면에서 포화 상태가 발생하게 된다. 그래서 반도체 칩의 면적에 대한 제한을 극복하기 위해 다이를 3차원으로 적층하는 새로운 구조가 도입되었다. 초기의 3차원 반도체는 그림 1-(a)와 같이 적층된 다이들 사이의 인터코넥션을 와이어(wire)로 연결한 SIP(System-in-Package)이며 이는 다이 간의 인터코넥션 경로가 길어짐에 의한 전송 딜레이(delay), 와이어의 수, 라우팅 및 높은 전력 소비 등의 문제가 발생하게 되었다. 실제로 이러한 3차원 반도체는 와이어 본딩(bonding)을 사용한 이유로 완전한 3차원 반도체가 아닌 2.5차원 반도체의 과도기적인 명칭으로도 불리게 되었다.

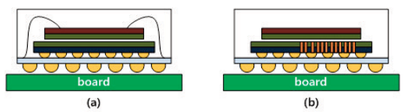


그림1. SoC의 3차원 구현 (a) SIP (b) TSV 기반 3차원 반도체

최근의 3차원 반도체는 그림 1-(b)와 같이 적층되는 다이들을 관통하는 전도물질로 채워진 TSV(Through-Silicon Vias)를 다이들 사이의 수직 인터코넥션으로 하는 구조에 대한 연구가 진행되었고, 상용화의 단계에 가까워지고 있다. TSV는 기존 와이어 본딩 방식의 3차원 반도체에 비해 더 많은 인터코넥션을 구현할 수 있고, 인터코넥션의 길이가 짧으므로 고속으로 동작할 수 있으며 전력의 소모도 적다. [1] 이러한 3차원 반도체도 기존의 2차원 반도체와 같이 새로운 적층 구조에 대한 테스트 전략이 필요하다. 2차원 반도체의 테스트 과정은 그림 2-(a)와 같이 wafer fabrication의 다음 단계에서 wafer test를 진행한다. 이는 다이의 구조적 결함을 assembly & packaging 전에 찾아내어 불필요한 제조 비용 증가를 방지하고자 하기 위함이다. 또한, 칩 packaging 후에는 final test를 진행하여 불량 칩이 시장으로 유통되지 않게 걸러낸다. 3차원 반도체는 2차원 반도체와 달리 더 많은 테스트 과정을 거쳐야 칩 한 개가 생산된다고 할 수 있다. 예를 들어 n개의 다이들을 적층하는 3차원 반도체를 제조한다고 하면 2n개의 테스트가 필요한데, 먼저 각각의 다이들의 불량여부를 판단하는 KGD(Known-Good-Die) 테스트와 다이를 적층 후 이상 여부를 검사하는 KGS(Known-Good-Stack) 테스트가 진행된다. 그림 2-(b)를 보면 1번 다이와 2번 다이에 대한 KGD 테스트가 완료되면 두 다이를 적층하고 KGS 테스트를 한다. 이런 식으로 n개의 다이들을 적층하면서 KGD/KGS 테스트를 반복하고 packaging 후 final test를 수행한다.

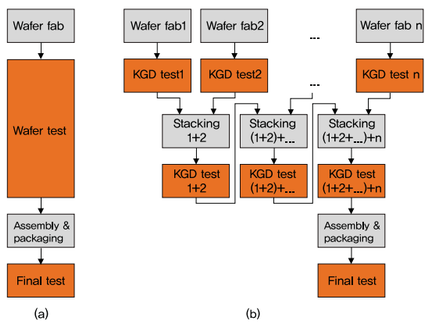


그림2. 반도체의 제조단계에서 테스트 수행 (a) 2D IC (b) 3D IC

KGD 테스트는 기존의 2차원 반도체에서 수행하는 테스트 방법들을 그대로 적용할 수 있으며, KGS 테스트는 적층된 다이들에 대한 테스트 및 다이 간의 TSV 인터코넥션에 대한 테스트도 같이 진행된다. 특히 3차원 반도체는 앞서 언급한 바와 같이 2차원 반도체를 테스트할 때보다 많은 비용의 테스트를 요구한다. 그러므로 3차원 반도체를 효율적으로 테스트하기 위해서는 적층되는 다이, 다이 내의 코어(core)들, TSV 인터코넥션, I/O 등에 대한 개별적인 테스트 접근이 가능한 모듈라(modular) 테스트가 되어야 한다. [2] 그래서 각각의 테스트 대상들에 대한 모듈라 테스트가 가능한 TAM(Test Access Mechanism) 및 DFT(Design-for-Testability) 구조에 대한 연구가 활발히 진행되고 있다.

일반적으로 SoC를 모듈라 테스트함에 있어서 내장된 코어를 테스트 하는 경우, 코어를 코어 테스트 래퍼(wrapper)로 싸고 다른 테스트 대상들과 격리하여 테스트한다. 테스트 래퍼는 코어의 테스트 접근에 대한 코어 외부와의 인터페이스 및 프로토콜을 제공한다. 이를 다이 레벨로 확장한 것이 그림 3-(a)와 그림 3-(b)가 된다. 여기서 그림 3-(a)는 적층되는 탑 다이(top die)가 한 개인 경우이고, 그림 3-(b)는 두 개의 타워로 구성되는 경우이다. 그림 3-(a)를 보면 다이 래퍼에 접근하기 위한 테스트 인터페이스는 IEEE 1500 표준에 기반하고 있다. IEEE 1500 표준은 코어 테스트를 위한 테스트 래퍼 및 CTL(Core Test Language)를 정의하고 있다. 다이에 대한 테스트 접근은 각 다이에 WSC(Wrapper Serial Control), WSI(Wrapper Serial Input), WPI(Wrapper Parallel Input), WSO(Wrapper Serial Output), WPO(Wrapper Parallel Output)의 테스트 포트(test ports)로 접근하며 각각의 테스트 포트는 다이 외부와 직접 테스트 패드(그림의 ■)를 통한 접근도 가능하다.

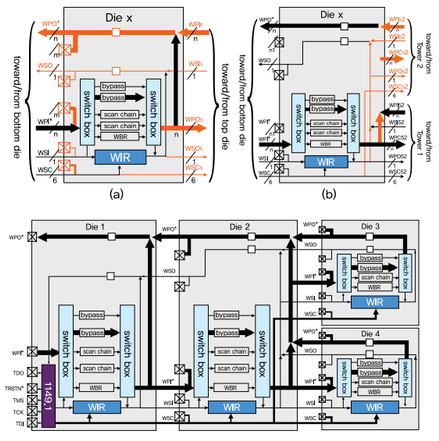


그림3. IEEE 1500 표준 기반의 3차원 반도체 테스트 구조의 다이 래퍼 (a) 탑 다이가 한 개인 경우 (b) 탑 다이가 두개인 경우 (c) 적층된 다이 사이의 테스트 구조 [3]

그림 3-(a)와 그림 3-(b)의 주황색으로 표시한 부분은 테스트 래퍼가 3차원 구조로 확장되는 부분을 표시한 것이며, 이때 테스트 포트와 테스트 패드는 멀티플렉서(multiplexer)로 선택할 수 있고 멀티플렉서 컨트롤을 포함한 테스트 경로에 대한 configuration은 WIR(Wrapper Instruction Register)에 IEEE 1149.1의 TAP 컨트롤러를 사용해서 명령어(instruction)를 전송하고, 전송된 명령어를 디코딩하여 결정한다. 테스트 접근을 테스트 포트와 테스트 패드로 선택할 수 있는 이유는 KGD 테스트에서는 테스트 패드로 테스트 접근이 가능하지만, KGS 테스트 시 적층의 가장 아래에 있는 bottom 다이를 제외한 non-bottom 다이들은 테스트 패드로 테스트 접근이 불가능하기 때문이다. 적층시 bottom 다이는 테스트 패드를 통해 외부에서 테스트 접근을 하고, non-bottom 다이들은 bottom 다이의 테스트 패드를 통한 테스트 입/출력을 테스트 포트를 통해 전달받는다. 또한, 테스트 입력과 출력도 IEEE 1500 표준을 활용하여 직렬 입/출력인 WSI, WSO, 병렬 입/출력인 WPI/WPO 모두 활용할 수 있다. 다이 테스트 래퍼의 모든 테스트 포트는 현재 다이 기준으로 top 다이와 bottom 다이로 연결이 가능한데 top 다이 방향으로 테스트 데이터가 전달되는 테스트 포트를 TestElevators, bottom 다이 방향으로 테스트 데이터가 전달되는 테스트 포트를 TestTurns라고 한다. 그림 3-(a)를 통해 설명하면, top 다이 방향으로 테스트 데이터를 전달하는 WSC, WSO, WPO가 TestElevators, bottom 다이로 테스트 데이터를 전달하는 WSO, WPO가 TestTurns가 된다. (여기서 테스트 포트 이름 뒤에 s는 stack을 의미한다.)

그림 3-(c)는 다이 테스트 래퍼를 사용하여 4개의 다이를 적층한 예를 보여준다. 이 때, 다이 3과 다이 4는 다이 2 위에 다중 타워 형태로 적층되는 구조이다. 예를 들어 KGS 테스트를 위해 다이 2를 테스트 한다고 가정하면, 다이 1은 테스트 데이터를 다이 2로 전달해야 하므로 Bypass/TestElevators (내부 레지스터는 bypass, 테스트 경로는 TestElevators)로 설정이 되어야 하며, 다이 2는 Intest/TestTurns (내부 레지스터는 top-level logic scan chain으로 접근하고, 테스트 경로는 TestTurns)가 된다. 또 다른 예로, 다이 2와 다이 4 사이의 TSV 인터코넥션을 테스트한다고 하면, 다이 1은 Bypass/TestElevators가 되며 다이 2는 Extest/TestElevators4/TestTurns3가 된다. (extest는 WBR에 접근하는 것이며 여기서 WBR은 Wrapper Boundary Register로 TSV 인터코넥션의 양 끝단이 WBR에 연결되어 있다고 가정하고, 테스트 데이터가 다이 4에는 전달되고 다이 3에는 전달되지 않아야 하므로 TestElevators4/TestTurns3이 된다.) 그리고 다이 4의 테스트 configuration은 Extest/TestTurns가 된다.

만약 테스트 하고자 하는 코어가 다이 내부에 계층구조(hierarchical architecture)로 연결되어 있을 때, 다이 테스트 래퍼에서 코어 테스트 래퍼에 접근하기 위해서는, 다이 테스트 레벨의 intest 모드에 코어 테스트 레벨의 incore 모드 (Intest/Incore) 또는 다이 테스트 레벨의 bypass 모드에 코어 테스트 레벨의 incore 모드를 결합하면 된다 (Bypass/Incore). 여기서 Intest/Incore 모드의 경우는 다이의 top-level 로직의 scan chain과 코어의 scan chain을 같이 접근하고 Bypass/Incore 모드의 경우에는 다이 레벨 테스트 래퍼에서 코어 테스트 래퍼로 바로 테스트 접근이 가능하다. 이렇게 코어 레벨로 접근하는 방법은 다이 테스트 래퍼를 configuration하는 것과 마찬가지로 코어 테스트 래퍼의 WIR을 같이 configuration 해주면 되며, 이를 그림 4의 테스트 래퍼 체인 구조로 표현할 수 있다. 그림 4에서 보면, 다이 레벨 래퍼와 코어 레벨 래퍼는 각각 bypass 레지스터를 갖고 있어서 서로 독립적으로 또는 동시에 접근이 가능하다. 또한, 다수의 코어가 존재하는 경우에도 선택적으로 해당 코어에 테스트 접근을 할 수 있다.

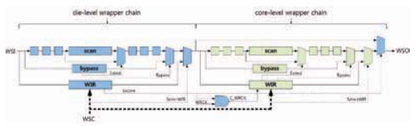


그림 4. 다이에 내장된 코어에 대한 테스트 접근을 위한 래퍼 체인 구조 [3]

또한, 적층시 그림 5와 같이 다수의 타워를 구성하게 되는 경우에도 다이 테스트 래퍼는 WIR에 테스트 경로를 설정하기 위한 명령어를 넣어주는 방식으로 적층되는 다이, 코어, TSV 인터코넥션 등에 대한 모듈라 테스트가 가능해진다.

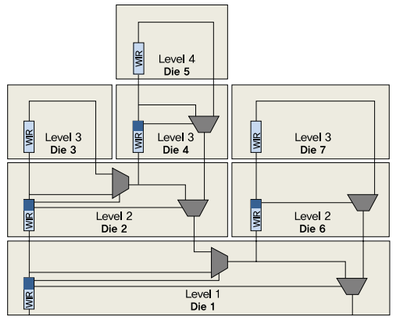


그림 5. 적층된 다이들이 다수의 타워형태로 되어 있을 때, 각각의 다이에 대한 테스트 접근 구조의 도식화 [4]

최근에는 3차원 반도체의 테스트를 위한 다이 테스트 래퍼에 대한 표준화 작업을 위해 프로젝트 그룹이 조직되었고, 현재 IEEE P1838로 명명되었다. [5] IEEE P1838에는 3차원 반도체의 테스트 접근 구조를 위한 신호 인터페이스와 테스트 접근 프로토콜 및 컨트롤 방법, 테스트 및 디버깅을 위한 구조 체계 및 표준 기반의 설계를 위한 description language를 정의하고 있다. 특히 IEEE P1838은 IEEE 1149.1, IEEE 1500의 재사용을 통한 표준 인터페이스를 지향하고 있으며 테스트 경로 설정의 빠른 configuration을 위한 새로운 테스트 및 디버깅 표준으로 진행 중인 IEEE P1687 [6] 또한 IEEE P1838 표준에 포함되어 있다.

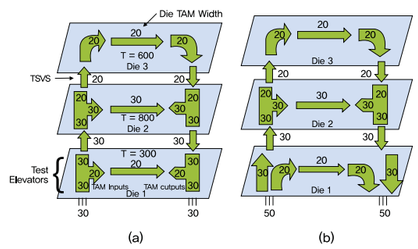


그림6. 3개의 다이가 적층되어 있는 경우
(a) 적층된 다이의 직렬 접근 (b) 병렬 접근 [7]

다이 테스트 래퍼와 코어 테스트 래퍼를 사용하여 3차원 반도체의 테스트 접근을 위한 인터페이스 및 프로토콜 등의 방법이 결정되면 테스트 접근 구조에 대한 최적화가 요구된다. 일반적으로 테스트 접근 구조를 적용할 경우에는 TAM width와 테스트 시간의 trade-off 관계가 존재하게 된다. 만약 테스트 래퍼의 WPI/WPO에 할당되는 TAM width가 증가하게 되면 테스트 시간은 상대적으로 단축되게 되며, 반대의 경우에는 테스트 시간이 증가하게 된다. 또는 bottom 다이의 테스트 패드의 수를 증가시키면 한 번에 전송할 수 있는 테스트 데이터의 양이 증가하기 때문에 테스트 시간은 줄어들지만 그만큼 테스트 패드의 크기에 의한 면적 오버헤드 (overhead)가 증가하게 된다. 예를 들어 그림 7과 같이 3개의 다이가 적층된 3차원 반도체에서, 다이 1은 TAM width가 20비트일 때 300 클럭 사이클의 테스트 시간이 걸리고, 다이 2는 30비트의 TAM width에 800 클럭 사이클의 테스트 시간, 마지막으로 다이 3은 20비트의 TAM width에 600 클럭 사이클의 테스트 시간이 걸린다고 하면 그림 7-(a)와 같이 각 다이 테스트 래퍼들을 순차적으로 테스트 접근한다면 최소한 30비트의 테스트 패드가 필요하고, 다이 1과 2 사이의 TestElevators 모드를 위한 TSV 30비트, 다이 2와 3사이의 TSV는 20비트가 필요하다. 만약 그림 7-(b)와 같이 다이 1과 다이 2를 동시에 테스트 접근한다면 각 다이의 테스트 시간을 충족시키기 위해 TAM width를 유지해야 하므로 테스트 패드는 최소 50비트의 테스트 데이터의 전송이 가능해야 한다. 특히 다이 1은 KGD 테스트 시에는 20비트의 테스트 패드만 있어도 되지만 KGS 테스트를 위해 총 50비트의 테스트 패드가 필요하게 되는 것이다.

3차원 반도체의 테스트 접근 구조는 기존의 2차원 반도체의 테스트 접근 구조에서 확장된 형태가 될 수 있기 때문에 기존의 테스트 자원을 활용하여 효율적인 테스트가 가능하다. 또한, 테스트 구조를 설계하는데 있어서 KGD, KGS 테스트가 모두 가능해야 하며 테스트 패드를 비롯한 테스트 포트와 TAM width의 최적화와 다이 테스트 래퍼들의 병렬 테스트 구조 등을 통한 테스트 비용을 줄이기 위한 지속적인 연구가 요구된다.

강 성 호 교수
소속 : 연세대학교 전기전자공학과
연구분야 : SoC test / SoC design
shkang@yonsei.ac.kr
soc.yonsei.ac.k

최 인 혁 박사과정
소속 : 연세대학교 전기전자공학과
연구분야 : SoC test architecture
ihchoi@soc.yonsei.ac.kr
soc.yonsei.ac.kr

참고문헌

[1] E. J. Marinissen and Y. Zorian, "Testing 3D Chips Containing Through-Silicon Vias," In Proceedings IEEE International Test Conference (ITC), 2009

[2] E. J. Marinissen et al, "3D DfT Architecture for Pre Bond and Post Bond Testing," In Proceedings IEEE 3D System Integration Conference (3DIC), 2010

[3] E. J. Marinissen et al, "A DfT Architecture for 3D-SICs Based on a Standardizable Die Wrapper," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 28(1), pp. 73-92, 2012

[4] C. Papameletis et al, "Automated DfT Insertion and Tests Generation for 3D-SICs with Embedded Cores and Multiple Towers," In Proceedings IEEE European Test Symposium (ETS), 2013

[5] IEEE 3D-Test Working Group (3DT-WG). http://grouper.ieee.org/groups/3Dtest/

[6] F. G. Zadegan et al, "Reusing and Retargeting On-Chip Instrument Access Procedures in IEEE P1687," IEEE Design & Test of Computers, Vol. 29(2), pp. 79-88, 2012

[7] B. Noia et al, "Test-Architecture Optimization and Test Scheduling for TSV-Based 3-D Stacked ICs," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 30, No. 11, 2011

웹 애플리케이션을 위한 병렬처리 소프트웨어 기술동향

1. 서론

오늘날의 HTML5 기반 웹 환경은 과거의 단순한 정보의 공유와 제한적인 인터렉션 제공을 넘어, 범용 애플리케이션 구동을 위한 프로그래밍 환경으로 진화하고 있다. 간단한 웹 문서의 스크립팅을 위해 처음 제안된 자바스크립트는 미디어 플레이어, 게임, 3D 렌더링 등 계산량이 매우 많고 복잡한 애플리케이션을 실행할 수 있는 플랫폼의 역할을 요구받고 있다. 또한, 브라우저 안에서 온라인으로 실행되는 웹 애플리케이션에서 한 걸음 더 나아가, 기존의 C/C++ 기반의 네이티브 애플리케이션을 자바스크립트 기반 애플리케이션으로 대체하고자 하는 Tizen, ChromeOS, FirefoxOS 등의 플랫폼과, 서버 프로그래밍 환경인 Node.js 등으로 그 역할이 확대되는 추세이다 (그림 1).

그림1 (a)웹 브라우저 프로젝트 (b)웹 기반 OS 프로젝트

그림2 Firefox브라우저에서 3D
게임 엔진(Unreal Engine)을 사용한 Epic Citadel 데모

하드웨어적인 측면에서는 CPU, GPU 및 다양한 가속기 IP를 하나의 칩 위에 집적하는 이기종(heterogeneous) 프로세서 SoC가 모든 컴퓨팅 세그먼트에서 보편화 되었다 (그림 3). 따라서, 최신의 프로세서 SoC가 제공하는 풍부한 하드웨어 리소스를 가장 효율적으로 사용하여, 성능과 전력효율을 극대화할 수 있는 병렬 프로그래밍 환경의 역할이 매우 중요해졌다. 보다 구체적으로는, 애플리케이션의 병렬성(parallelism)을 효과적으로 추출해 주는 컴파일러 및 API 지원과, 다양한 하드웨어 및 워크로드 조합에 적응하여 병렬 실행을 최적화해 주는 런타임 실행 환경 등을 포함한다. 또한, 애플리케이션 성능향상에 초점을 두는 전통적인 고성능 병렬처리 기술에서, 전력효율 및 발열 등을 함께 고려하는 고효율 병렬처리 기술이 더욱 중요해 지고 있다

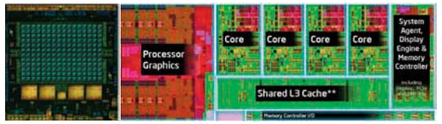


그림3 이기종 멀티코어
(a) Nvidia Tegra K1 (모바일); (b) Intel Haswell (데스크탑)

이러한 요구에 부응하여, 자바스크립트에서도 병렬성의 효과적인 추출과 효율적인 실행을 위한 다양한 병렬화 프로그래밍 환경이 제안되었다. 본 고에서는 자바스크립트를 위한 병렬 프로그래밍 환경을, Single-Instruction-Multiple-Data(SIMD) 모델에 기반을 둔 데이터 수준 병렬화 프레임워크와 Multiple-Instruction-Multiple-Data(MIMD) 모델에 기반을 둔 태스크 수준의 병렬화 프레임워크로 나누어 소개하고자 한다.

2. 데이터 수준 병렬화 프레임워크 (Data-Level Parallelization Frameworks)

데이터 수준 병렬화 기법은, 멀티코어 CPU나 GPU 등을 활용하여 배열의 각 요소에 대해 동일한 연산을 여러 개의 코어에서 동시에 수행하는 기술이다. 요소 간 작업에 의존성이 없다면 프로그램의 성능을 향상시키는데 가장 효율적인 병렬 실행 모델이다. 그림 4은 두 개의 배열 A와 B에 대해, 같은 인덱스를 갖는 요소끼리의 합을 배열 C에 저장하는 예제이다. 예를 들어, A[0]와 B[0]의 합을 C[0]에 저장하고, A[1]과 B[1]의 합을 C[1]에 저장한다. 이 예제에서는 모든 요소 간의 연산에 의존성(dependence)이 없으므로, 각각의 인덱스에 대해 병렬적으로 연산할 수 있다. 기존의 C 언어를 위한 대표적인 데이터 수준 병렬 프로그래밍 환경으로는 OpenMP, OpenCL 등이 있다.

	0	1	2	3	4	5	6	...
A +	6	1	1	0	9	2	4	...
B	1	1	9	7	6	1	2	...
C	7	2	10	7	15	3	6	...

그림4 C[i] = A[i] + B[i]

[WebCL]

WebCL은, GPU 프로그래밍을 위해 널리 사용되는 데이터 수준 병렬화 프레임워크인 OpenCL을 자바스크립트에서 사용 가능하도록 지원하는 바인딩이다 [1]. 크로노스 그룹(Khronos)의 주도하에 표준을 제정하고 있으며, 웹킷과 파이어폭스 등 다양한 브라우저가 지원하고 있다. OpenCL을 사용할 수 있는 프로그래머라면 WebCL을 통해 웹 환경에서 손쉽게 데이터 수준 병렬화를 할 수 있다. GPU뿐만 아니라 OpenCL 드라이버가 포팅되어 있는 멀티코어 CPU, 가속기에서도 사용이 가능하여 높은 이식성(portability)을 가진다. 특히 이미지나 비디오 등의 그래픽 처리와 같은 단순한 연산을 반복적으로 처리하는 작업에서 큰 성능의 향상을 기대할 수 있다. 또한, 그래픽 렌더링 라이브러리인 WebGL과 함께 사용할 수 있어 그래픽 처리에서의 유용성이 크다.

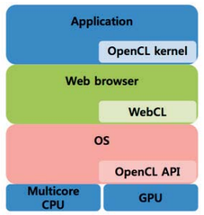
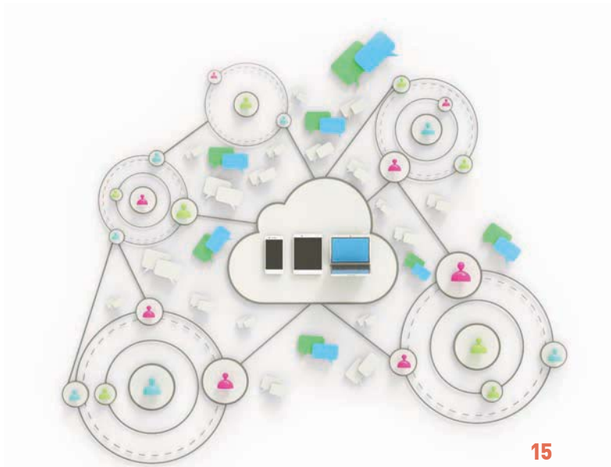


그림5 WebCL 실행 시스템 구조

WebCL은 높은 이식성과 효율성을 갖는 데이터 병렬화 프레임워크지만, 최적의 성능 튜닝을 위해서는 OpenCL 실행 모델을 이해해야 한다. 또한, WebCL을 사용하기 위해 C 스타일의 OpenCL 커널(kernel)을 직접 작성해야 한다. 이는 OpenCL에 익숙하지 않은 자바스크립트 프로그래머들에게 다소 어렵게 느껴질 수 있다. 그림 5 는 멀티코어 CPU와 GPU가 함께 있는 이기종 프로세서에서 WebCL의 실행 시스템 구조를 보여준다. WebCL을 사용하기 위해선 우선 브라우저에서 지원하는 WebCL API를 습득해야 하고, 프로그램을 최적화하기 위해 하드웨어 및 OpenCL 런타임 시스템을 이해해야 하는 어려움이 있다.

[Parallel JavaScript (River Trail)]

자바스크립트에서 OpenCL을 쉽게 사용하기 위해, 내부적으로 OpenCL 런타임을 사용하지만 OpenCL 커널 코딩에 익숙하지 않은 프로그래머도 쉽게 배워서 사용할 수 있는 자바스크립트 프레임워크를 Intel에서 제안하였다 [2]. 이를 Parallel JavaScript(과거 River Trail [3])이라 부르며, 실행 시에 자바스크립트 함수를 OpenCL 커널로 바꾸어 주는 컴파일러를 가지고 있어 자바스크립트 프로그래머도 쉽게 작성할 수 있고, 또한 입력값을 자동으로 OpenCL 런타임에서 최적화되도록 변환해 주는 기능이 있어 프로그래머의 편의를 도와준다. Parallel JavaScript는 WebCL에 비해 더 높은 추상 수준(abstraction level)의 API를 제공하고 있어, 더 적은 양의 코드로 같은 기능을 구현하게 해 준다. 그림 6은 그림 4의 연산을 Parallel JavaScript를 사용해 구현한 예제 코드이다.



배열 A와 B의 각 요소의 합을 배열 C에 저장하는 프로그램이며, 같은 결과를 얻기 위해 WebCL을 사용하여 프로그램을 작성하면 약 25줄 정도의 자바스크립트프로그램이 필요하다. WebCL은 프로그래머에게 다양하고 최적화된 병렬 수행을 가능하게 해주지만, 제안된 Parallel JavaScript API를 사용하면 비교적 간단한 방법으로 같은 결과를 얻을 수 있다. 만약 그림 6의 코드가 GPU에서 실행된다면, GPU의 하드웨어 쓰레드의 개수만큼 동시에 덧셈을 실행한다.

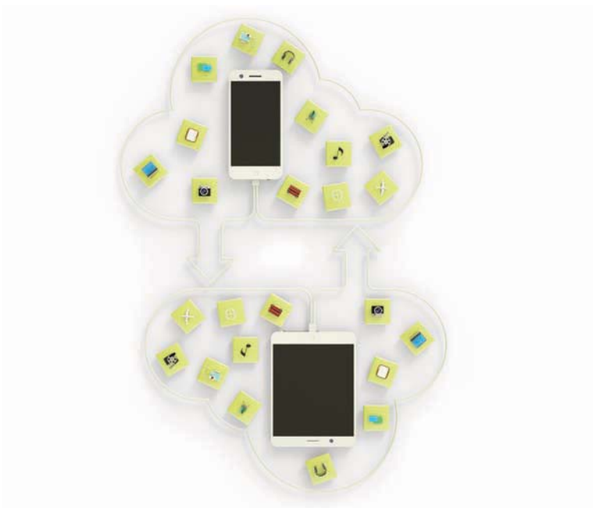
```
1 var A = [6, 1, 1, 0, 9, 2, 4, … ];
2 var B = [1, 1, 9, 7, 6 ,1, 2, … ];
3 var C = A.mapPar(function(v, i){ return v+B[i]; });
  // A[i] = v + B[i] = A[i] + B[i]
```

그림6 Parallel JavaScript의 간단한 예제

[SIMD.js]

SIMD.js는 범용 프로세서에서 일반적으로 지원되는 Single Instruction, Multiple Data(SIMD) 명령어를 타겟으로하는 코드를 생성해주는 자바스크립트 프레임워크이다 [4]. 예를 들어, Intel의 SSE, ARM의 Neon, IBM PowerPC의 Altivec 등의 명령어 세트 확장을 타겟으로 삼을 수 있다. SIMD는 4~8개의 데이터 워드를 동시에 저장하는 SIMD 레지스터를 한 명령어로 처리하여 명령어 레벨에서의 데이터 병렬성을 지원한다. 예를 들어, 그림 4의 배열 A의 0부터 3까지와 배열 B의 0부터 3까지를 2개의 SIMD 레지스터에 저장한 후 이를 하나의 SIMD add 명령어로 처리하여, 그 결과를 또 다른 SIMD 레지스터에 저장한다.

SIMD 연산은 쓰레드를 생성하지 않는, 명령어 수준에서의 데이터 병렬 처리 기법이므로, 추가적인 WebCL이나 Parallel JavaScript를 사용한 병렬 코드에 비해 적은 성능 오버헤드와 높은 전력효율을 기대할 수 있다. 또한, 자바스크립트 쓰레드를 생성할 수 있는 Web Worker나 WebCL과 결합하여 추가적인 성능향상을 얻을 수 있다. 그러나 명령어 세트가 지원하는 비교적 단순한 연산에만 적용이 가능한 한계가 있다.



3. 태스크 수준 병렬화 프레임워크

태스크 수준 병렬화란 하나의 프로그램을 여러 개의 태스크 조각으로 나누어 이를 여러 쓰레드에서 동시에 수행하는 시나리오를 가리킨다. 태스크 수준 병렬화를 하기 위해선 효율적인 쓰레드 간 커뮤니케이션 기법이 중요하고, 만약 커뮤니케이션 중 의존성 문제가 생겼을 때 이를 검출하고 보완하는 과정이 필요하다. 기존의 C 언어를 위한 태스크 수준 병렬화 프레임워크의 예로 Intel의 Threading Building Blocks (TBB)와 Cilk Plus, Qualcomm의 Multicore Asynchronous Runtime Environment(MARE) 등이 있다.

그림 7은 두 개의 함수 호출로 구성된 순차 실행 프로그램(Seq)에 태스크 수준 병렬화를 적용했을 때와 안 했을 때 프로그램의 수행을 시간의 흐름에 따라 도식화한 것이다. 프로그램이 다수의 독립적인 태스크로 구성되어 있을 때, 이 태스크들을 각각 새로운 쓰레드에서 수행하여 성능 향상을 기대할 수 있다. 이를 위해 쓰레드들에게 일을 나누어 주고 (dispatch), 합치는 (merge) 과정이 추가되어야 하므로 추가적인 오버헤드가 발생한다.

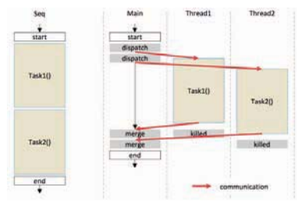


그림7 태스크 수준 병렬 실행의 시간 흐름도

[Web Workers]

웹 워커(Web Workers)는 HTML5 표준의 일부로, 자바스크립트 환경에서 메인 UI 쓰레드와는 별도로 새로운 워커(Worker) 쓰레드를 생성하여 백그라운드에서 수행한다 [5]. 메인 쓰레드와 워커 쓰레드간의 커뮤니케이션을 위해 XMLHttpRequest와 같은 방식의 메시지 전송 방식을 사용하며, 둘 사이에는 어떠한 메모리 영역도 공유하지 않는다. 이를 Shared-Nothing 모델이라 한다. 자바스크립트에서는 웹 워커를 사용하여 그림 7과 같은 병렬화를 위한 쓰레드를 생성할 수 있다.

그림 8은 두 개의 웹 워커를 사용해 입력받은 배열을 매 짝수 번째 요소를 2배씩, 매 홀수 번째 요소를 3배씩 병렬적으로 증가시키는 예제이다. 웹 워커는 메인 페이지와 워커 간 공유하는 자원이 없으므로 모든 입력 값과 결과 값을 그림 8의 4, 5번째 줄과 같이 메시지 전송 방식(postMessage / onmesssage)을 통해 교환하여야 한다. 각 워커에서 계산이 끝나면 다시 한 번 메시지를 통해 그 계산된 결과 값을 메인 페이지에 전달하고 (6, 7번째 줄), 메인 페이지에서 그 결과를 합친다. 그림 8에서 두 워커의 결과를 저장하는 배열 (result)이 같으므로 만약 두 워커가 동시에 끝난다면, 일반적인 C/Java 프로그램의 경우 쓰기 충돌이 발생할 수 있다. 하지만 자바스크립트는 하나의 메시지 채널을 공유하므로 커뮤니케이션의 직렬화(serialization)로 인해 추가적인 락(lock) 없이도 충돌 없이 두 워커의 계산결과를 병합할 수 있다.

```
1 var w1 = new Worker( 'evenx2.js' );
  // 배열의 짝수 요소를 2배 증가하는 워커 w1 생성

2 var w2 = new Worker( 'oddx3.js' );
  // 배열의 홀수 요소를 3배 증가하는 워커 w2 생성

3 var result, input = [6, 1, 1, 0, 9, 2, 4, … ];
  // 입력 배열 input과 결과 배열 result 생성

4 w1.postMessage(input);
  // w1에 배열 input 전송. 완료 시 w1 계산 시작

5 w2.postMessage(input);
  // w2에 배열 input 전송. 완료 시 w2 계산 시작

6 w1.onmessage = function(e) { merge(result, e.data); };
  // w1의 수행 결과 병합

7 w2.onmessage = function(e) { merge(result, e.data); };
  // w2의 수행 결과 병합
```

그림8 Web Workers를 사용한 간단한 병렬화 예제

[Transferable Object]

웹 워커 간, 또는 웹 워커와 메인 UI 프로세스 사이에는 공유 메모리 영역이 없다. 따라서 그림 8에서 두 워커로 배열 input을 메시지를 통해 전달한다면 그 내부 과정 중에 전달하려는 모든 데이터를 복사하는 과정이 추가된다. 이는 따라 전달해야 하는 데이터의 크기가 크다면 커뮤니케이션 오버헤드는 선형적으로 증가하며, C/C++과 달리 가상머신 위에서 동작하는 자바스크립트는 그 오버헤드가 더욱 더 크게 드러난다. 그림 9는 메인 쓰레드와 워커 쓰레드 간 커뮤니케이션을 C와 자바스크립트에서 측정한 결과이다. C의 경우 원형 큐(circular queue)를 사용하였고, 자바스크립트는 기본적인 메시지 전송 메소드(postMessage, onmessage) 를 사용하였다. 결과에서 보이듯 같은 양의 데이터를 전송할 때 자바스크립트에서 약 1,000배 정도 더 많은 시간이 소요된다.

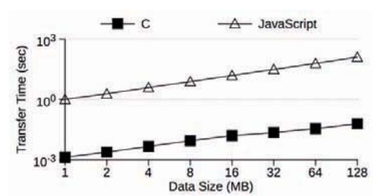


그림9 C와 자바스크립트에서 쓰레드간 커뮤니케이션 성능 측정

자바스크립트에서 워커 간 커뮤티케이션 중 발생하는 오브젝트를 복사하는 대신 해당 오브젝트의 접근 권한만을 특정 쓰레드로 전달해 다른 쓰레드들에서 읽거나 쓰지 못하도록 제한하는 Transferable Object가 구글 크롬(Google Chrome) 17과 파이어폭스(Firefox) 18 이상에는 포함되어있다 [6]. Transferable Object을 사용하면 커뮤니케이션 자체의 오버헤드는 줄어드나, 이를 사용하기 위해 해당 데이터를 미리 나누어 놓거나, 복사하는 수행이 필요하다. 예를 들어 그림 8의 4번째 줄에서 Transferable Object를 사용해 w1로 배열 input을 전달할 경우, 메인 프로세서에서 배열 input에 더는 접근할 수 없으므로, 5번째 줄에서 w2에 배열 input을 전달할 수 없다. 따라서 4번째 줄 이전에 배열 input을 미리 복사해 놓거나 각 워커에서 사용할 수 있게 미리 나누어 놓아야 한다.

[자바스크립트를 위한 트랜잭션 메모리 지원]

웹 워커는 비교적 단순한 의존성 패턴을 갖는 DOALL 병렬화를 가능하게 하나, Worker 간 혹은 Worker와 메인 프로세스 간에 공유하는 메모리 영역이 없고 DOM 엑세스가 불가능한 점등의 제한이 많아 복잡한 의존성을 갖는 태스크 간의 병렬 처리에는 적합하지 않다. 여러 쓰레드 간에 공유 메모리를 지원하게 되면 공유된 자원을 안전하게 엑세스 하기 위해 락(lock) 등의 동기화 프리미티브(synchronization primitives)가 필요하다. 하지만 이 모든 읽기/쓰기에 락이 들어간다면 그 오버헤드가 더 커질 것이다. 이를 해결하기 위해 트랜잭션 메모리의 지원이 필요하다. 트랜잭션 메모리란 워커에서의 읽기/쓰기를 기록하여 그 계산 결과를 메인페이지에서 취합할 때, 그 읽기/쓰기의 기록을 검토해 충돌이 없다면 그 결과를 취합하고, 그렇지 않다면 그 결과를 버리고 재실행하는 것을 말한다.

자바스크립트에서 효율적인 태스크 수준 병렬화를 위해 자바스크립트 엔진의 이벤트 루프를 병렬화하거나 (JXcore, TigerQuoll), 메인 페이지와 자원을 공유하며 트랜잭션 메모리를 지원하는 쓰레딩 기법(ParaScript)이 제안되고 있다. 이들은 모두 기존의 자바스크립트 엔진을 수정하였고, 이들을 사용해 태스크 수준 병렬화가 가능하다.

[TigerQuoll]

루가노 대학의 Daniele Bonetta 연구팀은 자바스크립트 엔진의 이벤트 핸들러를 병렬화한 프레임워크 TigerQuoll을 개발하였다 [7]. 또한, 자바스크립트 오브젝트에 이벤트를 생성하고 관리할 수 있는 새로운 메소드들을 추가하여 이를 사용해 태스크 수준의 병렬화를 수행할 수 있게 지원한다. TigerQuoll은 하나의 자바스크립트 엔진에서 여러 개의 이벤트가 동시에 수행되므로 공유된 자원의 읽기/쓰기 과정 중 충돌이 일어날 수 있다. 이를 해결하기 위해 공유된 자원의 읽기/쓰기를 시간의 흐름에 따라 기록하는 트랜잭션 메모리의 지원이 포함되어있다. 충돌이 감지 되었을 경우 그 때의 가장 최신 정보들을 사용해 해당 이벤트를 다시 실행한다.

[ParaScript]
미시간 대학의 Scott Mahlke 연구팀은 자바스크립트 엔진을 수정하여 핫 루프를 찾아 이를 자동으로 병렬화해주는 프레임워크 ParaScript를 발표했다 [8]. ParaScript는 실행 중 배열을 연산하는 핫 루프를 자동으로 찾고 이를 자동으로 병렬화해 실행한다. 실행 중 연산에 사용되는 배열에 대한 읽기와 쓰기 연산이 수행되는 인덱스를 모두 트랜젝션 메모리 기법을 통해 기록하며, 이것을 통해 병렬화의 연산 결과의 정확성을 보장한다. 만약 실행 중 기록된 인덱스에서 충돌이 발생하면 병렬화된 실행을 모두 취소하고 기존의 순차실행을 실행하여 최종 연산 결과를 얻는다.

[JXcore for Node.js]
Node.js서버 애플리케이션을 위해 널리 사용되는 자바스크립트 기반의 프로그래밍 환경이다 [9]. 내부적으로는 Google의 v8 자바스크립트 엔진을 사용하고 있다. 초기 자바스크립트 엔진이 디자인되었을 당시의 이벤트들은 싱글 쓰레드만으로 충분했으나 최근 자바스크립트 프로그램들에서 요구되는 이벤트들의 연산량은 증가하고 있다. JXcore는 멀티쓰레드 버전의 Node.js 프로그램 실행 엔진이며, 다수의 자바스크립트 엔진을 사용해 자바스크립트 엔진이 가지는 이벤트 직렬화로 인한 성능 감소를 해결하였다 [10]. 그림 10은 기본 Node.js와 JXcore의 이벤트 핸들러를 비교한 것이다. 기본 Node.js와는 달리 JXcore는 여러 개의 event loop를 가지고 있어 이벤트 처리의 쓰루풋 향상을 기대할 수 있다.

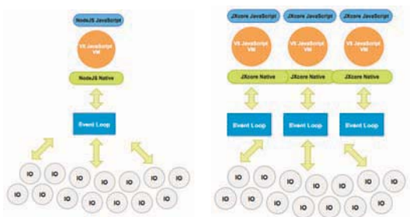


그림10 (a) Node.js와 (b) JXCore의 이벤트 처리 구조

4. 결론
웹 애플리케이션은 다양한 플랫폼에서 수정 없이 동작이 가능한, 높은 이식성을 갖는 장점이 있다. 그러나 미래의 웹 플랫폼은 더욱 다양하고 강력한 애플리케이션을 지원하면서, 네이티브 실행환경 대비 성능 및 전력효율의 차이를 극복해야 하는 과제를 안고 있다. 이를 위해, 미래의 이기종 매니코어 프로세서를 효율적으로 활용하게 해 주는, 자바스크립트 기반의 고성능/고효율 병렬 프로그래밍 환경의 중요성이 지속적으로 증가하리라 예상된다. 또한, 다양한 병렬 프로그래밍 프레임워크의 표준화 및 커뮤니티 지원을 통해 애플리케이션 개발자의 생산성을 높이는 노력 역시 지속되어야 할 것이다.

이 재 욱 교수
소속 : 성균관대학교 반도체시스템공학과
연구분야 : 컴퓨터 아키텍처, 병렬프로그래밍
jaewlee@skku.edu
icc.skku.ac.kr/~jaewlee

김 찬 노 석박사통합과정
소속 : 성균관대학교 전자전기컴퓨터공학과
연구분야 : 컴퓨터 아키텍처, 병렬프로그래밍, 웹 최적화
channoh@skku.edu
parallel.skku.edu/~channoh

참고문헌

[1] "WebCL standard," [온라인]. Available: https://www.khronos.org/webcl.

[2] "Parallel JavaScript," [온라인]. Available: https://github.com/IntelLabs/ParalleLJavaScript.

[3] "River Trail," [온라인]. Available: https://github.com/rivertrail/rivertrail.

[4] "SIMD.js," [온라인]. Available: https://github.com/johnmccutchan/ecmascript_simd.

[5] "Web Worker," [온라인]. Available: https://developer.mozilla.org/en/docs/Web/API/Worker.

[6] "Passing data by transferring ownership," [온라인]. Available: https://developer.mozilla.org/en/docs/Web/Guide/Performance/Using_web_workers.

[7] D. Bonetta, W. Binder 그리고 C. Pautasso, "TigerQuoll: Parallel Event-based JavaScript," %1 PPoPP '13.

[8] M. Mehrara, P.-C. Hsu, M. Samadi 그리고 S. Mahlke, "Dynamic parallelization of JavaScript applications using an ultra-lightweight speculation mechanism," %1 HPCA '11.

[9] "Node.js," [온라인]. Available: http://nodejs.org.

[10] "JXcore," [온라인]. Available: http://jxcore.com.

IDEC, 설계 환경 다변화를 위해 실바코 AMS 디자인 플로우 도입

KAIST에 위치한 반도체설계교육센터(IC Design Education Center, 이하 IDEC)는 한국의 주요 국공립대, 사립대 및 전문대에 VLSI 설계 교육, 칩 제조 서비스 제공을 위해 아날로그/ 믹스드 시그널(AMS) 및 EDA 소프트웨어의 선도 기업인 실바코의 AMS 디자인 플로우를 도입하였다. IDEC은 대학의 VLSI 교육 및 연구 개발에 최신 정보와 소프트웨어를 제공하기 위하여 항상 노력하고 있습니다. 실바코의 소프트웨어 제공을 통한 설계 환경 다변화는, 다양한 설계 경험을 통해 설계 기술 과 능력 향상이 가능할 것이라 기대 됩니다. 실바코는 한국의 우수한 교육 시스템을 지원하기 위해 최선을 다하고 있습니다. 이번 IDEC과 SILVACO사의의 파트너십을 통하여, 한국의 대학은 우수한 툴로 미래의 엔지니어들을 교육할 수 있게 되었으며, 이들은 향후 실무에서 마주칠 과제에 대처할 수 있는 능력을 갖추게 될 것입니다."

IDEC에서 이용할 수 있는 SILVACO TowerJazz PDK List
- TS18SL (Mixed Signal CMOS 0.18um)
- TS18PM (Power Management 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

실바코 아날로그/믹스드 시그널 디자인 툴 소개
실바코의 아날로그/믹스드 시그널 디자인 툴 구성은 많이 사용하고 있는SmartSpice 회로 시뮬레이터, Gateway 스키매틱 에디터, Expert 레이아웃 에디터, Guardian DRC/LVS/LPE,및 Hipex full-chip 기생 성분 추출 툴을 포함합니다. 실바코의 AMS 툴을 사용해서 IC 디자이너는 최적의 성능, 개발비 감축, 위험 감소와 궁극적으로 TAT (turn around time)의 단축을 제공하는 반도체 제품을 만들 수 있습니다.

실바코에서 제공하는 TowerJazz 프로세스 디자인 키트
IDEC에서 진행되고 있는 TowerJazz 공정에 적용 가능한 Silvaco 용 PDK를 지원한다고 발표 하였습니다. 멀티 프로세스 PDK는 교육 기관 및 팹리스 기업이 실바코의 IC 디자인 캡처, 시뮬레이션, 레이아웃 및 검증 도구를 이용하여 바로 설계및 제작을 용이하게 합니다.

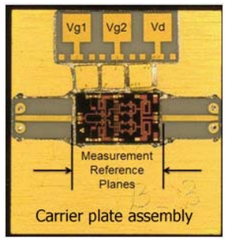
IDEC,
IDEC(IC 설계 교육 센터)은 대학의 LSI 교육 및 연구 과정의 개발 진흥을 담당하고 있습니다. IDEC은 칩 시험 제작 시스템을 구현 및 운영할 뿐만 아니라, 대학 내 사용자들에게 최신 설계 툴 환경을 제공하고 있습니다. 또한, IDEC은 툴 및 최신 칩의 시험 제작에 대한 세미나를 정기적으로 개최하고 있습니다. 현재 한국에 있는 대학 대부분의 연구실에서 이용하고 있으며 연간 320여 종류의 칩 제작 서비스를 지원하고 있습니다.

주소 대한민국 대전광역시 유성구 대학로 291(우: 305-701)
웹사이트 www.idec.or.kr

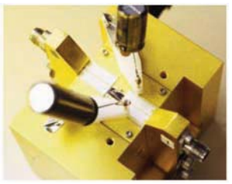
Silvaco, Inc.
Silvaco는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 툴을 제공하는 선도 기업입니다. Silvaco의 툴은 반도체 공정을 개발하는 팹과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용합니다. Silvaco는 서드-파티의 설계 플랫폼에 대한 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. Silvaco는 전세계 주요 지역에 사업 거점을 두고 있습니다.

연락처
• CEO David Halliday / david.halliday@silvaco.com

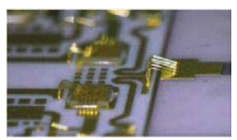
IMS/RFIC 2014 Conference 참가 후기



(a)



(b)



(c)

그림 1. (a) GaN 소자를 이용해 제작된 mm wave용 전력 증폭기와 보드 결합사진, (b) 측정을 위한 Zig 사진, (c) 전력 증폭기 칩들과 보드와의 결합사진.

IMS/RFIC 학술대회는 RF 분야의 시스템 및 회로 분야에 있어, 전 세계에서 가장 큰 규모를 자랑하는 학술대회이다. 올해에도 RF 및 mm-wave 통신 분야에서 많은 세계적인 기업들과 대학의 연구자들이 학술대회에 참가하여, 다양한 회로 분야의 신기술을 선보였다. 특히 전력 증폭기의 고효율 특성을 얻기 위한 다양한 기술들이 소개되었고, Smart 통신 기술이라 하여 기존의 정형화된 아날로그 회로 기반인 RF 송수신 기술을 탈피하고자 하는 노력에 대해서도 많은 토론이 이루어졌다. 그리고 최근에 많은 이슈가 되고 있는 사물 인터넷 기술(IoT)과 관련된 각종 통신기술이 소개되었지만, 그중에서 Small cell (피코 셀, 나노 셀 등) 기지국을 위한 다양한 RF 이슈들에 대한 연구가 활발하게 진행되고 있음을 볼 수 있었다. 그뿐만 아니라, 향 후 5세대 (5G) 통신을 위한 mm-wave 통신 기술에 대해 흥미로운 연구들도 많이 소개되었다.

1. 전력 증폭기 분야

다양한 RF 전력 증폭기 설계 기술에 대한 내용이 다루어졌다. 그중에서도 IMS workshop에서 발표되었던 mm-wave 주파수 대역의 고효율 전력 증폭기에 대한 내용이 주목을 받았다. 대표적으로 mm-wave에서 Envelope Tracking (ET) 기술을 적용하여 고효율 전력 증폭기와 송신부에 대한 기술이 Colorado University의 Zoya Popovic 교수에 의해 발표되었다. 최근 ET 기술은 높은 PAPR을 가진 신호에 대한 전력증폭기의 효율을 높이기 위해서, 국 내/외 연구진에 의해서 많은 개발이 이루어졌었다. 하지만, 주파수 대역폭에 제한을 받고 있어서, 넓은 주파수 밴드를 가지는 밀리미터파 통신에서는 아직 연구가 미비한 상태이다. 향후 5G 통신을 위해서, mm-wave 통신과 관련 부품들이 주목을 받고 있는 현 상황에서 관심을 가져볼 만한 연구라고 여겨진다.

주목받은 증폭기 중에 하나는 TriQuint사가 GaN 소자를 이용하여 10GHz 대역에서 설계하였으며, 그 출력 전력 세기는 13 Watt를 얻었다. 그림 1은 제작된 MMIC와 밀리미터파 측정을 위한 보드와 Zig에 대한 사진을 보여주고 있다. 그리고 칩과 와이어 본딩의 결합 사진을 통해 좀 더 자세히 측정이 이루어지는 과정을 볼 수 있었다. 측정된 제품의 결과는 대략 60% 정도 최대 효율을 달성되어, mm-wave 증폭기의 종전 40% 정도의 효율과 비교해 높은 효율을 가진다는 것을 볼 수 있었다. 게다가, 이 증폭기에 고정 supply voltage를 인가하지 않고, ET 기술을 접목하여, 4.5dB PAPR을 가지는 신호를 인가하였을 때, 40%의 효율을 56%까지 증가하는 결과를 얻었다는 것을 볼 수 있었다. 향후 mm-wave 통신 시스템 개발에 있어서, 참고될 만한 내용을 담고 있었다.

2. Smart 송신부 분야

최근에 CMOS 공정의 발전에 의해 트랜지스터 크기가 갈수록 작아지고 있는 추세이다. 이는 디지털 회로 관점에서는 스위칭 속도를 높일 수 있기 때문에 큰 장점이지만, RF 회로 특히 전력 증폭기 측면에서는 작아지는 트랜지스터 항복 전압 때문에 고출력을 얻기 어렵다는 단점을 가지고 있다. 그리하여, 최근에 주목을 받기 시작한 기술은 디지털화된 RF 송/수신부 기술이다. 이 기술의 개발과 관련하여, 높은 효율을 가지는 고주파 스위칭 증폭기에 대한 기술에 대한 연구가 활발히 진행됐지만, 실제로 대역폭에 따라서 스위칭 증폭기의 대역폭과 선형성 문제에 직면하여, 그 문제 해결에 다양한 연구의 필요성이 증대되고 있다. 이에 따라, University of California San Diego (UCSD)에서 연구를 총괄하고 있는 Donald Kimball 교수가 연구해 온 결과에 대하여 발표가 이루어졌었다. 발표된 내용의 디지털화된 송신부의 구조는 그림 2와 같다.

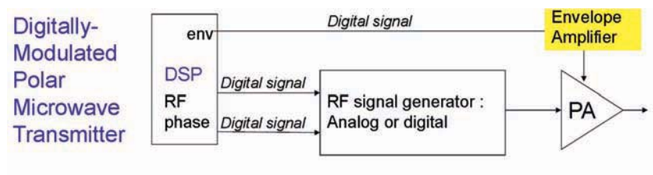


그림 2. UCSD에서 연구중인 디지털 송신부의 구조도.

150nm의 CMOS 공정을 이용한 ET 증폭기와 RF 스위칭 전력증폭기를 이용해 구성되었고, 실제로 Pulse Width Modulation (PWM) 방식을 이용하여, 73%의 전력 증폭기의 효율과 40% 이상 갖는 전체 시스템 효율을 달성함을 보여줬다. 그림 3에서는 디지털 전력 증폭기의 구성도와 제작된 칩 사진을 보여준다.

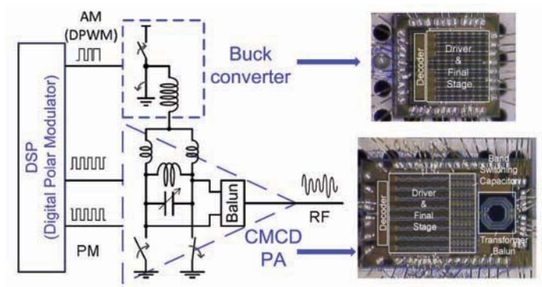


그림 3. 디지털 전력 증폭기의 구성도와 제작된 칩 사진.

게다가, 기존 디지털 송신부의 문제점인 선형성 문제에 대해서, 일반적인 PWM 방식과는 다르게 Charge-sampling mode (CSM) 로 동작하도록 회로를 제안하여, 디지털 전치 왜곡 (digital predistortion: DPD) 기술 없이 45 dBc의 ACLR 특성을 얻었음을 볼 수 있었다. 그림 4에서 제안하고 있는 CSM 회로에 대한 동작 원리를 설명하고 있다. 결과적으로, 이 새로운 구조를 이용한 디지털 송신부 특성은 DPD 같은 복잡한 모뎀부의 도움 없이 3GPP 규격을 모두 만족 할 수 있는 성능을 가짐을 보여주고 있었다.

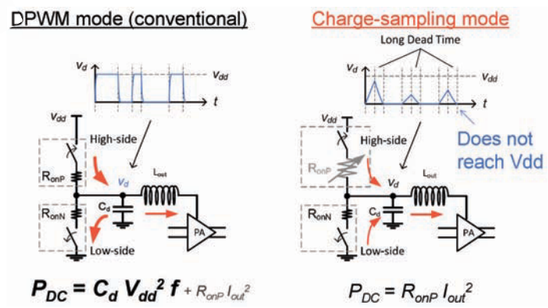


그림 4. 제안된 Charge Sampling mode의 동작 원리.

3. 스몰셀용 전력 증폭기 분야

최근 통신 기술의 발달과 데이터 통신의 수요가 급증함에 따라서, 데이터 통신 속도가 감쇠됨을 예방하고, 효율적으로 기지국 망을 확보하기 위해서, 스몰셀 기지국에 대한 관심이 높아지고 있다. 아래 표 1과 같이 다양한 스몰셀 기지국에 대한 새로운 개념이 도입되었다.

	Cell	Application Area	Pmax @ Antenna [dBm /W] 1)	Cell Radius [Km]	Signal Bandwidth [MHz]	MIMO
Small Cells	Femto	Residential	20 / 0.1	0.01	10	-
	Pico	Indoor Urban	24 / 0.5	0.2	40	2x2
	Micro	Outdoor Urban	38 / 6.3	2	40-60	4x4
	Macro	Rural	49 / 80 2)	10	60-100	4x4

〈표1. 스몰셀 기지국의 규격과 통신 영역〉

스몰셀 기지국에 대한 기술이 대두하면서, 기존의 Macro 기지국보다 굉장히 축소된 RF 전력 증폭기에 대한 솔루션을 새롭게 찾고자 많은 회사에서 연구 중임을 볼 수 있었다. NXP라는 반도체 칩 개발회사에서는 기존 Macro 기지국에서 선형성 확보를 위해 반드시 필요로 했던 DPD 알고리즘이 더 이상 스몰셀 기지국에서는 유용하지 않다는 점을 강조하였고, DPD를 대체하고자 하는 새로운 아날로그 전치 왜곡 (Analog Pre-distortion: APD) 기술에 대한 내용을 소개하였다. 스몰셀 기지국용 증폭기에서는 DPD 방법은 전력 증폭기의 선형성을 좋게 하나, 전체 효율을 저하시키는 단점을 가지게 될 것으로 예측하고 있다. APD를 이용한 선형화 기법은 DPD보다 적은 양의 선형성을 확보하지만, 상대적으로 전력 소모가 작고, 복잡성이 덜하기 때문에, 스몰셀 기지국에서 더 유력한 기법이 될 것으로 본다. 그림 5는 APD와 DPD와 비교해서, 안테나 출력 전력 세기 대비 DC 전력 소모량의 상대적 특성을 보여주고 있다. 결과적으로 NXP는 APD를 이용하여, 스몰셀 기지국 용 전력 증폭기 개발에 박차를 가하고 있음을 보여주고 있다.

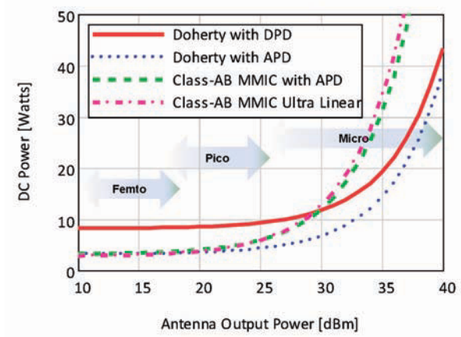


그림 5. DPD와 APD의 시스템 효율 특성 비교.

4. 다양한 RF 관련 회사의 전시회

IMS/RFIC 2014 학술대회에서는 100개 이상의 RF 관련 회사들이 자사들의 신제품들 또는 신기술을 보여주기 위해서 전시회에 참가하였다. Agilent, Anritsu, TI, Analog Device 등 세계적인 RF 관련 장비 회사, 부품 회사 및 tool 회사들이 모여 각자 회사의 강점들을 내세웠으면, 학술대회에 참가한 많은 사람에게 새로운 제품/기술들을 선보였다. Skyworks 와 Freescale은 새로운 고효율 전력 증폭기를 선보였으며, Analog Device와 RFMD는 DPD와 ET 기술에 대해서 선보였다. 국내 업체로서는 RFHIC가 다양한 응용 분야의 전력 증폭기 소자들이 선보여, 세계적인 RF 전문가들에게 관심을 받기도 하였다.

유 남 식 선임연구원
소속 : 한국전자통신연구원(ETRI) 인터넷통신연구부 이동 RF연구실
연구분야 : CMOS RF송수신부, 고효율 RF 전력증폭기, WiFi/LTE용 SoC 설계
E-mail: namsik4085@etri.re.kr

정 용 채 교수
소속 : 전북대학교 공과대학 전자공학부
연구분야 : 마이크로파 회로 및 시스템 설계
E-mail: ycjeong@jbnu.ac.kr
http://wavelab.jbnu.ac.kr

(a)

(b)

(c)

(d)

그림 6. (a) IMS/RFIC 2014 전시회 사진, (b) 전력 증폭기 업체인 Skyworks booth 모습, (c) LTE용 Freescale 전력 증폭기 사진.

Mentor사 Questa (Modelsim)

1. Questa (Modelsim)

A. 목적
Verification Platform

B. 구분
Logic Simulation및 Verification Environment를 효과적으로 수행할 수 있는 Engine 제공

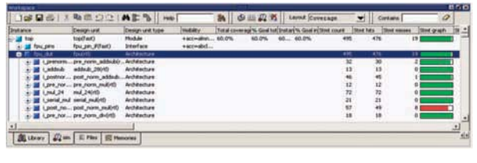
C. Supported Platform and O/S System
- Linux RHEL 4/5/6 32/64bit
- Linux SLES 10/11 32/64bit
- Windows XP 32bit, 7 32/64bit, Vista 32bit

D. 특성 및 기능
Questa Simulator는 High Performance를 가지는 집적 Simulator로써 고성능 디버깅 기능과 Industry의 Native Standard를 지원하는 툴 엔진이다. Questa Simulator은 TLM기반의 검증 기능을 제공하며, High Abstraction환경을 제공함으로 더욱 고급화된 검증환경 구축을 도와준다. Questa Core, Questa Prime 그리고 Questa Ultra는 이러한 검증 환경을 위하여 MentorGraphics에서 제공하는 Product종류이다.

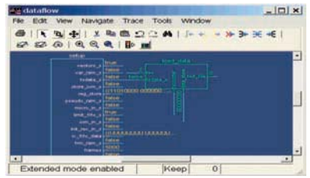
1. Questa는 SystemVerilog, SystemC, UPF 그리고 UCDB를 지원하며, Industry Standard HDL을 지원하고, 서로 상이한 Language간의 Simulation인 Mixed Language를 제공한다. 또한,Industry 검증 Methodology인 ABV, OVM, UVM을 지원한다.

2. Questa 디버깅 환경제공

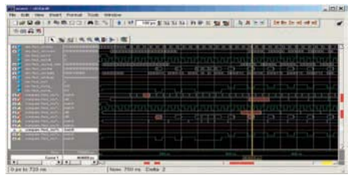
2.1 최적의 Simulation 수행을 위하여, 아래의 다양한 디버깅 기능을 제공한다. Coverage 최적화를 위한 Code Coverage와 Functional Coverage를 지원하며, 해당 GUI를 제공함으로써 Coverage향상에 도움을 준다.



2.2 Data Flow Window는 X값 Tracing에 도움을 주며, SignalSPY는 Mixed Language Simulation에서 VHDL과 Verilog의 Language 간 한계를 극복하여 Signal 디버깅을 도와준다.

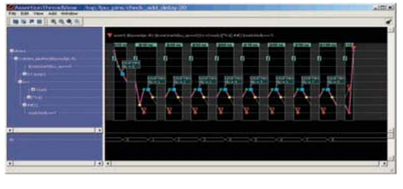


2.3 Systemverilog검증환경을 위한 다양한 Window를 제공함으로써 더욱 효율적인 Systemverilog디버깅을 도와준다. Text Based Dataflow Window, Watch Window그리고 Object Window등 다양한 GUI로 상기 검증환경에 도움을 준다.



2.4 Waveform Compare기능은 Waveform을 서로 비교해줌으로써 디버깅에 소요되는 시간을 Save해줌은 물론 더욱 효과적이고 정확한 디버깅을 도와준다.

3. Questa은 SystemverilogAssertion 검증을위한 QVL Library를 제공한다. 다양한 Protocol Monitor와 Assertion Checker를 각각의 Application별로 제공하며, 이에 해당하는 Assertion Tread Viewer (ATV)인 디버깅 GUI를 지원함으로써, Assertion Based Verification (ABV)을 가능하게 한다.



4. Questa는 Advanced Tectbench환경을 구축하기 위한 UVM/OVM Methodology를 제공함으로써 보다 효율적이며, Reusable한 Test환경구축을 한다. Constraint Random Verification으로 구성된 옵티마이즈된 Stimuli는 Questa에서 재해석되어 Testbench Automation을 가능하게 해준다.

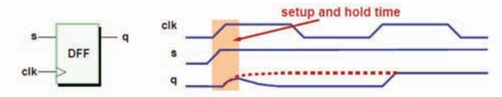
2. Questa CDC

A. 목적
Functional Verification

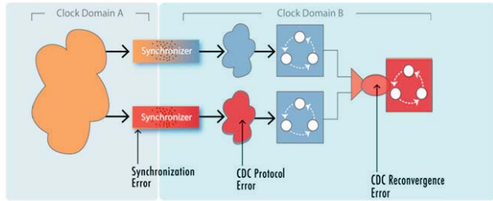
B. 구분
Static Analysis를 사용한 Clock Domain Crossing 검증

C. Supported Platform and O/S System
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능
Metastability in Hardware



Silicon상의 Register들은 위 그림과 같이 Setup/Hold Time이 존재하며 Asynchronous Domain 간에는 위와 같은 Side Effect를 피할 수 없다. 그러나 RTL Simulation으로는 위와 같이 Random 하게 DFF의 Q가 0 또는 1이 되어 비정상적인 동작을 하는 것을 검증할 수 없다.



Missing or Incorrect Synchronizers
Design을 분석하여 Clock Domain Crossing이 있는 부분을 Report 해주며 자동으로 어떤 Synchronizer가 있는지 또는 빠져 있는지를 Categorization하여 보여 준다.

CDC protocol error
Protocol 상에 문제가 될 수 있는 부분에 자동으로 Assertion을 생성해주며 이 Assertion을 Simulation에 적용하여 검증을 수행할 수 있다.

ReconvergenceError
실제 Silicon상처럼 Metastable 할 수 있는 Point의 Register Q에 자동으로 '0' 또는 '1'값을 Random 하게 Simulation에 적용해 준다. 이 Modeling Design은 툴에 의해서 자동으로 생성이 되며 Design을 건드리지 않고 Simulation환경에 추가하여 검증하도록 한다.

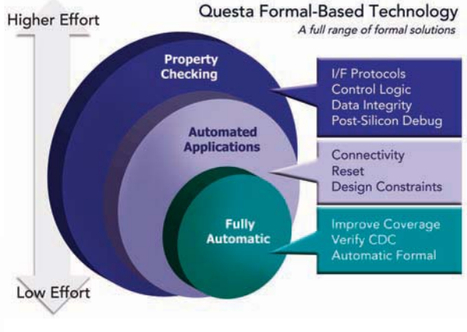
3. Questa Formal

A. 목적
Functional Verification

B. 구분
Assertion을 이용한 RTL 검증

C. Supported Platform and O/S System
- RedHat 7, 8, 9
- Red Hat Enterprise (32/64bit) Linux 3, 4, 5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능



Fully Automatic
모든 Property 들과 디자인에 관련된 검증이 툴에 의해서 자동으로 생성된다. 이것은 크게 3가지 자동화 툴로 나눌 수 있다. Questa CoverCheck은 CodeCoverage에 관련된 검증을 수행하며 Questa AutoCheck은 RTL에 대해서 Formal Analysis를 수행한다.

Automated Application
Connectivity, X-States, Reset Structures와 Design Constraints와 같은 이슈들에 대하여 툴에서 제공하는 Application을 이용하여 Property를 생성하며 이에 대한 FormalAnalysis를 수행한다.

Property Checking
사용자가 Property와 Constraint를 직접 기술하여 더욱 적극적인 방법으로 검증을 수행할 수 있다. 이를 통해서 I/F Protocols, Functional-Coverage, Control Logic, Data Integrity 그리고 Post-SiliconDebug를 디자인에 적용해 볼 수 있으며 이를 통해 가장 Exhaustive 하게 검증을 수행할 수 있다.

회 사 명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주 소 : http://www.mentorkr.com/
한국지사 : 한국멘토
전 화 : 031) 8061-0790
주 소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동) 판교 미래에셋센터 7층

꾸준함과 고민의 자세는 언제나 정직하다.

홍성민 교수
광주과학기술원 정보통신공학부

테라헤르츠 발진기 소자 기술은, 테라헤르츠 영역의 주파수 대역을 활용하기 위해서 꼭 필요한 기술이다. 그래서 전 세계적으로 많은 연구가 진행되어 왔고, 지금도 진행되고 있지만, 아직 실용적인 응용을 위해 필요한 소형화 및 고효율화는 어려운 문제로 남아있다. 잠재적 가치가 매우 높은 테라헤르츠 발진기 소자의 시뮬레이션 분야 연구를 수행하고 있는 광주과학기술원 홍성민 교수를 만나보았다.

문의 광주과학기술원 정보통신공학부 반도체소자시뮬레이션연구실
전화 062-715-2640 **E-mail** smhong@gist.ac.kr
https://sites.google.com/site/semidevsimlab

" 테라헤르츠 발진기 소자의 시뮬레이션 분야 연구를 진행하기까지 "

광주과학기술원 정보통신공학부에서 2013년부터 조교수로 재직 중인 홍성민 교수는 서울대학교 전기 · 컴퓨터공학부에서 반도체 소자의 전기적 잡음을 전공했고, 독일 뮌헨 근교의 연방군 대학에서 박사후 과정을 지냈다. 그 후 미국 캘리포니아 주 산호세에 위치한 삼성전자 연구소에서 2년 동안 근무한 후, 광주과학기술원으로 부임하게 되었다. "운이 좋게도, 대학원에서부터 지금까지 줄곧 반도체 소자 시뮬레이션 분야에서 연구를 진행할 수 있었습니다. 저는 상용 반도체 소자 시뮬레이터를 사용하기도 하지만, 주로 필요한 코드를 자체 제작하여 연구를 진행하고 있습니다."

그는 현재, 테라헤르츠 발진기 소자의 시뮬레이션 분야 연구를 하고 있다고 한다. "채널의 이동도가 매우 높은 소자, 예를 들어 HEMT 소자 같은 거죠. 여기에 일정한 경계 조건을 잡아주면, 테라헤르츠 주파수 영역에서 전기적인 불안정성이 생겨서 발진기로 사용할 수 있다는 이론이 있습니다. 이것을 소자 시뮬레이터로 검증하는 작업을 하고 있습니다."

" 선택의 길목에서 발견하다. "

홍성민 교수가 현재 전공을 선택하기에는 한 교수님의 강의가 결정적인 역할을 했다고 합니다. "진로를 결정하지 못한 채 4학년을 맞이했습니다. 그때 지도교수님이 되실 민홍식 교수님의 수업을 듣게 되었어요. 교수님의 열정적 강의와 함께 전자공학을 전공하면서도 물리적인 내용을 다루는 부분에 매료되었죠. 제가 물리학과 전자공학에 평소 관심이 많았거든요."

홍성민 교수는 대학원 진학 후 반도체 소자의 측정된 저주파 잡음의 결과를 설명하기 위한 도구로 반도체 소자 시뮬레이션을 처음 접하게 되었다고 한다. 당시 연구 목적에 딱 맞는 툴이 없었기에 직접 작성하여 연구를 수행했다던 그는 반도체 소자 시뮬레이터 개발의 대가인 박영준 교수의 지도를 감사히 여긴다고 했다.

2000년대 초중반은 RF CMOS가 급속도로 발전하던 시기였고, 이에 맞추어 스케일 되는 소자의 전기적인 잡음 특성을 정확히 예측할 수 있는 시뮬레이션 기법이 필요하던 때였다. 이 시기 그는 박사과정에서 반도체 소자의 전기적 잡음을 소자 시뮬레이터를 사용하여 계산하는 연구를 수행했다고 한다. "세계적으로 앞선 그룹들은 제가 본격적으로 연구를 시작하기 5년 전쯤에 연구에 착수했고, 가장 큰 걸림돌인 시뮬레이션 방법론은 어느 정도 해결된 상태였습니다. 저는 이러한 시뮬레이션 방법론의 물리적인 의미를 재검토해 보고, mixed-mode 시뮬레이션 환경에 적용 가능한 시뮬레이터를 작성하여, mixer나 LC oscillator와 같은 회로에 적용해 보았습니다."

세계적으로 앞선 그룹들이 시뮬레이션 방법론을 개발하여 활발하게 적용하는 가운데서 그것을 자기 것을 완전히 소화하는 일은 어려운 일이다. 홍성민 교수도 이 부분에서 많은 어려움을 겪었다고 한다. "자신의 언어로 표현하는 과정을 처음 겪었기 때문에 그랬던 것 같습니다. 그 당시, 박사학위 논문심사를 마치고 이제 곧 졸업하는 실험실 선배님을 붙잡고 매일 밤 늦게까지 토론하곤 했죠." 라며 그때를 회상하며 웃었다.

홍성민 교수는 박사후 과정에서의 경험담도 들려줬다. 이 시기를 통해 반도체 소자 시뮬레이터에 대한 그의 이해의 폭을 넓힐 수 있었다고 한다. "독일인 교수였던 Prof. Christoph Jungeman가 간단한 소자 구조에 대해 이미 많은 연구를 성공적으로 진행한 상태에서 팀에 합류했습니다. 그런데 그가 제안한 시뮬레이션 기법은 더 복잡한 소자에 대해서는 적용이 어려웠습니다. 이것을 이해시키고, 더 좋은 성능을 가진 시뮬레이터를 개발할 때까지 1년 반 가까운 시간이 필요했습니다."

" 연구자에게 필요한 "꾸준함"의 자세 "

테라헤르츠 발진기 소자의 시뮬레이션은 주로 실리콘이 아닌 III-V족 소자를 다루게 되는데, 이에 따라서 수치 해석적인 특성 역시 다르다. 또한, 다루는 주파수 영역이 통상적인 반도체 소자 시뮬레이터에서 다루는 것보다 훨씬 높은 상황이기 때문에, 늘 새로운 상황에 접하게 되는 어려움이 있다고 한다. "연구를 진행하면서 초반 얼마 동안은 문제의 핵심적인 어려움이 무엇인지를 파악하고 해결하는데 시간이 필요한 거 같습니다. 늘 이 문제에 대해서 고민하면서 해결을 위한 수치적인 기법을 고민하는 것이, 가장 정직한 해결방안이라고 생각합니다."

이를 뒷받침하듯이 홍성민 교수는 '꾸준함' 이 연구에 필요한 자세라고 말한다. "매일 매일의 발전은 더디더라도, 끊임없이 현재의 문제를 고민합니다. 또한, 제가 이해하고 있는 방법을 낯설게 바라보기 위해서 노력합니다."

" 테라헤르츠 발진기 소자 기술의 잠재적 가치 "

마지막으로 홍성민 교수는 테라헤르츠 발진기 소자 기술의 잠재적 가치에 대해 자신했다. "테라헤르츠 발진기 소자 기술은, 테라헤르츠 영역의 주파수 대역을 활용하기 위해서 꼭 필요한 기술입니다. 그래서 많은 연구가 전 세계적으로 진행됐고 지금도 진행되고 있습니다. 그럼에도 지금까지 실용적인 응용을 위해 필요한 소형화 및 고효율화의 문제는 쉽게 해결되지 못하고 있습니다. 이러한 상황에서 테라헤르츠 발진기 소자 기술을 확보할 수 있다면, 그 잠재적인 가치는 매우 크다고 생각합니다."

반도체 회사에서는 수없이 많은 반도체 소자 시뮬레이션들이 일상적으로 수행되고 있다. 이 시뮬레이션 결과의 올바른 해석은 숙련된 엔지니어에 의해서만 가능하고, 이 또한 때때로 잘못된 방향을 제시해 줄 수 있다. 엔지니어들에게 단순히 계산된 물리량을 제시하는 것을 넘어 향후의 공정 최적화 방안에 대한 유용한 정보를 가공하여 보여줄 수 있을지를 늘 고민하고 있는 홍성민 교수의 열정에서 신진연구자로서 연구 활동에 대한 기대가 전해진다.

12월 뉴스레터:레이아웃 1 14. 12. 15 오전 10:03 페이지 1

VOL. 210
DECEMBER 2014

IDEC Newsletter I 통권 제210호
⊙ **발행일** 2014년 11월 30일 ⊙ **발행인** 박인철 ⊙ **편집인** 남병규 ⊙ **제 작** 푸울디자인
⊙ **기 획** 전항기 ⊙ **전 화** 042) 350-8535 ⊙ **팩 스** 042) 350-8540 ⊙ **홈페이지** http://idec.or.kr
⊙ **E-mail** jhg0929@idec.or.kr ⊙ **발행처** 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

반도체설계교육센터
IC DESIGN EDUCATION CENTER

IDEC newsletter

VOL. 210 DECEMBER 2014

12월 뉴스레터:레이아웃 1 14. 12. 15 오전 10:03 페이지 6

시스템반도체 발전을 위한 선순환적 산 · 학협력 생태계 구축

세계반도체 시장규모는 2009년 2,317억 불에서 2013년 3,181억 불로 연평균 9%씩 꾸준히 성장했고 국내 반도체는 2013년에 515억 불을 생산하여 세계시장점유율 16.2%를 달성하여, 국내 반도체역사 최초로 세계 2위의 반도체 생산국이 되었다. 이중 메모리반도체 생산은 343억 불로 세계시장점유율이 52.4%이고, 시스템반도체 생산은 114억 불로 세계시장 점유율이 5.8%이다. 세계반도체 시장전망은 2013년 3,181억 불에서 2017년 3,859억 불로 연평균 5.3%씩 성장할 것으로 전망하고 있고, 이 중 메모리반도체는 2013년 655억 불에서 2017년 783억 불로 연평균 4.5%씩 성장할 것으로 전망하고 있다. 시스템반도체는 2013년 1,965억 불에서 2017년 2,369억 불로 연평균 5.1%씩 성장할 것으로 전망한다. 메모리반도체시장의 성장보다 시스템반도체시장의 성장을 좀 더 높게 보고 있다.

국내 시스템반도체산업은 아직 세계시장점유율이 미약하지만 많은 발전을 이룩했다. 2001년 국내의 시스템반도체가 세계시장에서 차지하는 비중이 불과 1.8%였으나, 2013년에는 5.8%로 지난 10년 동안 시장점유율이 3배 성장했고, 산업규모도 4배 이상 성장했다. 그동안 우리는 시스템반도체의 발전을 위하여 여러 가지 정책과 사업들을 추진했다. R&D의 경쟁력을 강화하기 위하여 1998년도부터 시작한 시스템 IC 2010 사업을 포함한 많은 R&D 사업들이 있었고, 기반을 강화하기 위한 시스템반도체산업지원사업, 그리고 인력을 양성하기 위하여 시스템반도체 인력양성사업, 반도체설계교육센터에서 주관하는 반도체설계인력양성사업 등을 추진했다. 그러한 결과로서 산업이 지금만큼 성장하였고, 스마트폰, 디지털 TV 등에서 사용되는 Application Processor, Micro Controller Unit, Display Driver IC, Power Management IC, CMOS Image Sensor 등 시스템반도체 중에서 핵심이 되는 반도체를 개발하여 세계시장에서 호평을 받고 있다. 앞으로 좀 더 많은 제품으로 세계시장에서 한국의 시스템반도체의 영역을 넓힐 것으로 기대하고 하고 있다. 그러나 우리는 지금 앞으로 시스템반도체의 발전을 위하여 해결해야 할 과제들을 고민해야 할 것이다. 지금까지와는 다른 환경에서 세계시장 점유율을 10% 이상 높여야 하는 새로운 목표를 달성해야 한다. 하지만 우리의 시스템반도체 성장에 대하여 많은 사람이 우려를 하고 있다. 미국, 유럽의 품질, 대만, 중국의 가격과 경쟁을 해야 하는데 우리가 잘할 수 있는 이유를 찾기가 쉽지가 않다.

국내 시스템반도체산업의 구조는 삼성전자와 매그나칩과 같은 설계와 제조를 동시에 하는 종합반도체 기업과 SK하이닉스, 동부하이텍과 같은 제조를 전문으로 하는 파운드리 기업, 실리콘웍스, 실리콘마이터스, 실리콘화일 등과 같은 설계를 전문으로 하는 팹리스 기업 등으로 구성된다. 이러한 산업구조에서 국내 시스템반도체 성장에 가장 기여한 분야는 종합반도체 기업이고, 그 다음이 파운드리 기업이며 가장 성장이 느린 분야가 팹리스 및 칩리스 기업이다. 이는 분야별 성장의 불균형이 문제로 지적되고 있다. 실제 미국, 대만 등 시스템반도체가 발전한 국가를 보면 설계전문기업과 제조기업이 균형적으로 발달되어 있고, 오히려 설계전문기업인 팹리스 기업의 성장이 더 높다. 우리도 팹리스 기업의 성장이 향후 국내 시스템반도체산업의 성장에 중요한 요인이 될 것으로 보고 있다. 우리는 1990년대 중반부터 지금까지 시스템반도체산업을 발전시키기 위하여 인력양성사업, 연구개발사업, 설계 Tool 지원사업, 시제품제작지원사업 등 많은 노력을 해왔다. 그래서 많은 인재가 양성되었고, 세계 최고의 시스템반도체도 개발하여 글로벌 시장에 진출하는 등 많은 성과도 있었다. 그러나 경쟁은 상대적이었다. 미국과 같은 선발국과 대만, 중국과 같은 후발국은 우리보다 빨리 성장했다. 미국의 풍부한 인재, 시스템과 연계된 인프라, 대만과 중국의 전략적 성장 지원은 우리가 생각했던 것보다 빠르게 시스템반도체산업을 발전시킨 것이다. 특히, 팹리스 기업의 발전은 '우리가 경쟁할 수 있을 것인가?' 할 정도로 발전되어 있다. 이러한 팹리스 기업의 성장에 가장 큰 문제로 지적되는 것은 IP와 SW로 대변되는 원천핵심기술과 인력의 부족을 들고 있다. 국내 팹리스가 개발하는 시스템반도체의 내부 구성품 중 해외도입 비율은 50% 이상으로 추정한다. 이것이 개발기간을 늘리고, 제조원가를 높이며 제품을 다양화시키지 못하고 있다. 또한, 구매자로 하여금 구매동기를 저하한다. 현재 특허청의 지원으로 한국반도체산업협회 내에 시스템반도체개발에 필요한 IP를 원활하게 공급하기 위하여 반도체지적자산거래센서(KIPEX)가 운영되고 있지만, 아직도 사용할 수 있는 IP가 부족하다는 의견이 많다.

또 하나의 문제점은 인력부족이다. SW 및 SoC 관련 분야는 절대적으로 인력이 부족하며, 특히 설계 및 R&D 분야의 석 · 박사급 이상 고급 전문인력 부족은 심각하다. 대기업과 중소중견기업 모두 R&D 분야의 고급 전문인력 부족으로 기술역량 확보에 큰 어려움을 겪고 있다. 국내에서 배출되는 석 · 박사 반도체설계 전문인력은 연간 300명이 되지 않는다. 특히, 중소중견기업은 고급 전문인력 확보 측면에서 대기업과의 경쟁에서 밀리고 있어, 경쟁력 있는 기술개발에 한계가 있다. 각 대학의 관련학과 정원 축소로 향후 석 · 박사 인력의 신규 공급이 곤란하다. 이러한 인력문제를 해결하기 위하여 이미 1995년부터 반도체설계인력양성사업을 시작하여 산업의 성장에 많은 기여를 했다. 국내 시스템반도체 설계엔지니어 중에서 반도체설계교육센터를 거치지 않은 사람은 없을 정도였다. 그러나 이런 노력에도 불구하고 인력부족은 여전히 산업발전의 문제로 남아있고 오히려 더욱 심각해져 가고 있다고들 말하고 있다. 이런 환경에서 우리는 시스템반도체를 처음 시작했을 때 가졌던 문제점을 얼마나 해결했을까 하는 것과 지금까지와는 다른 방법이 필요하지 않을까 하는 것을 고민해야 한다. 옛날과 비교하면 지금은 세계 최고의 시스템반도체 제조시설을 갖추고 있고 글로벌시장에서 경쟁력을 갖춘 시스템반도체를 창출했으며 스마트폰, 디지털 TV 등 국내에 우리가 만든 시스템반도체를 사용하는 시스템산업이 발전되어 있다. 그러나 아직도 동일한 문제는 남아 있는 것이 있다. 시스템반도체를 개발할 때 사용하는 핵심 IP의 해외의존율과 인력의 부족이다.

핵심 IP의 국산화를 위하여 산업부와 특허청이 지원하고 한국반도체산업협회가 운영하는 반도체설계재산유통센터가 있지만, 유통의 기능에 머물러 있어서 IP를 창출하는 기능이 없다. 또한, 국내에 IP를 전문적으로 창출하는 기업이 아주 극소수이며 국내 시스템반도체 IP 시장이 아직은 협소하여 특정 IP를 제외하고는 기업의 사업영역으로서는 부족하다. 국내 산업구조에서 효율적인 IP 창출시스템이 필요하다. 인력의 부족은 영원한 숙제인 것처럼 문제의 단골메뉴로 등장한다. 이미 1995년에 반도체설계교육센터가 출범하여서 지금까지 유지가 되고 있고, 전자통신연구원도 시스템반도체 인력양성사업을 2004년부터 지금까지 추진하고 있다. 그러나 사업은 계속 축소되고 반도체를 지망하는 인력들은 점점 줄어들고 있다. 이런 현실은 10년 이상 문제로 고민하였고 나름대로 해결하기 위한 노력을 했다. 그러나 아직 여전히 문제로 남아 있다. 한 가지 부족하다고 생각한 것은 수요자와 공급자 간 상호 이해와 대화인데, 이것이 부족하지 않았나 한다. 결국, 팹리스가 필요한 IP와 인력은 학교와 연구소로부터 나온다. 기업은 IP 개발이나 인력양성과정에서 학교나 연구소에 투자하지 않고 필요한 수요에 대해서도 요청이 없었다. 학교와 연구소는 나름의 기준으로 IP와 인력을 개발 및 양성하여 배출하였지만, 대다수가 잘 모르는 팹리스에 가기보다 인지도가 높은 대기업에 가기를 원한다. 바로 팹리스의 관심과 투자가 부족하지 않았나 하는 점을 고민해봐야 한다.

이를 해결하기 위해 지금보다 강한 그리고 시스템적으로 산학이 서로 대화할 수 있는 기구인 시스템반도체 산학협력 포럼이 얼마 전 출범하였다. 이 포럼에서는 팹리스 기업이 필요한 IP를 산학이 공동을 개발할 수 있는 R&D를 추진하고자 하며, 기술분야별로 정기 기술포럼을 통한 산학 정보교류를 추진할 예정이며, 대학이 보유한 IP가 기업으로 확산할 수 있도록 Research IP De-scovering를 정기적으로 개최할 예정이며, 중소.중견 팹리스 기업 우수인력 확보지원을 위한 각종 사업을 추진한다. 학교에서 개발된 우수기술이 창업으로 연결될 수 있도록 지원한다. 시스템반도체 설계인력 Job Fair 개최 (국제반도체대전, ISOCC 등과 연계), 공동 채용설명회 및 장학금 제도 운영하여 우수인력이 팹리스에 채용될 수 있도록 할 예정이다. 궁극적으로 시스템반도체 분야 산 · 학 협력 및 정보공유 강화로 산업을 성장시키고, 나아가 반도체산업에서 산 · 학이 동반 성장할 수 있는 새로운 협력모델을 구축하고, 타 분야로 확산하여 국내 산업발전에 새로운 산학협력모델로 발전시켜야 할 것이다. 이 포럼을 잘 활용하여 국내 팹리스가 발전하는데 도구로 사용하여야 할 것이다. 그러나 이를 위한 조건이 있다. 국내 팹리스가 이 포럼의 주인의식을 갖고 학교 및 연구소에 IP 개발과 인력양성을 위하여 투자해야 한다. 더는 정부 정책에 전적으로 의지한다면 우리에게 기회는 많지 않을 것이다.

• 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.

안 기 현 본부장
한국반도체산업협회

12월 뉴스레터:레이아웃 1 14. 12. 15 오전 10:03 페이지 8

고전압 Power Clamp용 ESD 보호회로의 기술 동향

정전기(ESD: Electrostatic Discharge)는 EOS(Electrical Overstress)의 한 분류로써 일반 가정이나 사무실, 연구소, 실험실 등 어느 장소에서나 일어날 수 있는 현상으로 각각 다른 전위를 갖는 두 물체 사이에서 마찰 전기에 의한 전하 이동이다. 따라서 ESD는 매우 빠른 속도(~ns)로 어떤 상황에서든 발생할 수 있는 현상으로 특히, 사람이나 전자 장비에서 ESD 현상이 쉽게 발생한다. 이러한 ESD가 산업에 심각한 문제로 떠오르기 시작한 것은 한 세기 정도의 시간이 흘렀다. ESD를 방지하기 위한 기술에 대한 최초의 기록은 1860년대라고 보고되었고, 이후 전자산업이 발달하면서 ESD 및 ESD와 관련된 새로운 문제들이 제기되었다. 오늘날 공정 기술의 발전과 더불어 IC의 고 집적화되면서 ESD는 생산성과 상품의 안정성을 비롯해 전체적인 신뢰성에 영향을 미치는 중요한 요인으로 작용하고 있다.

ESD에 의한 소자 파괴 분류 및 설계 영역

ESD에 의한 소자파괴 현상의 대부분은 크게 세 가지 ESD 모델(HBM: Human Body Mode, MM: Machine Mode, CDM: Charge Device Model)에 의한 파괴로 다음과 같다. 접합영역에서 고 전류 및 전계에 의한 주울 발열과 높은 온도에 의한 2차 항복으로 인한 소자파괴(HBM), 공정 기술이 발전함에 따른 게이트 산화막 두께가 얇아짐에 따른 높은 전계에 의한 산화막 파괴(CDM), 금속 배선에 고전류가 흘러 취약 부분에 온도 상승으로 인해 배선이 얇아져 발생하는 금속 배선의 파괴(MM) 등이다. 각각의 모델은 ESD가 발생하는 상황과 ESD의 공급원에 따라 분류된다 (표1).

Model	HBM	MM	CDM
	Human Body Model	Machine Model	Charged Device Model
Origin	US Military Late 1960s	Japan 1976	AT&T 1974
RLC	1.5kΩ,~8uH,100pF	~0Ω,~750nH,200pF	1Ω,~1nH,1~20pF
Peak Current	1.33A (@2000V)	2.8~3.5A (@200V)	8±1A (@500V)
Rising Time	2~10ns	15~30ns	< 1ns
Energy	Moderate	High	Low
Bandwidth	2.1M	12M	1.1G
Basic Spec. for Commercial IC's	+/- 2kV	+/- 200V	+/- 1kV
Super Spec.	+/- 10kV	+/- 1kV	+/- 2kV
Cause	Human Body	Electro-statically Charged Machine	IC Charge

표1. ESD Model 분류표

ESD 현상에 의한 반도체 소자의 피해를 막기 위해 IC의 제조환경이나 운반여건 등의 개선도 중요하지만, 가장 중요한 건 칩 내부에 ESD 보호회로를 내장하여 ESD 발생 시 ESD 보호회로를 통해 내부 회로로의 유입을 방지하고 외부로 ESD를 방전시킬 수 있어야 한다. 그림 1은 ESD 보호회로의 개념을 나타낸다. ESD 보호회로는 정상적으로 회로가 동작하는 상태와 ESD가 발생하는 상황을 정확히 구분되어 동작해야 한다. 회로의 정상 동작 상태에서는 ESD 보호회로가 OFF 상태를 유지하여 내부 회로 동작에 영향을 미치지 않아야 한다. 반대로 ESD 발생 상황에서는 ESD 보호회로가 ON 상태를 유지하여 ESD 전류를 ESD 보호회로를 통하여 외부로 방출시켜야 한다. 이때 ESD 보호회로는 설계영역(Design Window)이라 불리는 영역 내에서 동작해야 한다.

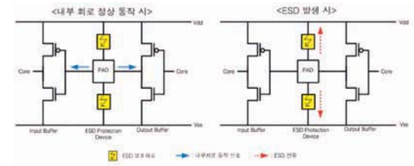


그림1. ESD 보호회로의 개념

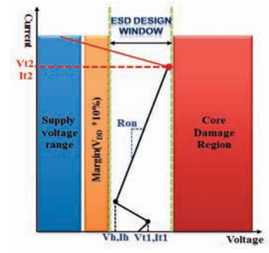
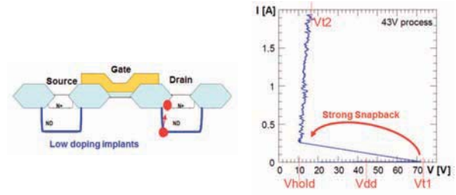


그림2. ESD 설계 영역

그림 2는 ESD 보호회로의 설계영역과 주요 파라메터를 나타낸 그림이다. Vt1, It1은 트리거 전압과 전류를 의미하여 ESD 보호회로가 ON 상태가 되는 시점의 전압과 전류를 의미한다. 트리거 전압은 내부회로에 사용된 일반 소자들의 항복을 일으키는 전압과 게이트 산화막이 파괴되는 전압보다 작아야 한다. 포는 홀딩 전압을 뜻하여 ESD 보호회로가 트리거 된 이후 ON 상태가 되었을 때 ESD 전류를 방전하는 동안에 보호회로 양단에 걸리는 최소 전압을 의미한다. 정상 상태에서의 Latch-up 방지를 위해 홀딩 전압은 내부회로의 동작전원 보다 커야 한다. Vt2, It2는 2차 트리거 전압과 트리거 전류를 의미한다. 2차 트리거 전압과 전류를 ESD 보호회로가 파괴되는 시점에서의 전압과 전류를 나타낸다.

Power Clamp 단 ESD 보호회로 기술동향

일반적으로 고전압 소자가 요구되는 회로들이 많이 개발됨으로써 고전압 소자에 대한 관심이 커지게 되어 고전압 공정기술이 많이 개발되고 있다. 소자의 고 내압을 위한 낮은 도핑 레벨을 갖는 Implant와 두꺼운(Thick) 게이트 산화막을 갖추면 된다. 또한, 고신뢰성을 위한 고전압 회로에서의 ESD 보호회로는 고내압을 위하여 고전압용 Implant와 게이트 산화막을 사용한다. 그러나 고내압을 위해 적용된 낮은 도핑 레벨의 Implant는 일반적인 ESD 보호회로의 ESD 감내 특성뿐 만 아니라 고전류 상황에서의 동작을 감소시키게 된다. 그림 3는 고전압 MOSFET의 단면도와 I-V특성을 나타내고 있다. 고내압을 위해 사용되는 낮은 도핑 Implant(그림 3에서의 ND)는 고전류 바이폴라 동작모드에서 Kirk effect의 효과로 강한 Snapback 동작 효과를 가져온다. 그 이유는 초기 Avalanching 영역(Hot spot 영역)dI 낮은 도핑으로 된 ND의 끝에 있다가 바이폴라 의 고전류 모드에서 Avalanching 영역이 높은 도핑으로 된 N+쪽으로 이동하여(그림 3에 빨간점)낮은 홀딩 전압을 갖게 되었기 때문이다.



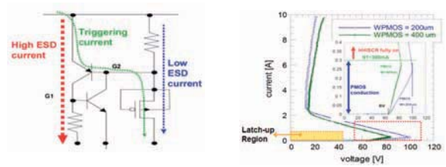
(a) (b)

그림3. 고전압 MOSFET의 단면도 및 I-V 특성

이러한 특성으로 회로의 정상 동작 상태에서의 래치 업 문제가 발생하게 된다. 이러한 원인으로 MOS 기반 고전압 ESD 보호회로인 고전압 MOSFET와 LDMOSFET은 래치 업 면역성이 떨어져 전체 시스템의 신뢰성이 약화 될 수 있다.

고전압 Power Clamp용 ESD 보호회로의 설계 대책

고전압 소자는 일반적으로 12V, 20V, 40V의 전원 전압을 사용하는데 고전압 소자 또한 ESD에 대한 보호가 필요하다. 고전압 소자를 ESD로부터 보호하기 위하여 고전압 클램프단 에 ESD 보호회로가 내장되어야 하며 ESD 보호회로는 높은 신뢰성을 위하여 우수한 ESD 감내 특성을 갖는 회로로 설계되어야 하며, 고전압 VDD와 VSS 사이의 파워 클램프 단에 위치하기 때문에 회로의 정상 동작 상태에서 래치 업 면역 특성이 좋은 높은 홀딩 전압과 홀딩 전류를 갖는 ESD 보호회로가 설계 되어야 한다. 그림 4에서 높은 래치 업 면역 특성을 갖는 PMOS Triggered SCR 파워 클램프 의 회로도 와 TLP I-V특성을 나타내었다.



(a) (b)

그림4. (a) PMOS Triggered SCR Power Clamp의 회로도, (b) TLP I-V 특성

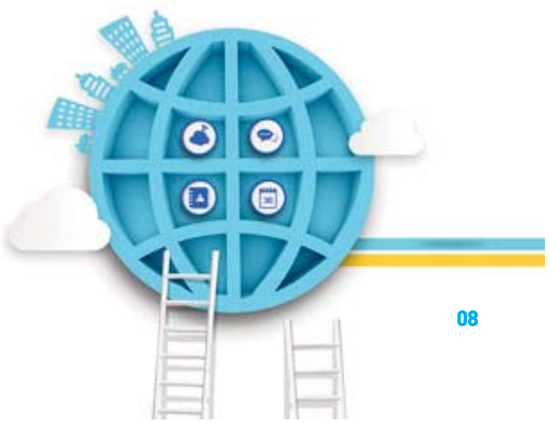
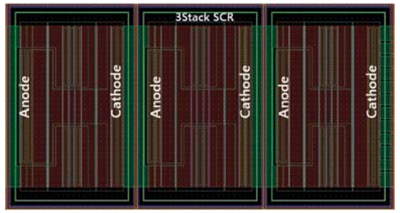
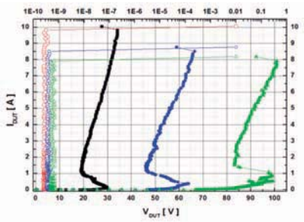


그림 4의 소자는 높은 감내 특성을 나타내는 SCR 소자를 기반으로 설계되었으며, 정상 동작 상태에서의 래치 업 방지를 위하여 홀딩 전류를 높인 소자이다. 일반적인 고전압 SCR에 트리거 소자로 PMOS가 사용되었다. 고전압 SCR은 약 150V 이상의 높은 항복 전압(PMOS Drain과 HV-Nwell)으로 Power IC 회로에 적용하기 어렵다. 그러나 고전압 PMOS를 사용하여 트리거 전압을 낮추었다. 트리거 소자로 고전압 NMOS 대신 PMOS가 사용된 것은 고전압 NMOS의 강한 Snapback 특성으로 래치 업 위험이 있고 소자 신뢰성이 낮기 때문에 사용되었다. PMOS가 트리거 된 후 트리거 전류는 증가하게 되어 G2 (PNP의 베이스) 노드의 전위를 높여 트리거 전류가 300mA 되었을 때 SCR이 동작하여 ESD 전류를 방전시키게 된다. PMOS의 의한 트리거 전류의 증가로 홀딩 전류 또한 증가하게 되어 정상 동작 상태에서의 래치 업 면역 특성을 증가시켰다. 또한, 홀딩 전류의 증가뿐만 아니라 홀딩 전압을 전원 전압보다 높게 하여 래치 업 특성을 향상시킨 기술도 있다. 대표적인 기술로 스택(Stack) 구조이다. 그림 5는 SCR 기반의 스택 기술은 NMOS 기반의 소자 면적보다 약 1/3의 면적 감소를 하는 효과와 약 두 배 이상의 감내 특성을 가진다. 그림 6은 BJT 기반 Power Clamp 용 ESD 보호회로를 나타낸다. BJT 기반 ESD 보호회로는 SCR 타입과 마찬가지로 스냅백 현상을 이용하지만 LDMSFET(Lateral Double Diffused MOSFET)과 같이 Double Diffused Drain 구조가 아니므로, 강한 스냅백 현상은 일어나지 않고, 이에 따라 LDMOSFET에 비해 상대적으로 높은 홀딩 전압 특성을 보인다. BJT 기반 ESD 보호회로는 SCR 기반 ESD 보호회로에 비해 On-Resistance 및 높은 홀딩 전압 특성을 가진다. 또한, 스택 개수에 따라 홀딩 전압을 조절 가능하여 12V/20V뿐만 아니라 40V/ 60V급의 회로에도 적용할 수 있다.

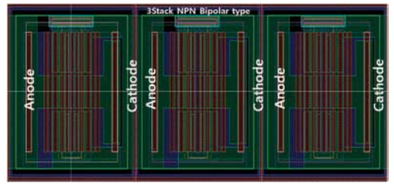


(a)

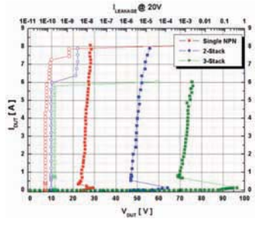


(b)

그림 5. (a) Stacking SCR 구조, (b) TLP I-V 특성



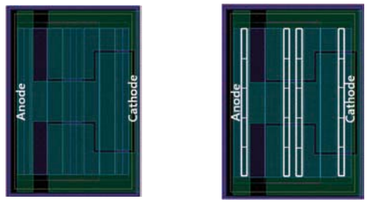
(a)



(b)

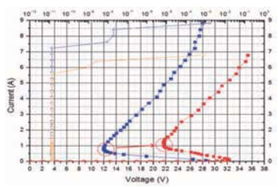
그림6. (a) Stacking BJT 기반 ESD 보호회로 구조, (b) TLP I-V 특성

그림 7은 SCR 구조를 애노드 단의 P+와 캐소드 단의 N+를 분할하여 홀딩 전압을 높인 구조에 대한 그림이다. 애노드 단의 P+와 캐소드 단의 N+를 분할을 통하여 SCR 내의 기생 바이폴라 의 이미터 주입 효율을 낮춰 홀딩 전압을 12V에서 21V로 높였다.



〈Conventional SCR〉 〈Segmented SCR〉

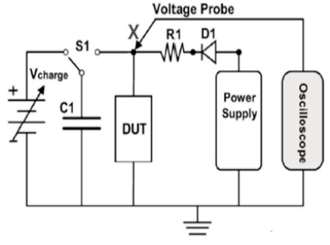
(a)



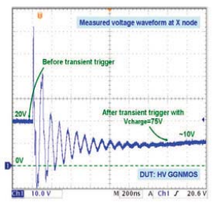
(b)

그림7. Segmented SCR의 (a) Layout, (b) TLP I-V 특성.

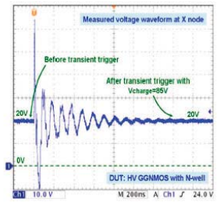
또한, 정확한 래치 업 면역성을 실험하기 위해 TLU(Transient-induced Latch-up) 실험을 한다. 그림 8(a)과 같이 DUT의 애노드 에 일정 전압으로 충전된 캐패시터를 이용하여 ESD 펄스를 재현함과 동시에 같은 노드 상에 내부 회로의 공급전압에 해당하는 DC 전압으로 설정된 전압 공급기를 연결한다. 이로써 내부 회로의 공급 전압이 ESD 보호회로에 공급되는 과정에서 스위치(S1)를 통해 캐패시터에 충전 전압이 인가(ESD 펄스 재현)되게 되면 ESD 보호회로가 동작 하게 된다. 이때 ESD 보호회로의 애노드에 해당하는 노드 X에서 전압 프로브를 이용하여 재현된 ESD 펄스에 의해 동작한 ESD 보호회로에 의해 DC 전압의 레벨 변화 유/무를 통해 래치 업이 발생했는지를 판단할 수 있다. 그림 8(b)은 TLU 측정을 통해 얻은 두 개의 전압 파형이다.



(a)



(b)



(c)

그림8. (a) TLU 측정 블록도
(b) 래치 업 발생(fail) (c) 래치 업 통과(pass)

앞서 설명한 SCR 은 접합 항복을 통해 발생하는 전자와 정공을 통해 래치 모드로 동작하여 ESD 방전 경로를 형성하는 것과 달리 그림 9의 R-C 네트워크의 경우 소자의 외부에 달린 저항과 캐패시터의 시정 수(Time Constant)를 이용하여 150nsec 이내의 짧은 시간을 갖는 ESD 펄스를 감지하고 이때 소자의 게이트 바이어스를 인가하여 소자의 턴-온 동작을 통해 ESD 방전 경로를 형성한다. 일반적인 ESD 보호회로들이 래치-모드를 통해 ESD 방전 경로를 형성하기 때문에 스냅백 현상이 나타나게 되며 내부 회로의 공급전압보다 낮은 홀딩전압을 갖게 될 경우 래치 업의 문제를 야기 할 수 있다. 하지만 R-C 네트워크를 통해 ESD 인가 시 스위치 소자를 턴온 시키는 R-C 네트워크 보호회로는 스냅백 현상이 발생하지 않으며, 래치-모드를 통해 ESD 방전 경로를 형성하는 방식이 아니기 때문에 내부 회로 공급전압에 의한 래치 업이 발생하지 않는다. 이러한 R-C 네트워크를 이용한 ESD 보호회로들은 기존의 NMOS 또는 LDMOS를 통해 구성되고 연구되고 있다.

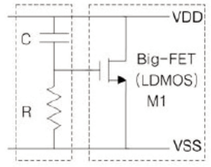


그림9. R-C 네트워크 ESD 보호회로

결론

반도체 산업에서 공정 기술의 발전과 집적회로의 소형화 및 고 집적화는 회로의 성능과 속도 향상을 가져왔지만, ESD 현상에 의한 회로의 오작동 및 파괴는 점점 심각한 문제로 인식되면서 면적 대비 높은 감내 특성, 빠른 트리거 속도, 높은 래치 업 면역 특성을 갖는 ESD 보호회로의 중요성이 커지고 있으며, 이러한 특성을 갖는 ESD 보호회로가 연구 개발되고 있다. 또한, 디스플레이 및 Power IC 회로는 전체 반도체 시장에 큰 영향을 끼치고 있으며 저면적/ 고성능/ 고신뢰성이 크게 요구되고 있다. 따라서 디스플레이 구동 회로 및 Power IC의 ESD 보호회로는 많은 입출력 핀 수와 패널 구동에 필요한 고전압 소자들을 고려하여 ESD 보호회로를 설계해야 한다. 높은 래치 업 면역 특성과 면적 대비 높은 감내 특성을 갖는 ESD 보호회로를 사용하여 ESD 보호회로를 구성한다면 디스플레이 및 Power IC 회로에서 요구하는 저 면적, 고신뢰성을 효과적으로 이룰 수 있을 것으로 사료 된다.

구 용 서 교수
소속 : 단국대학교 전자전자공학부
연구분야 : ESD 보호소자, Power Device, DC-DC converter
yskoo@dankook.ac.kr
http://user.dankook.ac.kr/~yskoo

SOI RF CMOS 소자 모델 라이브러리 구축

1.서론

최근 이동통신용 단말기 시장이 급격히 신장되는 추세에 따라 제품 경쟁력을 확보하기 위해 고기능화 및 경박 단소화가 가장 중요한 기술 트랜드가 되고 있다. 이러한 트랜드에 가장 적합한 대안으로 단일 칩 내에 여러 가지 성능의 모듈 등을 내장시켜 시스템을 구성하는 실리콘 RF System on Chip(SoC) 공정 및 설계 기술이 중요하게 되었다.

이러한 RF SoC를 제조하기 위한 가장 적합한 실리콘 소자로서 최근 고저항 실리콘(HRS) SOI 기판을 사용하는 반도체 공정기술의 급격한 발달과 함께 RF Silicon-on-Insulator (SOI) CMOS 소자가 전 세계적으로 주목을 받고 있다 [1]. 그 이유는 SOI MOSFET이 bulk MOSFET에 비교해 RF 성능이 더 우수하기 때문이며, 이러한 장점은 근본적으로 소자 영역 아래에 위치한 buried oxide(BOX)층에 의해 집적회로 IC 내 소자들이 서로 분리되고 아래 실리콘 기판과도 연결되지 않은 절연 구조로부터 기인한다. 또한, 극히 낮은 RF dissipation 손실을 보여주는 HRS-SOI 기판의 사용으로 cross-coupling 및 cross-talk noise가 현저히 감소되어 RF SoC 제조에 매우 유리하다. 이와 같이 우수한 성능의 RF SOI SoC 설계를 위해서는 기본단위가 되는 RF SOI CMOS 소자의 정확하고 신뢰도 있는 SPICE 모델 [2] 라이브러리 개발이 매우 중요하게 대두하고 있다.

따라서 본고에서는 RF SOI CMOS 기술동향과 최근 나노종합기술원의 연구비 지원으로 한국외국어대학교 RF 소자연구실에서 개발한 SOI RF CMOS 모델 라이브러리 구축 기술에 대해 소개한다.

2.기술 동향

상업적으로는 안정화된 공정을 기반으로 body contact partially depleted(PD)-SOI MOSFET이 일반적으로 사용되고 있으며 세계적으로 활발한 body contact (BCT) 구조 연구의 결과로 RF 성능지수인 cutoff frequency(fT)와 maximum frequency of oscillation(fmax)가 크게 향상되고 있다. 최근 0.13μ m PD-SOI N-MOSFET 구조를 최적화하여 96.4GHz의 fT와 132.8GHz의 fmax를 보여주는 연구 결과가 발표되었다 [3]. SOI CMOS 수동 소자의 경우, 전 세계적으로 RF 시스템의 성능을 향상시키기 위해 더 높은 quality-factor를 갖는 inductor와, 넓은 tuning range를 갖는 varactor, 단위 면적당 큰 캐패시턴스를 갖는 MIM 캐패시터 및 낮은 오차의 저항 구조들을 개발하고 있다. 최근 연구로 2.73GHz에서 60의 quality-factor를 보여주는 HRS-SOI inductor 연구 결과가 발표되었다 [4]. 또한, HRS-SOI varactor를 사용하여 우수한 성능을 보여주는 40GHz의 voltage-controlled oscillator 설계 연구도 보고된 바 있다 [5].

모바일 단말기의 Front-End IC 응용분야에서 기존에는 성능이 우수한 GaAs와 같은 화합물 반도체소자가 RF Switch 제작에 사용되었으나 현재에는 SOI CMOS RF Switch에 대한 연구가 큰 주목을 받고 있다. 이는 SOI CMOS 소자의 RF insertion loss가 bulk CMOS에 비해 크게 줄어들었고, 화합물 반도체소자보다 dual 전압 조절이나 복잡한 주변회로가 필요없어 회로가 단순하고 가격이 저렴하기 때문이다. 따라서 RF SOI CMOS 공정기술이 RF Switch 응용 IC 제작에 최적화되어 있는 기술로 평가받고 있다.

최근 반도체 ASIC 파운드리(Foundry) 업체에서는 SOI CMOS 공정개발에 많은 투자를 집중하고 있다. 세계적으로 IBM과 TowerJazz에서는 이미 0.18μ m SOI CMOS RF 공정기술을 보유하고 파운드리 서비스를 하고 있다. 또한, 국내 나노종합기술원에서도 0.18μ m SOI RF CMOS 공정기술 개발을 2013년에 완료하고 최근 국내 매그나칩반도체에 기술이전을 진행하고 있는 상태이다. 이처럼 높은 RF 성능과 안정화된 공정을 바탕으로 향후 SOI CMOS RF 파운드리 서비스 시장은 크게 성장할 것으로 예상된다.

이러한 SOI 공정 서비스를 제공하기 위해서는 RF SOI CMOS 모델 라이브러리 구축을 통하여 process design kit (PDK) 환경을 확보하는 것이 중요하다. RF SOI CMOS 수동 소자의 경우, IBM에서 이미 저항, 캐패시터, Inductor, ESD 소자 및 패드 등의 RF 모델 라이브러리를 파운드리 서비스로 제공하고 있다.

Short-channel SOI MOSFET RF 라이브러리 구축을 위한 SPICE 모델은 UC Berkeley와 IBM의 공동연구로 Berkeley short-channel IGFET model SOI 3 (BSIMSOI 3) [6]이 처음 개발되었다. 그 후에 DC 모델 시뮬레이션의 정확도를 증진시키고 RF 모델링이 가능하도록 개발된 BSIMSOI4 모델 [7]이 SOI CMOS IC 설계를 위한 세계적 표준 모델로 인정되어 상업화된 회로 시뮬레이터인 SPICE [8]에 일반적으로 사용되고 있다. 한편 RF Switching IC 응용분야에서는 Arizona State University와 NXP Semiconductors의 공동연구로 개발된 PSP-SOI 모델 [9]이 더 적합한 모델로 인식되어 활발한 연구가 진행 중이다. RF 파운드리 서비스로는 TowerJazz에서 PSP-SOI 모델 라이브러리를 제공하고 있고, IBM에서는 BSIMSOI 4와 PSP-SOI 모델 라이브러리를 함께 제공하고 있다.

하지만 original BSIMSOI4 모델은 BCT MOSFET에 맞는 scalable한 body 저항이 고려되지 않고 내부 캐패시턴스와 nonquasistatic 게이트 저항에 오차가 발생하여 개선이 필요하다. 이러한 문제점을 극복하기 위해서 기존 Bulk CMOS의 macro 모델링 방법[10, 11]처럼 original BSIMSOI4 모델의 외부에 여러 lumped 성분들을 첨가하여 정확도를 개선한 macro 모델이 본 연구실에서 최근에 개발되었다.

3. RF 모델 라이브러리

나노종합기술원의 SOI RF CMOS 공정으로 본 연구실에서 개발한 SOI 소자 RF 모델 라이브러리에는 다음과 같은 소자의 SPICE 모델들이 포함되어 있다.

- **능동 소자**

  - 0.25μ m, 0.32μ m Tech BCT PD N/PMOSFET

- **수동 소자**

  - 캐패시터: MIM, MOS Varactor
  - 저항: High R, N+/P+ poly, N+/P+ diffusion, N-well
  - Inductor: Standard, Symmetric, Symmetric with center tap
  - ESD 다이오드
  - RF 패드

이와 같은 SOI 능동 및 수동 소자의 RF 모델링을 위해서는 geometry를 다양하게 변화시킨 on-wafer RF 측정용 test element group (TEG) 제작이 먼저 필요하다. 이때 RF TEG 패턴의 패드와 금속배선들의 기생성분들을 제거하는 de-embedding 용으로 사용하기 위해 open, short, through 테스트 패턴이 함께 제작된다 [12, 13]. 그 후에 제작된 RF TEG 패턴들의 측정된 S-파라미터를 사용하여 각 SOI CMOS 소자별로 scalable한 RF 모델개발이 수행된다. 이러한 SOI 소자 모델에서는 극히 낮은 RF dissipation 손실을 보여주는 HRS-SOI 기판의 사용으로 기판 손실이 거의 무시되므로 기존 bulk CMOS보다 훨씬 간단한 기판 등가회로 구성이 가능하고 정확성도 증가시킬 수 있다.

이처럼 SOI CMOS 소자별로 수행된 RF 모델 라이브러리 구축 방법들을 설명하면 다음과 같다.

1) SOI MOSFET 모델 구축

본 연구실에서는 Multi-finger RF BCT PD-SOI MOSFET의 RF 시뮬레이션 정확도를 개선하기 위해 그림 1처럼 기존의 original BSIMSOI4 모델을 수정한 Macro BSIMSOI4 모델을 개발하였다.

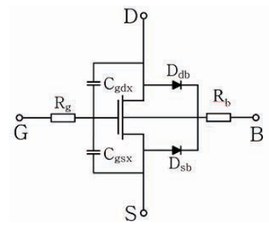


그림1. BSIMSOI4 RF Macro 모델

그림 1의 BSIMSOI4 모델에 연결된 macro element는 scalable한 body 저항 [14]을 위한 Rb, non-quasi-static 효과 [15, 16]를 위한 게이트 저항 Rg, 내부 캐패시턴스 모델 오차를 보정해 주기 위한 scalable 기생 캐패시턴스(Cgsx, Cgdx), multi-finger에 맞는 드레인 및 소스 junction 다이오드(Ddb, Dsb)로 구성된다. 이때 내부 드레인 및 소스 junction 다이오드를 없애기 위해 source/drain perimeter 길이를 PD=PS=0으로 놓는다.

BSIMSOI4 모델 파라미터는 DC특성을 모델링하기 위한 DC 파라미터, AC와 transient 특성을 모델링하기 위한 캐패시턴스 파라미터와 RF macro 파라미터들로 나누어진다.

이러한 모델 파라미터는 다음과 같은 추출 기술을 사용하여 수행된다. 먼저 제작된 DC 및 CV TEG 패턴들을 사용하여 DC 및 CV 모델 파라미터들을 추출하고 그 후에 RF macro 파라미터들이 추출된다.

그림 1에서 외부에 첨가된 모든 RF Macro 파라미터들은 각각 직접 추출하기에는 복잡하므로, 100MHz에서 40GHz까지 multi-bias S-parameter optimization을 통해 정확히 추출하였다. 이 optimization 동안 추출된 BSIMSOI4 DC 및 캐패시턴스 모델 파라미터들은 상수로 고정된다. 특히 RF 비선형 특성을 정확히 모델링하기 위해서는 넓은 bias point에서 측정된 여러 S-파라미터 set들과 동시에 잘 일치되도록 외부 macro 모델 파라미터를 optimization 하는 것이 중요하다.

이와 같은 optimization 방법으로 모든 TEG 패턴에서 추출된 SOI N/PMOSFET 소자의 게이트 길이(L), 단위 finger 폭 (Wu), finger 수(Nf) 종속 macro 파라미터 데이터들은 scalable 방정식으로 각각 모델화된다.

2) 저항 모델 구축

그림 2는 SOI RF 모델 라이브러리에 사용된 RF 저항 등가회로를 보여준다. 이 RF 모델은 RF 기판 분포 효과가 HRS-SOI 기판에서 bulk Si 기판보다 훨씬 적기 때문에 2-section RLC 전송선로 등가회로로도 충분한 정확도를 달성할 수 있다. 또한, HRS-SOI 기판 손실 효과가 매우 적기 때문에 기판 컨덕턴스는 제외하였다.

이러한 등가회로의 저항, 인덕턴스 및 캐패시턴스들은 RF TEG 패턴에서 S-parameter optimization을 통해 정확히 추출된다. 이때 추출된 R, L, C의 폭 (W)와 길이 (L) 종속 데이터들을 scalable 방정식으로 각각 모델화하여 N+/P+ diffusion, N+/P+ poly, N-well, High R 저항의 RF 모델 라이브러리가 구축되었다.

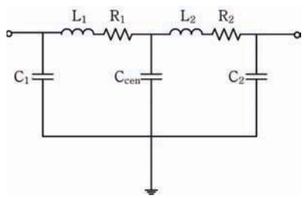


그림 2. RF 저항 등가회로 모델

3) 캐패시터 모델 구축

가. MIM 캐패시터

그림 3은 SOI RF 모델 라이브러리에 사용된 RF MIM 캐패시터 등가회로를 보여준다. 초고주파 영역의 금속배선 효과를 고려하기 위해 직렬 인덕턴스와 저항이 추가되고 HRS-SOI 기판에 의한 손실 캐패시턴스를 모델화하기 위해 C와 Rbk가 직렬로 접지에 연결된다. 이때 MIM 캐패시터가 다른 소자들에 비해 Quality-factor가 매우 높기 때문에 정확한 모델링을 위해 Rbk가 포함된다.

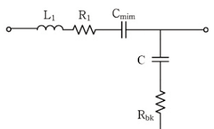


그림 3. RF MIM 캐패시터 등가회로 모델

이러한 등가모델의 저항, 인덕턴스 및 캐패시턴스들은 S-parameter optimization을 통해 100MHz에서 self resonance frequency (SRF)까지 정확히 추출된다.

MIM 캐패시터의 RF 모델 라이브러리는 RF TEG 패턴으로 추출된 R, L, C의 W와 L 종속 데이터들을 scalable 방정식으로 각각 모델화하여 구축되었다.

나. MOS Varactor

그림 4는 SOI RF 모델 라이브러리에 사용된 RF MOS varactor 등가회로를 보여준다. Cgate은 게이트와 body 사이의 MOS 캐패시턴스이고, R1은 채널저항과 게이트 저항의 합을 나타낸다. C는 HRS-SOI 기판에 의한 캐패시턴스를 모델화하기 위해 접지에 연결된다. 이때 HRS 기판 손실효과가 매우 적기 때문에 기판 컨덕턴스는 포함하지 않았다.

MOS varactor 등가모델의 저항, 인덕턴스 및 캐패시턴스들은 100MHz에서 SRF까지 S-parameter optimization을 통해 정확히 추출된다.

이러한 S-parameter optimization으로 추출된 Cgate의 Vg 종속 데이터들은 curve-fitting을 통해 bias 종속 비선형 Cgate 방정식으로 모델화된다.

MOS varactor의 RF 모델 라이브러리는 RF TEG 패턴에서 S-parameter optimization으로 추출된 R1, L1과 bias 종속 Cgate 파라미터들의 Nf, Wu와 L 종속 데이터들을 scalable 방정식으로 각각 모델화하여 구축되었다.

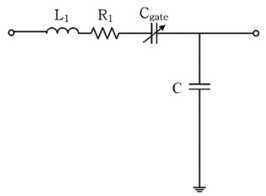


그림 4. RF MOS varactor 등가회로 모델

4) Inductor 모델 구축

가. Standard/Symmetric inductor

그림 5는 SOI RF 모델 라이브러리에 사용된 Standard/Symmetric spiral inductor 등가회로를 보여준다. R1, Rs1, R2와 Rs2는 metal의 직렬 저항이고 L1과 L2는 metal의 인덕턴스를 나타낸다. Ls1과 Ls2는 RF 영역의 metal skin effect 효과를 고려하기 위해 추가된 인덕턴스이다. Cf는 spiral metal과 underpass metal 사이의 overlap 캐패시턴스 성분을 주로 나타낸다. C1, C2와 Ccen은 입력, 출력, 중앙 metal과 기판 사이의 병렬 캐패시턴스를 나타낸다. 이 모델은 HRS-SOI 기판효과가 매우 적기 때문에 bulk CMOS inductor 모델 [17]에서 기판 컨덕턴스를 제외한 등가회로이다.

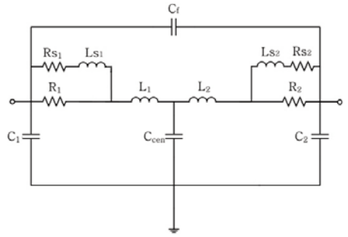


그림 5. Standard와 Symmetric inductor 등가회로 모델

이러한 등가모델의 저항, 인덕턴스 및 캐패시턴스들은 100MHz에서 SRF까지 S-parameter optimization을 통해 정확히 추출된다.

Standard와 Symmetric inductor의 RF 모델 라이브러리는 RF TEG 패턴에서 추출된 R, L, C의 outer diameter(D), turn 수(Nt), turn 폭(W) 종속 데이터들을 scalable 방정식으로 각각 모델화하여 구축되었다.

나. Symmetric inductor with center tap

그림 6은 SOI RF 모델 라이브러리에 사용된 Symmetric spiral inductor with center tap 등가회로를 보여준다. L1과 L2는 metal의 mutual coupling coefficient k를 가진 상호 인덕턴스 M을 나타내고, R12는 center tap metal의 저항을 나타낸다. 등가모델의 저항, 인덕턴스 및 캐패시턴스들은 100MHz에서 SRF 까지 S-parameter optimization을 통해 정확히 추출된다.

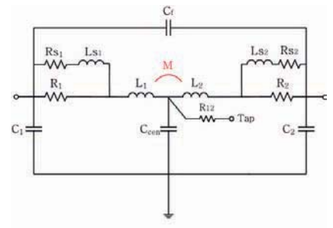


그림 6. Symmetric inductor with center tap 등가회로 모델

Symmetric spiral inductor with center tap의 RF 모델 라이브러리는 RF TEG 패턴에서 추출된 R, L, C의 D, Nt, W 종속 데이터들을 scalable 방정식으로 각각 모델화하여 구축되었다.

5) ESD 다이오드 모델 구축

그림 7은 SOI RF 모델 라이브러리에 사용된 poly contact 된 N+/Pwell과 P+/Nwell ESD 다이오드의 RF 등가회로를 보여준다. Desd는 다이오드 모델이고, Rp는 poly 저항성분이고 Cp는 N+/P+영역과 poly 사이의 overlap 캐패시턴스 성분을 나타낸다.

SPICE 다이오드 DC 모델의 forward와 reverse bias parameter들은 각각 측정된 I-V 특성 곡선들과 동시에 일치되도록 curve-fitting을 수행하여 추출된다. SPICE 다이오드의 캐패시턴스 모델 parameter는 측정한 C-V 곡선을 curve-fitting하여 추출된다. 이렇게 추출된 캐패시턴스 모델 parameter와 다이오드의 직렬저항이 RF 영역에서 정확한지 검증하고 Rp 값을 추출하기 위해서 측정된 S-파라미터 데이터와 일치되도록 RF optimization이 수행된다.

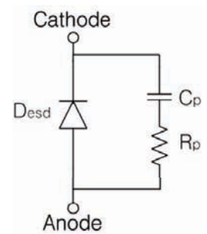
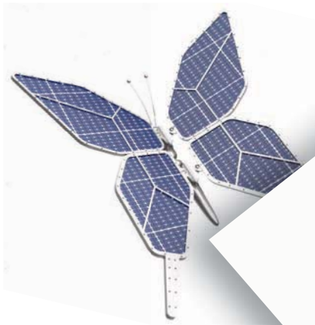


그림 7. ESD 다이오드 등가회로 모델



6) RF 패드 모델 구축

그림 8은 SOI RF 모델 라이브러리에 사용된 RF 패드의 등가회로를 보여준다. HRS-SOI 기판에 의한 손실 캐패시턴스를 모델화하기 위해 접지에 C와 R이 직렬로 연결된다. 이때 다른 소자들에 비해 큰 C 성분 때문에 정확한 RF 모델링을 위해 R이 포함되었다.

이러한 등가모델의 C와 R은 100MHz에서 40GHz까지 S-parameter optimization을 통해 정확히 추출된다.

RF 패드의 모델 라이브러리는 RF TEG 패턴에서 추출된 C와 R의 W 및 L 종속 데이터들을 scalable 방정식으로 각각 모델화하여 구축되었다.

그림 8. RF 패드의 등가회로 모델

4. 결론

최근 RF Front-End IC를 제조하기 위한 가장 적합한 소자로서 RF SOI CMOS 소자가 전 세계적으로 주목을 받고 있으며, 이에 따라 RF SOI CMOS SPICE 모델 라이브러리 구축 연구가 매우 중요하게 대두하고 있다. 따라서 본고에서는 관련 기술동향을 요약하고 최근 본 연구실에서 개발한 SOI RF CMOS 수동 및 능동소자 모델 라이브러리 구축 기술에 대해 자세히 설명하였다.

이 성 현 교수
소속 : 한국외국어대학교 전자공학과
연구분야 : CMOS 및 바이폴라 소자 모델링
shlee@hufs.ac.kr

참고문헌

[1] K. B. Ali, C. R. Neve, A. Gharsallah, and J.-P. Raskin, "RF Performance of SOI CMOS Technology on Commercial 200-mm Enhanced Signal Integrity High Resistivity SOI Substrate," IEEE Trans. Electron Device, vol. 61, no. 3, pp. 722-728, 2014.

[2] SPICE Models Manual, SILVACO Inc, Santa Clara, CA, 2012.

[3] K. Lu, J. Chen, J. Luo, J. Liu, Q. Wu, Z. Chai, and X. Wang, "Improvement of RF performance by using tunnel diode body contact structure in PD SOI nMOSFETs," IEEE Electron Device Lett., vol. 35, no. 1, pp. 15-17, Jan. 2014.

[4] B. A. Ali, C. R. Neve, Y. Shim, M. Rais-Zadeh, and J.-P. Raskin,"Non-linear characteristics of passive elements on trap-rich high-resistivity Si substrates," in Proc. IEEE 14th Topical Meeting Silicon Monolithic Integr. Circuits RF Syst., Newport Beach, CA, USA, Jan. 2014, pp. 4-6.

[5] N. Fong, J. Kim, J.-O. Plouchart, N. Zamdmer, D. Liu, L. Wagner, C. Plett, and G. Tarr, "A low-voltage 40-GHz complementary VCO with 15% frequency tuning range in SOI CMOS technology,"IEEE J. Solid-State Circuits, vol. 39, no. 5, pp. 841-846, 2004.

[6] BSIMSOI3.0 MOSFET MODEL Users'Manual, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 2002.

[7] BSIMSOI4.4 MOSFET MODEL Users'Manual, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 2010.

[8] SmartSpice User's Manual, SILVACO Inc, Santa Clara, CA, 2012.

[9] W. Wu, X. Li, G. Gildenblat, G.O. Workman, S. Veeraraghavan, C.C. McAndrew, R. van Langevelde, G.D.J. Smit, A.J. Scholten, D.B.M. Klaassen, J. Watts, "PSP-SOI: An advanced surface potential based compact model of partially depleted SOI MOSFETs for circuit simulations", Solid-State Electronics, vol. 53, pp. 18-29, 2009.

[10] 차지용, 차준영, 이성현, "Wide Width Effect를 고려하여 개선된 SPICE MOSFET RF Model 연구"전자공학회 논문지 제 45권 SD편 제 2호, pp. 7-12, 2008.

[11] 이현준, 이성현, "RF MOSFET을 위한 SPICE 기판 모델의 스케일링 정확도 분석"전자공학회 논문지 제 49권 제 12호, pp. 173-178, 2012.

[12] J. Cha, J. Cha, and S. Lee, "Uncertainty analysis of two-step and three-step methods for deembedding on-wafer RF transistor measurements," IEEE Trans. Electron Device, vol. 55, pp. 2195-2201, 2008.

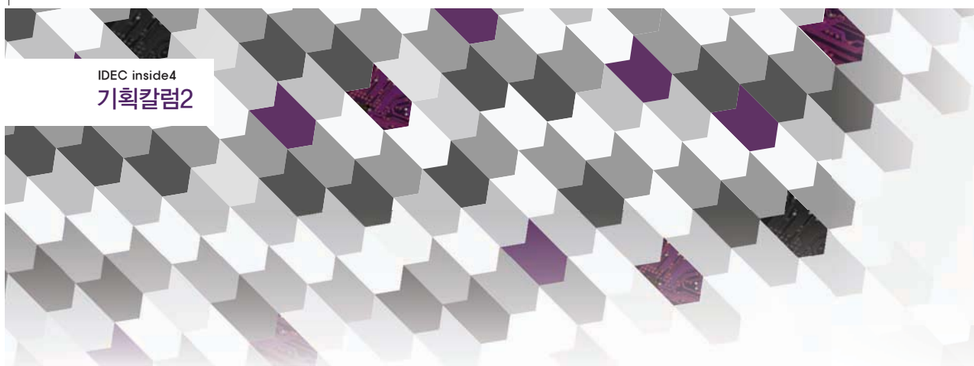
[13] J.-Y. Kim, M.-K. Choi, and S. Lee, "A Thru-Short-Open De-embedding Method for Accurate On-Wafer RF Measurements of Nano-Scale MOSFETs," Journal of Semiconductor Technology and Science, vol. 12, no. 1, pp. 53-58, 2012.

[14] J. Han and H. Shin, "A scalable model for the substrate resistance in multi-finger RF MOSFETs," in IEEE MTT-S Int. Microwave Symp. Dig., pp. 2105-2108, 2003.

[15] S. Lee and H. K. Yu, "Determining non-quasi-static small-signal equivalent circuit of a RF silicon MOSFET," Solid State Electronics, vol. 45, pp. 359-364, 2001.

[16] H.-J. Lee and S. Lee, "A new extraction method for non-quasi-static gate resistance of RF MOSFETs," Electron. Lett., vol. 48, no. 23, pp. 1501-1503, 2012.

[17] F. Huang, J. Lu, N. Jiang, X. Zhang, W.Wu, and Y.Wang, "Frequency independent asymmetric double-π equivalent circuit for on-chip spiral inductors: Physics-based modeling and parameter extraction," IEEE J. Solid-State Circuits, vol. 41, no. 10, pp. 2272-2283, Oct. 2006.--



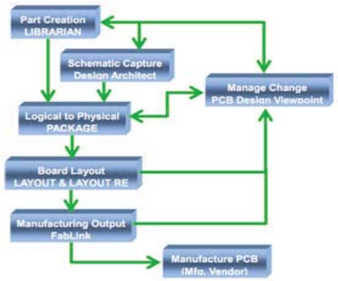
Mentor사 Board Station

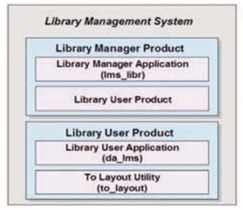
A. 목적
Circuit and PCB Design

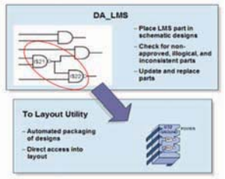
B. 구분
회로 및 PCB 설계 Solution을 제공

C. Supported Platform and O/S System
- Linux RHEL 4, 532/64bit
- Linux SLES 10 32/64bit
- Solaris 10 UltraSPARC
- Windows 7 32/64bit, XP 32Bit, Server 200832/64bit, Server2003 32bit, Vista 32/64bit

D. 특성 및 기능
Board Station은 Mentor사의 전통적인 PCB 설계 솔루션으로 Design Manager, Design Architect, Librarian, Package, Layout, FabLink 등으로 구성되어 있다. Unix 기반에서 개발된 제품으로 X-Window를 사용하며, PC 환경에서는 MWE 에뮬레이션 환경을 통해서 사용할 수 있다.

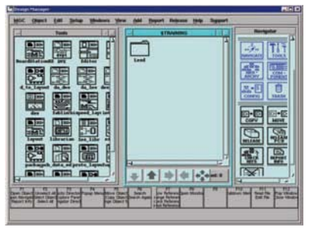




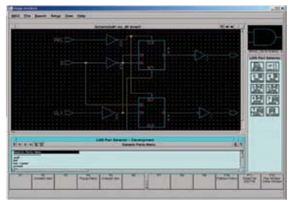


LMS
LMS (Library Management System)는 기존에 사용자 각자가 작성하여 사용하였던 라이브러리를 통합관리 함으로써 부품정보관리와 표준화, 공용화가 용이하며 각 사이트에 알맞은 부품선택 메뉴를 구성하여 사용자가 용이하게 부품을 선택하여 사용할 수 있도록 설계환경을 개선하는 시스템이다. 결론적으로 LMS는 회로입력에서 보드 설계까지의 전 프로세스를 지원하는 사내 표준화된 라이브러리를 구축, 사용하는 것을 의미하며 LMS Manager와 LMS User로 구성된다.

Falcon Framework
툴 통합환경을 제공하는 것으로 CUI (Common User Interface), Design Manager, AMPLE (Advanced Multi-Purpose Language) 등이 포함되어 있다.

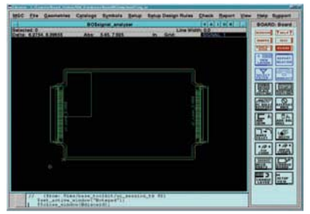


Design Manager
Design Manager는 Tool의 실행 및 Design Data의 복사, 이동, 삭제와 같은 데이터 관리 기능을 가지고 있다.

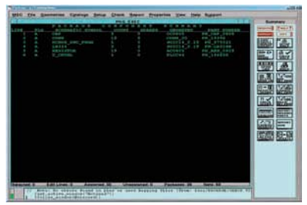


da_lms
회로도 및 Logic Symbol을 작성할 때 사용되며 da_lms는 LMS 환경에서 사용되고 Non-LMS 환경에서는 Design Architect가 사용된다.

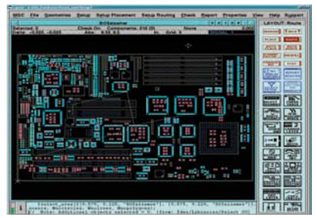
Librarian
PCB 설계에 사용되는 부품의 Physical Footprint인 Geometry를 작성할 때 사용된다. 이러한 Geometry에는 Board, Component, Pad-stack, Via, Generic 등이 있다.



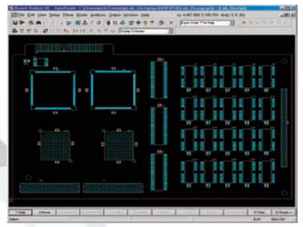
Package (to_layout)
소스 회로도의 Design Viewpoint를 통하여 연결된 Net 정보 및 Design-Specific Catalog를 구성하고 Mapping 파일 등의 정보를 참조하여 PCB 데이터베이스를 구성하는데 사용된다. To_layout은 자동 패키징 기능으로 LMS User 유틸리티이다.



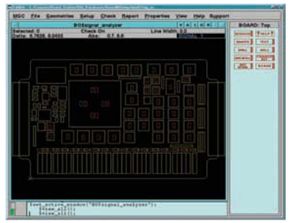
Layout
PCB 상에서 부품의 배치 및 배선 작업을 하는데 사용된다.



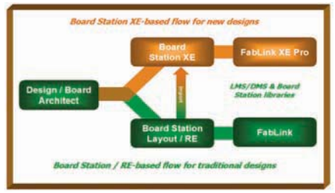
Board Station RE
AutoActive 기술의 Shape-Based (Non-Grid) 방식의 Push & Shove 배선방식을 제공하는 RE는 배선 효율을 향상시킬 수 있다. Layout 툴과 상호 연동이 가능하다.



FabLink
Layout이 완료되었으면 PCB 제조를 위한 Gerber Data와 Drill Data, Panel Data 등을 생성하는데 사용된다. 또한, 자사 데이터 및 BOM 파일도 생성할 수 있다.



Board Station XE
Board Station RE보다 더욱더 강화된 Routing 기술을 제공하며, Board Station RE와는 다르게 Layout과의 데이터 호환성을 제공하지 않는다. 멘토사의 차세대 PCB 툴인 Expedition PCB에서 사용 가능한 기능이 대부분 포팅되어 있다. Board Station XE에서 작업하기 위해서는 Board Station 데이터를 Board Station XE 데이터로 변환하는 선행작업이 필요하며, 이 작업은 자동화되어 있어서 사용자가 쉽게 데이터를 변환할 수 있다.



FabLink XE
FabLink XE는 Board Station로 설계된 데이터는 Import 할 수 없고, Expedition PCB 또는 Board Station XE로 설계된 데이터를 Import 할 수 있다. FabLink XE를 사용하여 자동 또는 대화식 Step & Repeat Panel을 생성할 수 있으며, 이 기종의 PCB도 같이 Panel 생성이 가능하다. 또한, MOA (Manufacturing Output Automation) 을 사용하여 9가(Gerber, ODB++, NC Drill, CCZ, BOM, Neutral File, Print, GDSII, IDF) 생산 데이터를 일괄 생성할 수 있다.

회 사 명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주 소 : http://www.mentorkr.com/
한국지사 : 한국멘토
전 화 : 031) 8061-0790
주 소 : 경기도 성남시 분당구 판교역로
192번길 12 (삼평동)
판교 미래에셋센터 7층

Why?

"왜?"
라고 끊임없이 자신에게 묻는 연구자

정 하 연 교수
고려대학교 전자 및 정보공학과

시스템의 building block은 무조건 성능과 전력소모를 최적화하는 것보다 용도에 따라 특정 성능을 희생하고 다른 성능을 높이는 것이 더 유리할 수 있다. 하나의 building block으로 사용될 수 있는 TDC, ADC들이 어떤 성능에 중점을 두어야 하는지를 분석하고, 이를 통해 향상된 전체 시스템의 성능과 전력 소모를 검증에 초점을 맞춰 연구를 수행하고 있는 고려대학교 정하연 교수를 만나보았다.

문의 고려대학교 과학기술대학 차세대 혼성신호 회로 및 시스템 설계 연구실
전화 044-860-1429 **E-mail** hcchung@korea.ac.kr
nics.korea.ac.kr

" CMOS 공정을 바탕으로 한 data link의 저전력화, 소형화, 고속화에 대한 연구 "

고려대학교 세종캠퍼스 전자 및 정보공학과 정하연 교수의 전공은 혼성신호 집적회로 설계이다. 그녀는 현재, 여러 가지 애플리케이션에 사용되는 데이터 컨버터들을 어떻게 설계하는 것이 전체 시스템의 성능을 향상시키고 전력소모를 줄일 수 있는지에 대한 연구를 하고 있다.

어떤 큰 틀에 작은 상자들을 빈틈없이 끼워 넣을 때 무조건 크기가 작고 반듯하게 생긴 상자만을 골라 억지로 끼워 넣는 것보다는 틀의 모양에 따라 상자의 모습이나 크기를 결정하여 고르는 것이 더 효율적일 것이다. 그녀는 자신의 연구를 이에 비유했다. "시스템의 building block들도 무조건 성능과 전력소모를 최적화하는 것보다는 용도에 따라 때로는 특정 성능을 희생하고 다른 성능을 높이는 것이 더 유리할 수 있습니다. 제가 현재 진행하고 있는 연구는 이러한 맥락에서 하나의 building block으로 사용될 수 있는 TDC, ADC들이 어떤 성능에 중점을 두어야 하는지에 대한 분석을 하고, 이를 통해 향상된 전체 시스템의 성능과 전력 소모를 검증하는 것에 초점이 맞추어져 있습니다."

CMOS 공정을 바탕으로 한 data link의 저전력화, 소형화, 고속화란 주제로 연구하고 있다. 이는 더욱 빠르고, 가볍고, 오래가는 device를 원하는 소비자들의 변하지 않는 욕구를 충족시키기 위해 앞으로도 지속해서 연구될 분야이다. 그녀는 소비자들의 끊임없는 요구가 있는 한 계속해서 발전해 나갈 분야라며 그 중요성에 대해 이야기했다. "특히, system level에서 전체 link system의 전력소모, 성능 등을 최적화할 수 있는 각 building block들의 동작을 연구하는 데에 초점을 맞추고 있습니다. system의 각 building block들을 최적화하여 전체 성능을 높이는 데에는 한계가 있으므로 전체 system 차원에서 각 building block들의 동작을 미리 설계하여 전체 성능을 최적화하는 것이 중요하다고 생각합니다."

" 인생의 멘토를 만난다는 것은"

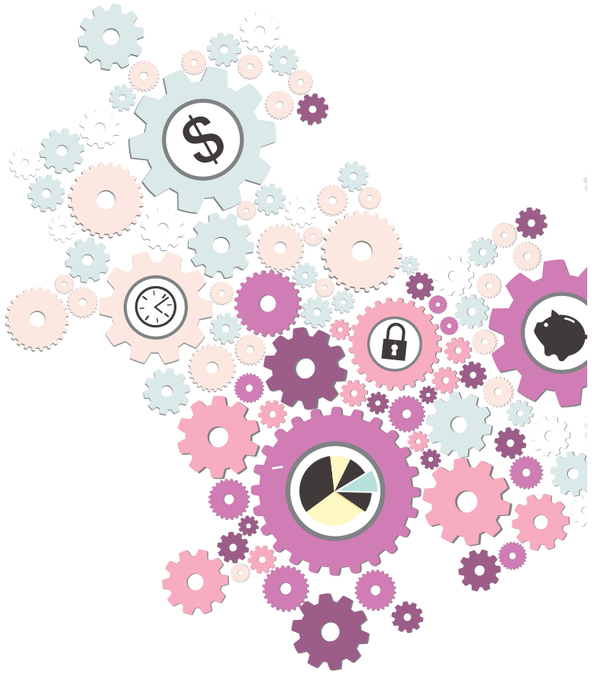
정하연 교수는 석박사 과정 중에 혼성신호 회로 중 데이터 변환기(time-to-digital converter (TDC) 및 analog-to-digital converter (ADC))와 고속 통신 인터페이스를 연구에 매진했는데, 석사 과정 중 처음으로 만든 PPL(Phase-locked loop) 칩 테스트를 하던 시기를 잊지 못한다고 한다. "처음 3일 정도 칩이 동작하지 않아 이런저런 디버깅을 하며 초조하게 보내다가 첫 신호를 발견했을 때의 그 순간이 아직도 기억납니다. 너무 기쁘고 긴장한 나머지 머리카락이 쭈뼛 서는 것 같았어요"

그녀는 지금도 자신의 아이디어를 칩으로 직접 제작하여 구체화할 수 있고, 또 그 칩이 동작하는 것을 확인하는 과정이 아직도 설레고 신이 난다고 한다. 그러면서 지금의 자리에 오기까지에는 한 분의 멘토가 있었다고 한다. "학부 과정 당시 전자회로 수업을 맡으셨던 김원찬 교수님을 기억합니다. 정년이 얼마 남지 않은 연세이셨음에도 열정적인 모습을 보며, 이 분야의 매력에 대한 막연한 기대감에 교수님을 찾아뵙고 공부를 시작했습니다."

" "왜?" 라고 끊임없이 자신에게 묻다"

집적회로를 설계하는 사람들은 아마도 제작된 칩이 원하는 만큼의 성능을 내지 못하면 어쩌나 하는 심정 부담감을 공통으로 갖고 있을 것이다. 정하연 교수 역시, "긴 시간, 큰 비용을 투자하여 만든 칩이 원하는 결과를 내지 못하면 손해가 막심하니까요. 이 부담감 때문에 테입아웃이 가까워지면 무척 예민해지기도 하는 것 같아요." 라며 웃었다. 그러면서 그녀는 이를 떨쳐내는 법에 대해 이어갔다. "요즘은 설계, 시뮬레이션과 Verifiction 툴이 워낙 잘 갖춰져 있어 차근차근 모든 절차에 걸쳐 설계를 진행하면 큰 문제없이 원하는 칩 성능을 얻을 수 있는 듯해요. 그러므로 더 부지런히, 꼼꼼히 설계에 임해서 실수를 줄여 불확실성을 줄이는 것이 극복방법이 아닐까 싶어요."

또한, 그녀는 끊임없이 자신에게 질문한다고 한다. "항상 '왜? (why?)'라는 질문을 하려 노력해요. '이 연구를 왜 해야 하지?', '왜 이 공정을 사용해야 하지?', '이 소자는 왜 이렇게 그려야 하지?' 등등. '왜'가 포함된 질문은 어떤 일의 방향성을 제시해 주고 전체 큰 그림에서 크게 벗어나지 않게 도와주며 새로운 아이디어를 도출함에 그 이유를 제시해 줍니다." 그녀는 연구 과제의 선정과 관련된 큰 주제로부터 트랜지스터의 크기를 가늠하는 작은 주제에 이르기까지 "왜?"라는 질문을 항상 새기는 자세로 연구에 매진한다고 한다.



" 무어의 법칙과 어머니 "

마이크로 칩에 저장할 수 있는 데이터의 양이 18개월마다 2배씩 증가한다는 무어의 법칙은 지난 60년 동안 이어져 왔다. 이는 반도체 공정을 개발하시는 분들이 이 흐름을 깨지 않으려 부단히 노력한 결과라 볼 수 있다. 현재 CMOS 공정은 그 공정의 발전이 거의 saturation 되는 시점에 있다. 이에 그녀는 "이미 이를 대체할 많은 종류의 소자들이 개발되고 있고, 머지않은 미래에 이 새로운 소자를 기반으로 한 새로운 반도체 공정이 개발되어, 무어의 법칙은 계속해서 지켜져 나가리라 믿습니다. 회로를 설계하는 사람의 입장에서는 이러한 변화에 빨리 적응하고 변화를 수용하는 것이 중요합니다." 라며 미래의 변화된 반도체 산업의 적응에 대해 주목했다.

또한, 정하연 교수는 매일 연구를 하면서 전력소모를 몇 % 줄이고, 속도를 몇 % 늘리고 하는 작은 성능의 개선에 급급하다 보면, 이러한 연구가 얼마나 impact가 있는 것인지 의구심이 들 때가 있다고 한다. 하지만 작은 노력, 작은 개선 같은 작은 움직임이 모여 지속적인 반도체 산업의 육성을 이룩해 왔고, 이런 흐름은 전 세계의 사람들을 온라인상에 한데 묶어 거대한 정보 교류의 장을 마련함으로써 현재 인류가 직면한 문제들을 해결하는 데에 결정적인 역할을 할 수 있다고 말했다. "이런 의미에서 반도체 산업은 매우 뜻깊은 분야라고 생각합니다."

그리고는 그녀는 후배와 독자들에게 Intel사에서 제작한 Peter Diamandis의 "XPrize founder Peter Diamandis discusses how evolving IT enables more people to change the future"라는 비디오를 추천했다. "이 비디오에 나와 있듯이, 향후 반도체 산업의 발전은 인류가 직면한 여러 가지 문제를 해결함에 개개인 모두의 생각을 연결시켜 더욱 효과적인 해결책을 제시하는 데에 매우 중요한 역할을 할 것으로 생각해요."

두 살배기 아이의 어머니이기도 한 정하연 교수는 마지막으로 집적회로 기술을 바탕으로 소형 의료용 센서, 특히 외부 자극에 민감하고 활동량이 많은 어린이들을 위한 non-invasive 센서 시스템 개발에 대해 따뜻한 소망도 전했다. "아이들을 질병으로부터 미리 보호할 수 있는 시스템을 개발할 수 있다면 정말 의미 있는 일이 될 듯해요."