

SYNOPSIS
Predictable Success

In-Design Physical Verification with IC Validator and IC Compiler

- 100 Tapeouts 1 Year After Introduction
- Standardized at Top Semiconductor Manufacturers
- Proven to Accelerate Time to Tapeout

A New World for Physical Verification

SYNOPSIS
Predictable Success

HSPICE for Analog Precision Parallel Technology

Convergence
on tough
analog
circuits

7x
speed-up
on
8 cores

Golden
reference
at top
foundries

Built-in
advanced
analysis

IDEC
반도체설계교육센터
IC DESIGN EDUCATION CENTER
305-701 대전광역시 유성구 구성동 373-1
한국과학기술원

IDEC Newsletter

IDEC Newsletter | 통권: 제165호 | 발행일: 2011년 2월 28일 | 발행인: 경종민 | 편집인: 김이섭 | 제작: 푸움디자인
기획 | 전화: (042) 350-8535~6 | 팩스: (042) 350-8540 | http://idec.or.kr
E-mail: jhg0929@idec.kaist.ac.kr | 발행처: 한국과학기술원 반도체설계교육센터(IDEC)

Vol.165

2011
March

IDEC NEWS | 02 뇌파 측정 센서 및 신호 처리 기술 | 04 아날로그 설계기술 연구센터 (AIPRC) | 08
3-D NAND Flash Memory | 12 국산 프로세서 Core-A를 활용한 게임 개발 (Tetris) | 18

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, 하이닉스반도체, 매그나칩반도체, 동부하이텍, 엠코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

뇌파 측정 센서 및 신호 처리 기술

뇌자기파/뇌전기파는 의료목적으로 많이 연구되었으며, 현재 이를 사용해서 뇌기능을 분석함으로써 뇌에서 일어나는 생리학적 현상들의 상관성을 찾고 이를 이용한 진단방법이 연구되어 왔다. 그리고 이런 특징을 이용하여 사람의 생각만으로 기기를 동작하게 하는 BCI 방법이 연구되고 있다. 본 고에서는 뇌파 측정 센서 및 신호 처리 기술에 대해 국내외 동향 분석 등을 통해 대해 알아보하고자 한다. (관련기사 P04~06 참조)

아날로그 설계기술 연구센터 (AIPRC)

아날로그 IP 설계기술 연구센터는 차세대 융·복합 시스템용 아날로그 IP 핵심 설계기술개발을 목표로 출범한 연구센터로 2010년 6월 지식경제부에서 주관하는 대학 IT 연구센터 사업 (ITRC) 중 하나로 선정되었으며, 세계적인 경쟁력을 가지는 핵심 아날로그 IP 개발 및 확산을 그 목적으로 하고 있다. 본 고에서는 아날로그 설계 기술 연구센터의 센터장인 서강대 이승훈 교수의 소개로 동 센터의 연구분야, 연구진, 성과 등에 대해 알아보하고자 한다. (관련기사 P08~11 참조)

3-D NAND Flash Memory

최근 아이폰, 아이 패드 열풍에 힘입어 모바일 기기의 시장은 눈부신 성장세를 이어가고 있으며 이에 맞추어 관련 부품 시장의 성장세도 증가하고 있다. 특히 우리나라 반도체 산업의 주력상품 중 하나인 Flash memory, 특히 NAND type flash memory 또한 이 모바일 기기의 대표적 저장장치로 사용되면서 시장 규모에서 현재 1위인 DRAM을 빠르게 추격하고 있다. 하지만, 모바일 기기의 다른 부품들이 빠르게 고성능화되면서 Flash memory 또한 성능 향상을 요구하고 있다. 본 고에서는 2부에 걸쳐서 이들 구조를 중심으로 현재까지의 3-D Flash memory 개발 동향에 대해서 살펴보고자 한다. (관련기사 P12~16 참조)

국산 프로세서 Core-A를 활용한 게임 개발 (Tetris)

Core-A 프로세서는 RISC Type의 32-bit 임베디드 프로세서로서 간단하지만, 효율적인 하드웨어 구조로 되어 있기 때문에 저전력, 고성능 소면적이라는 특징을 갖고 있다. Core-B Lite라는 이름의 On-Chip High Speed Bus와 Coprocessor를 위한 인터페이스를 갖고 있기 때문에 온 칩 환경 내에서 다른 IP 블록들과의 효율적인 연동이 가능하다. 본 고에서는 반도체설계재산 활용확산 사업을 통해 Core-A를 접하게 되어 이를 활용한 게임을 개발한 조효민 인턴사원(다이나닉)의 이야기를 들어보고자 한다. (관련기사 P18~P19 참조)

IDEC March | 2011 news

MPW (Multi-Project Wafer)																																																																																																																																																																																																																																																																																																																										
신청 현황 I																																																																																																																																																																																																																																																																																																																										
구분	공정	제작가능면적 (mm2 x 칩수)	신청 팀수	채택 팀수	설계면적 (mm2 x 칩수)	DB 마감	Die-out	비고	구분	공정	제작가능면적 (mm2 x 칩수)	신청 팀수	채택 팀수	설계면적 (mm2 x 칩수)	DB 마감	Die-out	비고																																																																																																																																																																																																																																																																																																									
제99회 (11-02)	TJ RF 0.18 동부	5x5mm ² x 2	5	5	5x5mm ² x 1	2011. 5.11	2011. 5.11	DB 검토중	* 104~107회는 우선모집 결과임. -전체모집 가능수의 50% 선정	106회	삼성 0.13	4x4mm ² x 48	8	8	4x4mm ² x 8	2011. 11.5	2012. 3.9																																																																																																																																																																																																																																																																																																									
	제99회 BCD 0.35 동부	5x5mm ² x 3	6	6	5x2.5mm ² x 6	2011. 2.22	2011. 6.1	DB 검토중		107회	M/H 0.18	4.5x4mm ² x 20	2	2	4.5x4mm ² x 2	2011. 12.15	2012. 4.10																																																																																																																																																																																																																																																																																																									
	100회 (11-03)	동부 BCD 0.35	5x5mm ² x 3	7	6	5x2.5mm ² x 6	2011. 4.7	2011. 7.12			집제작 현황 I <table border="1"> <thead> <tr> <th>구분</th> <th>공정</th> <th>제작가능면적 (mm2 x 칩수)</th> <th>제작 칩수</th> <th>제작면적 (mm2 x 칩수)</th> <th>Die-out 예정일</th> <th>Delay</th> <th>현재 상태</th> <th>비고</th> </tr> </thead> <tbody> <tr> <td>제96회</td> <td>삼성 0.18</td> <td>4x4mm² x 20</td> <td>15</td> <td>4x4mm² x 15</td> <td>2011. 5.2</td> <td>2011. 5.2</td> <td>Die: 1w</td> <td>칩제 작중 Die: 2,28 예정</td> </tr> <tr> <td>제97회</td> <td>M/H 0.18 동부</td> <td>4.5x4mm² x 20</td> <td>21</td> <td>4.5x4mm² x 20</td> <td>2011. 5.13</td> <td>2011. 9.5</td> <td>Die: 2.10</td> <td>PKG 제작중 Die: 1,24 PKG: 2,25 제작예정 Die: 2,28 예정</td> </tr> <tr> <td>제98회</td> <td>TJ CIS 0.18 동부</td> <td>5x5mm² x 1</td> <td>5</td> <td>4</td> <td>2.5x2.5mm² x 4</td> <td>2011. 6.21</td> <td>2011. 9.21</td> <td>Die: 2.25</td> <td>Die: 0.5w</td> <td>칩제 작중</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>제98회</td> <td>TJ CIS 0.18 동부</td> <td>5x5mm² x 3</td> <td>9</td> <td>5</td> <td>5x5mm² x 1</td> <td>2011. 7.7</td> <td>2011. 10.12</td> <td>Die: 5.24</td> <td>Die: 6.7</td> <td>칩제 작중</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>제98회</td> <td>M/H 0.18 동부</td> <td>4.5x4mm² x 20</td> <td>3</td> <td>3</td> <td>5x4mm² x 3</td> <td>2011. 8.29</td> <td>2011. 12.20</td> <td>Die: 12.20</td> <td>Die: 6.7</td> <td>칩제 작중</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>제98회</td> <td>M/H 0.18 동부</td> <td>4.5x4mm² x 20</td> <td>1</td> <td>1</td> <td>4.5x4mm² x 1</td> <td>2011. 8.29</td> <td>2011. 12.20</td> <td>Die: 12.20</td> <td>Die: 6.7</td> <td>칩제 작중</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>제98회</td> <td>삼성 65n</td> <td>4x4mm² x 20</td> <td>11</td> <td>9</td> <td>4x4mm² x 9</td> <td>2011. 8.19</td> <td>2012. 1.15</td> <td>Die: 8.19</td> <td>Die: 1.20</td> <td>제작 완료</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>Die: 1.10 PKG: 1.25</td> </tr> <tr> <td>제103회 (11-06)</td> <td>TJ CIS 0.18 동부</td> <td>5x5mm² x 1</td> <td>5</td> <td>4</td> <td>2.5x2.5mm² x 4</td> <td>2011. 6.21</td> <td>2011. 9.21</td> <td></td> <td colspan="9"> * M/H = 매그나칩/하이닉스, TJ = TowerJazz * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음. * Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 3주 이상 소요됨. * 위의 내용은 2/25 기준임. * 2011년 MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조 </td> </tr> <tr> <td>104회 (11-07)</td> <td>TJ BCD 0.18 동부</td> <td>5x5mm² x 2</td> <td>0</td> <td>0</td> <td>-</td> <td>2011. 8.29</td> <td>2011. 11.15</td> <td></td> <td colspan="9"> * 문의 : 이의숙(042-350-4428, yslee@idec.kaist.ac.kr) </td> </tr> <tr> <td>104회 (11-07)</td> <td>M/H 0.35 동부</td> <td>5x4mm² x 20</td> <td>3</td> <td>3</td> <td>5x4mm² x 3</td> <td>2011. 8.29</td> <td>2011. 12.20</td> <td>장규 모집 : ~3.2</td> <td colspan="9"></td> </tr> <tr> <td>104회 (11-07)</td> <td>M/H 0.18 동부</td> <td>4.5x4mm² x 20</td> <td>1</td> <td>1</td> <td>4.5x4mm² x 1</td> <td>2011. 8.29</td> <td>2011. 12.20</td> <td></td> <td colspan="9"></td> </tr> <tr> <td>104회 (11-07)</td> <td>삼성 65n</td> <td>4x4mm² x 20</td> <td>11</td> <td>9</td> <td>4x4mm² x 9</td> <td>2011. 8.19</td> <td>2012. 1.15</td> <td></td> <td colspan="9"></td> </tr> <tr> <td>105회 (11-08)</td> <td>TJ CIS 0.18 동부</td> <td>5x5mm² x 1</td> <td>1</td> <td>1</td> <td>2.5x2.5mm² x 1</td> <td>2011. 10.10</td> <td>2012. 1.11</td> <td></td> <td colspan="9"></td> </tr> <tr> <td>105회 (11-08)</td> <td>BCD 0.35 동부</td> <td>5x5mm² x 3</td> <td>2</td> <td>1</td> <td>5x5mm² x 1</td> <td>2011. 10.13</td> <td>2012. 1.18</td> <td></td> <td colspan="9"></td> </tr> <tr> <td>105회 (11-08)</td> <td>동부 0.11</td> <td>5x5mm² x 13</td> <td>6</td> <td>6</td> <td>5x5mm² x 1</td> <td>2011. 10.10</td> <td>2012. 1.10</td> <td></td> <td colspan="9"></td> </tr> <tr> <td>105회 (11-08)</td> <td>KEC 4</td> <td>5x5mm² x 20</td> <td>-</td> <td>-</td> <td>-</td> <td>2011. 10.14</td> <td>2012. 1.27</td> <td></td> <td colspan="9"></td> </tr> <tr> <td>105회 (11-08)</td> <td>KEC 0.5</td> <td>5x5mm² x 20</td> <td>-</td> <td>-</td> <td>-</td> <td>2011. 10.14</td> <td>2012. 1.27</td> <td></td> <td colspan="9"></td> </tr> </tbody> </table>									구분	공정	제작가능면적 (mm2 x 칩수)	제작 칩수	제작면적 (mm2 x 칩수)	Die-out 예정일	Delay	현재 상태	비고	제96회	삼성 0.18	4x4mm ² x 20	15	4x4mm ² x 15	2011. 5.2	2011. 5.2	Die: 1w	칩제 작중 Die: 2,28 예정	제97회	M/H 0.18 동부	4.5x4mm ² x 20	21	4.5x4mm ² x 20	2011. 5.13	2011. 9.5	Die: 2.10	PKG 제작중 Die: 1,24 PKG: 2,25 제작예정 Die: 2,28 예정	제98회	TJ CIS 0.18 동부	5x5mm ² x 1	5	4	2.5x2.5mm ² x 4	2011. 6.21	2011. 9.21	Die: 2.25	Die: 0.5w	칩제 작중								제98회	TJ CIS 0.18 동부	5x5mm ² x 3	9	5	5x5mm ² x 1	2011. 7.7	2011. 10.12	Die: 5.24	Die: 6.7	칩제 작중								제98회	M/H 0.18 동부	4.5x4mm ² x 20	3	3	5x4mm ² x 3	2011. 8.29	2011. 12.20	Die: 12.20	Die: 6.7	칩제 작중								제98회	M/H 0.18 동부	4.5x4mm ² x 20	1	1	4.5x4mm ² x 1	2011. 8.29	2011. 12.20	Die: 12.20	Die: 6.7	칩제 작중								제98회	삼성 65n	4x4mm ² x 20	11	9	4x4mm ² x 9	2011. 8.19	2012. 1.15	Die: 8.19	Die: 1.20	제작 완료							Die: 1.10 PKG: 1.25	제103회 (11-06)	TJ CIS 0.18 동부	5x5mm ² x 1	5	4	2.5x2.5mm ² x 4	2011. 6.21	2011. 9.21		* M/H = 매그나칩/하이닉스, TJ = TowerJazz * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음. * Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 3주 이상 소요됨. * 위의 내용은 2/25 기준임. * 2011년 MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조									104회 (11-07)	TJ BCD 0.18 동부	5x5mm ² x 2	0	0	-	2011. 8.29	2011. 11.15		* 문의 : 이의숙(042-350-4428, yslee@idec.kaist.ac.kr)									104회 (11-07)	M/H 0.35 동부	5x4mm ² x 20	3	3	5x4mm ² x 3	2011. 8.29	2011. 12.20	장규 모집 : ~3.2										104회 (11-07)	M/H 0.18 동부	4.5x4mm ² x 20	1	1	4.5x4mm ² x 1	2011. 8.29	2011. 12.20											104회 (11-07)	삼성 65n	4x4mm ² x 20	11	9	4x4mm ² x 9	2011. 8.19	2012. 1.15											105회 (11-08)	TJ CIS 0.18 동부	5x5mm ² x 1	1	1	2.5x2.5mm ² x 1	2011. 10.10	2012. 1.11											105회 (11-08)	BCD 0.35 동부	5x5mm ² x 3	2	1	5x5mm ² x 1	2011. 10.13	2012. 1.18											105회 (11-08)	동부 0.11	5x5mm ² x 13	6	6	5x5mm ² x 1	2011. 10.10	2012. 1.10											105회 (11-08)	KEC 4	5x5mm ² x 20	-	-	-	2011. 10.14	2012. 1.27											105회 (11-08)	KEC 0.5	5x5mm ² x 20	-	-	-	2011. 10.14	2012. 1.27								
구분	공정	제작가능면적 (mm2 x 칩수)	제작 칩수	제작면적 (mm2 x 칩수)	Die-out 예정일	Delay	현재 상태	비고																																																																																																																																																																																																																																																																																																																		
제96회	삼성 0.18	4x4mm ² x 20	15	4x4mm ² x 15	2011. 5.2	2011. 5.2	Die: 1w	칩제 작중 Die: 2,28 예정																																																																																																																																																																																																																																																																																																																		
제97회	M/H 0.18 동부	4.5x4mm ² x 20	21	4.5x4mm ² x 20	2011. 5.13	2011. 9.5	Die: 2.10	PKG 제작중 Die: 1,24 PKG: 2,25 제작예정 Die: 2,28 예정																																																																																																																																																																																																																																																																																																																		
제98회	TJ CIS 0.18 동부	5x5mm ² x 1	5	4	2.5x2.5mm ² x 4	2011. 6.21	2011. 9.21	Die: 2.25	Die: 0.5w	칩제 작중																																																																																																																																																																																																																																																																																																																
제98회	TJ CIS 0.18 동부	5x5mm ² x 3	9	5	5x5mm ² x 1	2011. 7.7	2011. 10.12	Die: 5.24	Die: 6.7	칩제 작중																																																																																																																																																																																																																																																																																																																
제98회	M/H 0.18 동부	4.5x4mm ² x 20	3	3	5x4mm ² x 3	2011. 8.29	2011. 12.20	Die: 12.20	Die: 6.7	칩제 작중																																																																																																																																																																																																																																																																																																																
제98회	M/H 0.18 동부	4.5x4mm ² x 20	1	1	4.5x4mm ² x 1	2011. 8.29	2011. 12.20	Die: 12.20	Die: 6.7	칩제 작중																																																																																																																																																																																																																																																																																																																
제98회	삼성 65n	4x4mm ² x 20	11	9	4x4mm ² x 9	2011. 8.19	2012. 1.15	Die: 8.19	Die: 1.20	제작 완료							Die: 1.10 PKG: 1.25																																																																																																																																																																																																																																																																																																									
제103회 (11-06)	TJ CIS 0.18 동부	5x5mm ² x 1	5	4	2.5x2.5mm ² x 4	2011. 6.21	2011. 9.21		* M/H = 매그나칩/하이닉스, TJ = TowerJazz * 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음. * Die-out 일정은 Diechip 제작완료 기준임. Package는 Die-out후 3주 이상 소요됨. * 위의 내용은 2/25 기준임. * 2011년 MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조																																																																																																																																																																																																																																																																																																																	
104회 (11-07)	TJ BCD 0.18 동부	5x5mm ² x 2	0	0	-	2011. 8.29	2011. 11.15		* 문의 : 이의숙(042-350-4428, yslee@idec.kaist.ac.kr)																																																																																																																																																																																																																																																																																																																	
104회 (11-07)	M/H 0.35 동부	5x4mm ² x 20	3	3	5x4mm ² x 3	2011. 8.29	2011. 12.20	장규 모집 : ~3.2																																																																																																																																																																																																																																																																																																																		
104회 (11-07)	M/H 0.18 동부	4.5x4mm ² x 20	1	1	4.5x4mm ² x 1	2011. 8.29	2011. 12.20																																																																																																																																																																																																																																																																																																																			
104회 (11-07)	삼성 65n	4x4mm ² x 20	11	9	4x4mm ² x 9	2011. 8.19	2012. 1.15																																																																																																																																																																																																																																																																																																																			
105회 (11-08)	TJ CIS 0.18 동부	5x5mm ² x 1	1	1	2.5x2.5mm ² x 1	2011. 10.10	2012. 1.11																																																																																																																																																																																																																																																																																																																			
105회 (11-08)	BCD 0.35 동부	5x5mm ² x 3	2	1	5x5mm ² x 1	2011. 10.13	2012. 1.18																																																																																																																																																																																																																																																																																																																			
105회 (11-08)	동부 0.11	5x5mm ² x 13	6	6	5x5mm ² x 1	2011. 10.10	2012. 1.10																																																																																																																																																																																																																																																																																																																			
105회 (11-08)	KEC 4	5x5mm ² x 20	-	-	-	2011. 10.14	2012. 1.27																																																																																																																																																																																																																																																																																																																			
105회 (11-08)	KEC 0.5	5x5mm ² x 20	-	-	-	2011. 10.14	2012. 1.27																																																																																																																																																																																																																																																																																																																			

NDA가 체결된 Design Data 유출 금지 안내

IDEC의 MPW 참가를 통해 전달받은 Design Data 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 인한 외부로의 공개 또는 유출 시 개인뿐만 아니라 개인이 속해 있는 WG에 자각 박탈과 같은 강력한 규제가 가해질 수 있습니다. 협약에 의해, 형사상 책임을 물을 수 있음을 알려 드립니다. MPW 참여자 분들은 Design Data 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다.

NDA 체결 후 수령한 Design Kit 일체는 IDEC에 칩 수령 후 2개월 이내에 반드시 삭제하고, NDA 폐기확인서를 제출하여 제3자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

Chip Design Contest (CDC)

• IDEC, 제18회 한국반도체학술대회 Chip Design Contest 개최

KAIST 반도체설계교육센터(IDEC, 소장 경종민)는 지난 2월 17일(목), 제주 해비치 호텔에서 제18회 한국반도체학술대회 Chip Design Contest를 개최했다. 이날 행사를 통해 6편의 페이퍼가 발표되었으며, 전국 대학에서 데모 19, 패널 42 참가팀의 연구결과물을 전시하고 발표하는 자리였다.

Best Design 부문 최우수상을 한 (우)서울시립대 김중선과 (좌)IDEC 경종민 소장

심사를 통해 당일 Best Design, FPGA 부문의 시상도 진행되었고, Best Design 부문 최우수상은 서울시립대 김중선, SSSC 서울챕터상은 KAIST 이원영, FPGA 부문 최우수상은 서울대학교 구문모가 수상하는 영예를 안았다.

반도체설계교육센터(IDEC)에서 주관하는 Chip Design Contest는 반도체 및 시스템 설계분야의 기술 공유 및 활발한 정보교류의 장으로써 국내외 파운드리를 통해 제작된 IC 및 PLD를 이용하여 구현한 Chip을 Demo 하는 행사이다. 이를 통해 최신 기술 흐름 및 동향에 관한 정보를 설계자들과 공유하고 국내 반도체 설계분야의 경쟁력 강화 및 설계 기술력 향상에 그 목적이 있다.

아울러 IDEC은 반도체설계에 필요한 EDA 툴 사용 및 기술 습득을 목적으로 작년에 이어 제2회 CAD & Design Methodology Award를 갖고 KAIST 신훈도 학생이 최우수상을 받는 영예를 안았다.

시상내역

• Best Design Award
가. 최우수상 1팀 (상장 및 상금 100만원)

소속	저자	논문명
서울시립대학교	김중선, 최중호	MutualCapacitiveTouchSensor forMobileApplication

나. 우수상 2팀 (상장 및 상금 50만원)

소속	저자	논문명
서울대학교	김석향, 우준명, 안진홍, 박영준	CMOS Micro Array Nano Bio Sensor with on chip electrolyte chemical potential regulator
국민대학교	조관희, 민경식	Low-power read circuit with self-adjusted column pulse width for diode-switch resistive RAMs

• Best Design Award 특별상(IEEE SSSC seoul Chapter 상) (상장 및 상금 100만원)
가. 최우수상 1팀 (상장 및 상금 100만원)

소속	저자	논문명
KAIST	이원영, 김이섭	DisplayPort version 1.2 용 5.4 Gb/s Clock and Data Recovery 회로

• FPGA Award
가. 최우수상 1팀(상장 및 상금 50만원)

소속	저자	논문명
서울대학교	구문모, 홍도선, 최근재, 채수익	고성능 비디오 응용을 위한 processor cluster 아키텍처

나. 우수상 1팀(상장 및 상금 30만원)

소속	저자	논문명
세종대학교	유원선, 김수현, 이성주	Arrobusttechniqueforhighspeedparalleldatatrans missiononFPGAdevelopmentboards

• CAD&Design Methodology Award
가. 최우수상 1팀(상장 및 상금 50만원)

소속	저자	논문명
KAIST	신훈도, 류승탁	Filter의 대역폭-전력소모비 최대화를 위한 Spectre-Matlab을 연계한 설계기법

나. 우수상 1팀(상장 및 상금 30만원)

소속	저자	논문명
국민대학교	조관희, 정철문, 이은섭, 민경식	Verilog-A modeling and Spectre simulation in designing new circuits for emerging devices

* 문의 : 이의숙(042-350-4428, yslee@idec.kaist.ac.kr)

채용 안내

• KAIST 반도체설계교육센터(IDEC)를 이끌어 갈 젊음과 열정을 가진 인재를 찾습니다.

- 모집 분야**
 - 모집인원 : 연구직 (신입·경력), 0명
 - 자격조건 : 대졸 이상. 반도체설계 관련 전공자. 영어 능통자 우대.
 - 주요업무 : - 국·내외 Fab을 통한 칩 설계, 제작 지원
 - Digital, Analog 칩 TEST기술 지원
 - EDA tool 교육 및 기술 지원
- 제출 서류**
 - 당사 입사지원서(홈페이지에서 다운로드)
 - 최종학교 성적증명서 1부
 - 졸업(예정) 증명서 1부
- 접수 기간 및 접수처**
 - 접수기간 : 2011년 3월 31일(목)
 - 접수처 : (305-701) 대전광역시 유성구 구성동 373-1 한국과학기술원 반도체설계교육센터 104호
- 접수방법** : 우편접수, 이메일 접수
- 문의처 : 042-350-4045, shchoi@idec.kaist.ac.kr
- 홈페이지 : www.idec.or.kr

- 기타**
 - 기타 자세한 사항은 홈페이지(www.idec.or.kr) 참조
 - 접수된 서류는 인비 처리하며 반환하지 않음.

뇌파 측정 센서 및 신호 처리 기술



경북대 전자전기컴퓨터학부
 최준림 교수
 연구분야 : 영상압축, 바이오 센서 융합
 E-mail : jrchoi@ee.knu.ac.kr
 http://digital.knu.ac.kr



신경공학

서론

뇌자기파/뇌전기파는 의문적으로 많이 연구되었으며, 현재 이를 사용해서 뇌기능을 분석함으로써 뇌에서 일어나는 생리학적 현상들의 상관성을 찾고 이를 이용한 진단방법이 연구되어 왔다. 그리고 이런 특징을 이용하여 사람의 생각만으로 기기를 동작하게 하는 BCI(brain computer interface)방법이 연구되고 있다.

뇌자기파 측정방법은 뇌신경세포의 전기적 활동에서 발생하는 미세한 생체자기를 초전도 코일을 사용해서 측정하고 영상화한다. 그리고 뇌전기파에 비해서 신호의 왜곡이 없고, 비접촉식이어서 뇌신호를 수집 및 분석하는데 유용하다. 뇌자기 신호를 검출하기 위해서는 고감도의 자기 센서가 필요하다. 상용화된 뇌자기 신호를 검출하는 SQUID 센서(초전도체 센서)는 휴대용기에 적용하기에는 부피가 크며 상온 측정이 불가능하여 측정비용이 많이 드는 문제점이 있기 때문에, 현재는 주로 뇌전기신호를 통해서 뇌신호를 수집하고 있다. 그러나 뇌전기신호는 뇌척수액, 두개골 두피 등의 여러 물질을 거쳐 머리 표피까지 전달되면서 공간적으로 심하게 왜곡된 전위차를 측정하게 되므로 공간적인 정확성이 좋지 않고 이로 말미암은 생체신호 분석에 성능의 제한이 발생한다. 이에 대안으로 SQUID 센서가 아닌 고감도의 반도체형 고인덕턴스 센서와 인터페이스를 개발한다면 뇌자기파 신호를 활용한 휴대용 기기의 개발이 가능하다.

국내외 기술 및 동향 분석

뇌에서 발생하는 자기 신호는 크기가 대단히 미약하여 측정이 용이하지 않기 때문에 심장의 근육으로부터 발생하는 생체자기 신호(magnetocardiogram, MCG)를 1962년 처음 측정하였다. 그러나 그들이 사용한 구리코일은 잡음이 높아 미약한 생체자기 신호를 측정하는데 한계가 있었다.

그 후 Cohen은 더욱 개선된 구리 코일과 자기 차폐실을 이용하여 뇌에서 자발적으로 발생하는 α -파를 측정하기도 하였지만, 본격적인 생체자기의 측정이 가능하게 된 것은 초전도 양자 간섭 장치(Superconducting Quantum Interference Device, SQUID)가 발명되면서부터이다. 1924년 독일의 Hans Berger가 처음으로 뇌신경세포의 전기적 활동에서 발생하는 전기신호를 측정하여 뇌전도(Electroencephalography, EEG)라고 명명하였으나 뇌자기 신호는 40여 년 후에야 비로소 측정되었다.

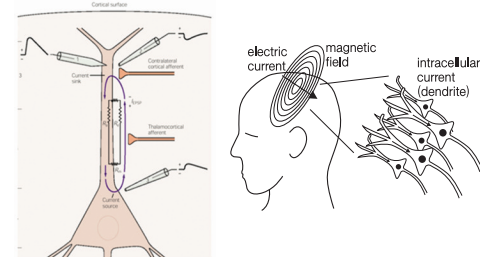
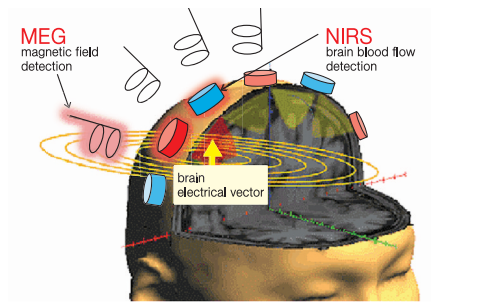


그림 2. 뇌자기파 발생 및 측정 방법

현재는 다수의 SQUID 센서를 사용하여 뇌 전체의 자장분포를 1회의 측정으로 알 수 있는 헬멧형 뇌자기 측정시스템이 개발되어 있으며 현재 세계적으로 800여 대가 사용되고 있다.

뇌의 전기적 활동은 크게 자발적 활동과 외부의 자극에 의한 반응으로 구분되는데 이때 발생하는 자장 신호의 공간적 분포를 분석하면 활동부위의 시간적, 공간적 정보를 알 수 있고 측정과정의 비침습적/비접촉으로 이루어진다는 점에서 다른 뇌영상 진단장비와 차별화된 특징을 가진다. 뇌자기를 이용한 유망한 진단분야로서는 간질병, 뇌일혈, 알츠하이머병, 뇌정신 약리학 등을 들 수 있다. 뇌의 기능과 관련해서는 청각, 시각, 촉각 등의 감각기능은 물론 인식, 기억, 판단, 정서 등 고차뇌기능에 대한 연구가 활발하다.

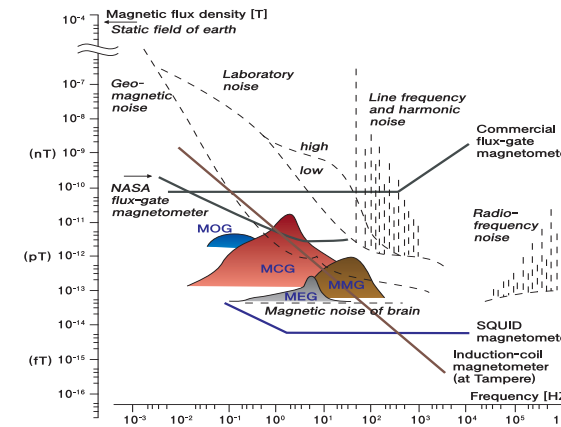


그림 3. 생체 자기 신호의 크기와 주위잡음

그림 3은 인체의 여러 부위에서 발생하는 생체 자기 신호의 크기와 주위 잡음 및 측정센서의 감도를 나타내고 있다. 생체자기는 인체의 여러 부위에서 발생한다. 심장 외에도 뇌(Magnetoencephalogram, MEG), 눈(Magneto oculogram, MOG), 근육(Magnetomyogram, MMG) 등에서 생체자기 신호가 발생한다. MCG와 MEG 등 중요한 생체자기신호의 주파수 대역에서는 SQUID가 가장 민감한 센서이기 때문에 현재의 생체자기측정에는 SQUID가 대부분 쓰이고 있으며 전 세계적으로 작동되는 SQUID의 90% 이상이 생체자기 측정을 위한 장치에 쓰이고 있다.

그러나 SQUID 센서는 부피가 크고 액체질소 온도 부근에서만 측정이 가능하므로 측정 센서를 상온에서 동작시키기 위한 연구와 생체 자기장 신호의 측정을 방해하는 노이즈인 지구자기장 (약 50 μ T)이나 도심지의 인공자기잡음(자동차 이동, 건물의 진동, 엘리베이터, 60Hz 교류전원 등)에 의한 자기잡음의 영향을 줄이기 위한 연구가 활발하게 진행되고 있다.[1]

뇌파 측정 센서 기술

뇌자기파(Magnetoencephalogram, MEG)는 뇌신경세포의 전기적 활동에서 발생하는 미세한 생체자기를 초전도 코일을 이용하여 측정하고 영상화하는 최신 뇌기능 검사이다. 자기장은 전도체에서 전류의 방향을 오른손 엄지손가락으로 가리켰을 때 나머지 손가락이 향하는 방향으로 형성되며 자기장의 강도는 근원에서부터 거리가 멀어짐에 따라 감소한다. 그림4는 뇌자기파 측정하는 개요도를 나타내고 있다.

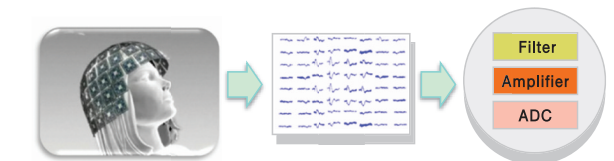


그림 4. 뇌자기파 측정 센서 및 신호처리

단일 신경세포의 세포 내 전류는 미약하므로 더불어 형성되는 자기장도 아주 작아 두 개 외에서 거의 측정되지 않는다. 일렬로 정렬된 약 백만 개 이상의 인접신경세포가 동시에 흥분되어야 두 개 외에서 충분히 측정 가능한 자기신호가 만들어진다. 이렇듯 뇌신경세포의 활동은 매우 미세하여 10~1000fT (Femto Tesla) 정도로 측정되고 있다. 이렇게 미세한 뇌자기 신호를 검출하기 위해서는 고감도의 자기 센서가 필요하다. 하지만, 현재 뇌자기 신호를 검출하는 SQUID 센서(초전도체 센서)는 휴대용기에 적용하기에는 부피가 크며 상온 측정이 불가능하여 측정비용이 많이 드는 문제점이 있기 때문에 현재는 주로 뇌전기신호를 통해서 뇌신호를 수집하지만, 뇌전기신호 역시 왜곡된 전위차가 발생하고 정확성이 좋지 않다는 문제를 갖고 있다.

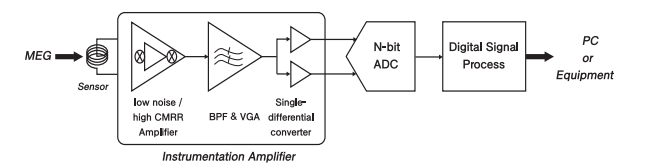


그림 5. 뇌자기파 측정을 위한 SoC 블록도

뇌신호 수집의 문제점과 SQUID 센서의 단점을 보완하고 휴대성을 높이기 위하여 온칩한 고감도 반도체형 뇌자기파 센서의 연구가 시급하다. 그림5는 MEG 센서 및 증폭 회로의 간략한 구조이다. 센서에서 감지한 신호를 낮은 노이즈와 높은 CMRR을 갖는 신호처리부를 거쳐 센싱된 뇌자기신호를 증폭하는 구조로 구성된다.

기술동향컬럼



뇌자기파 신호는 10 ~ 100 fTesla의 자기신호로 온칩화된 고인덕터 자기 센서를 이용하여 전기적 신호로 변환한다. SoC 공정 기술의 발달로 말미암아 기존의 기술로는 불가능했던 고인덕터 코일을 집적화할 수 있게 되었고, 센서와 신호 처리부를 융합함으로써 접음에 강한 집적화 센서의 제작이 가능하게 되었다. 센서를 통하여 검출된 뇌자기파 신호는 신호 처리단에서 증폭되고 필터링 되어 출력된다. 이렇게 출력된 신호를 디지털 신호처리와 영상 신호처리를 함으로써 시각적으로 관찰하기 용이하게 할 수 있다.

센서에서 순수한 뇌자기 신호를 검출하기 위하여 전자기기 및 지구 자기장을 차폐하는 것은 테스트 환경의 중요한 요인이다. 일반적으로 차폐실에서 측정해야 하지만 휴대용으로 실시간 측정을 하기 위해서는 장소의 제약이 없어야 한다. 차폐금속을 이용하여 뇌자기파 측정 모듈을 제작하는 것으로 어느 정도 해결할 수 있지만 순수한 뇌자기파 추출은 사실상 불가능하다. 따라서 뇌자기파 센서와 더불어 휴대용 차폐 장치의 연구가 필요하다.

뇌파 신호 처리 기술

수십 μ V의 뇌파를 증폭하기 위한 신호 처리부는 노이즈가 적어지고 높은 CMRR (Common Mode Rejection Ratio)이 필요하다. 또한, 0.1Hz~1kHz 미만의 뇌파를 정확히 검출하기 위하여 필터 역시 중요한 역할을 한다. 이에 적합한 증폭기로 Instrumentation Amplifier가 있지만, 이것은 면적이 크고 전력소모가 많다는 여러 가지 문제가 있기 때문에 수 μ V신호를 처리해야 하는 뇌파에 적용하기에는 부적합하다.

전력소모를 줄이고 높은 CMRR을 구현하기 위하여 Current Feedback Instrumentation Amplifier를 사용함으로써 문제를 해결할 수 있다.

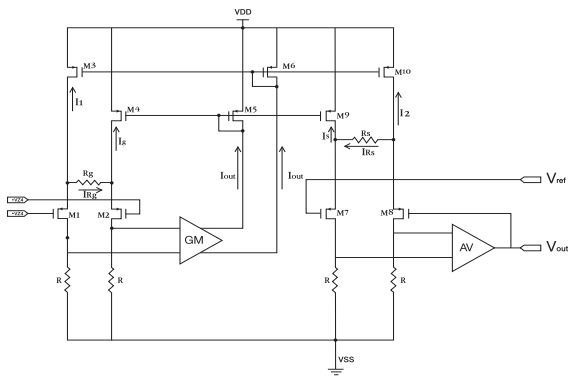


그림 6. Instrumentation Amplifier의 블록도

GM 블록에 높은 임피던스를 갖도록 GM 블록 내부 FET 사이즈를 충분히 크게 하면 입력단의 드레인 전류가 같아져서 입력단 저항에 입력신호 차가 인가된다. 이렇게 입력된 입력신호는 전류미러 (Current Mirror)로 출력단에 복사되고, 출력단에 복사된 전류는 출력단 저항을 통과한다. 전류미러(Current Mirror)효과로 입력단과 출력단의 저항비율을 조절하여 증폭률을 조절할 수 있다.

MOSFET와 저항을 이용하여 Instrumentation Amplifier를 제작하면 부피가 작아지고 전력소모를 줄일 수 있어서 온칩하는데 유리하다. 하지만, 정확한 뇌파 검출을 위하여 HPP(High Pass Filter)의 Cutoff 주파수가 0.1Hz 정도로 작아야 하므로 필터 내부 콘덴서의 크기가 커진다. 콘덴서의 크기는 전체 칩 크기에 영향을 미치기 때문에 더 나은 성능을 갖는 필터 연구가 필요하다.

결론

산업화 시대를 거치면서 삶의 질은 몰라보게 성장하게 되었으며 일상생활에서 사용하는 휴대용기기는 시대를 거처가면서 현재의 정보산업의 핵심 사업으로 발전했다. 그 중에서 의료 서비스는 담당 의사가 의료 콘텐츠를 사용하는 사용자를 실시간으로 감진하는 것을 요구하고 있다. 현재 뇌파 분석을 통해 질병을 구별하는 방법이 연구되고 있을 뿐만 아니라 뇌신호를 활용한 BCI(Brain Computer Interface)가 개발되고 있다. 현재 휴대용 뇌자기를 검출할 수 있는 기기는 아직 개발되지 않았으며, 이를 의료 콘텐츠 및 휴대기기 콘텐츠에 접목한다면, 현재 초기시장에 가까운 휴대용 BCI(Brain Computer Interface) 산업에 변화를 가져올 수 있다. 이로 말미암은 국가적 의료기기의 기술격차를 줄이는 수준뿐만 아니라 뇌자기파를 활용하는 의료 및 휴대기기 콘텐츠 시장을 선점 혹은 주도 할 수 있다.

Reference

- [1] 박용기, 이용호, 권혁찬, 김민선, 임현균, 김기웅 “생체자기 (Biomagnetism)의 측정 및 응용기술” 물리학과 첨단기술, 2007
- [2] R. Martins, S. Selberherr, and F. A. Vaz, “A CMOS IC for portable EEG acquisition systems,” IEEE Tran. on Instrumentation and Measurement, vol. 47, no. 5, pp. 1191-1196, Oct. 1998.
- [3] Chia-Hau, Chi-Chun Huang, Kian Siong Lim, Wei-Chin Hsiao and Chua-Chin Wang “A high performance current-balancing instrumentation Amplifier for ECG Monitoring System” IEEE Instrumentation and Measurement Technology Conference, p83-86, Nov. 2009
- [4] Phillip E.Allen, Douglas R.Holberg “CMOS Analog Circuit Design(second edition), 2006

2011년 3월 교육 프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

본 센터 강좌 일정 |

강의 일자	강의 제목	분류
3월 8-9일	Laker를 이용한 layout design	Tool
3월 10-11일	Novas Tools Training	Tool
3월 30일	High speed broadband transceiver IC design technique	설계

- 강좌일 : 3월 8-9일
- 강좌 제목 : Laker를 이용한 layout design
- 강사 : 김민수 사원 (Kitec Design)

[강좌개요]

자동화된 기술력을 바탕으로 하는 Laker의 Schematic Generator, Transistor Placer 그리고 Stick Diagram의 기능을 살펴보고, Connectivity Driven Layout Tool로써의 Automated Custom Layout Solution을 확인한다.

[수강대상]

· Laker Tool 사용자

[강의수준]

· 중급(layout tool중 하나인 laker를 이용하여 설계 진행)

[강의형태]

· 이론 + 실습

[사전지식, 선수과목]

· 반도체 공학, 전자회로, 회로이론

* 문의 : 이승자 (042-350-8536, sjlee@idec.kaist.ac.kr)

- 강좌일 : 3월 10-11일
- 강좌 제목 : Novas Tools Training
- 강사 : 이윤식 차장 (Kitec Design)

[강좌개요]

Novas Debugging System은 Design Knowledge Architecture로 이루어져 있다. 즉, debugging할 Design으로부터 Design Knowledge를 추출하고, Open API를 통해 세계 유수의 verification tool들과 연계해 verification knowledge를 Novas 자체의 특성화된 기술로 database화하여 design engineer 또는 verification engineer들에게 knowledge-based debugging solution을 제공해 주고 있다.

[수강대상]

· Novas Tool 사용자

[강의수준]

· 중급

[강의형태]

· 이론 + 실습

[사전지식, 선수과목]

· 전자공학부 이수자

- 강좌일 : 3월 30일
- 강좌 제목 : High speed broadband transceiver IC design technique
- 강사 : 배현민 교수 (KAIST)

[강좌개요]

광대역 송수신기와 관련된 통신이론과 구현방법 그리고 각 구성요소들(PLL, equalizer, MUX/DeMUX, VGA)에 관한 설계 기법을 배운다.

[수강대상]

· 전자회로 디지털 통신

[강의형태]

· 이론

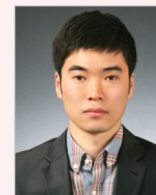
[사전지식, 선수과목]

· 석박사 이상 대학원생 및 회사원

반도체설계교육센터 장학생 2명 선발

반도체설계교육센터(IDEC, 소장 경중민)는 전자 및 반도체 전공자 중 우수학생을 선발하여 장학금을 지급하는 「반도체설계교육센터 장학생」을 2명 선발했다.

제2기 「반도체설계교육센터 장학생」은 나은수 군(광운대 전자통신공학과 석사과정, 책임교수: 정용진 교수)과 박찬오 군(성균관대 전자전기컴퓨터공학과 석사과정, 책임교수: 조준동 교수)이 선발되어 130만원의 장학금을 각각 받았다.



나은수(광운대)



박찬오(성균관대)

연 2회(학기별) 각 2명을 선발하는 “반도체설계교육센터 장학생”의 선발 기준은 IDEC WG(Working group) 소속 대학교 재학생 또는 입학예정자로서 ▲가정형편이 곤란하여 학비조달이 어려우며, 학업성적 또는 연구실적이 우수한자, 또는 ▲기타 장학금 지급이 필요하다고 인정된 자로서 WG 책임교수의 추천이 필요하다.

* 문의 : 최신희 (042-350-4045, shchoi@idec.kaist.ac.kr)

IDEC Distinguished Lecturer 선정

IDEC은 반도체 분야에서 15년 이상 관련 기업과 기관들과 연계하여 사업을 탄탄히 구축해 온 지적 자산을 보다 효율적이고 효과적으로 확산하고 교류하기 위해 반도체 관련 분야의 Distinguished Lecturer(DL)를 선정하여 전국 대학, 기업체, 연구소 등 다양한 기관에서 초청 강연을 할 수 있도록 후원하게 되었습니다.

● DL 명단

No.	성명	소속
1	김재하	서울대
2	김정호	KAIST
3	박영준	서울대
4	신영수	KAIST
5	홍성철	KAIST

각 분야의 저명한 교수님들께서 신청하셔서 최종 5명이 선정되었으며, 향후 2년(2011.3~2013.2)동안 IDL로써 초청 강연을 하게 됩니다.

3월 중 홈페이지를 구축하여 본격적인 홍보를 통해 강연을 유치하도록 할 예정으로 많은 참여과 관심을 부탁드립니다.

* 문의 : 이승자 (042-350-8536, sjlee@idec.kaist.ac.kr)



아날로그 IP 설계기술 연구센터 (Analog IP Research Center - AIPRC : <http://aiprc.sogang.ac.kr>)는 차세대 융·복합 시스템용 아날로그 IP 핵심 설계기술개발을 목표로 출범한 연구센터로 2010년 6월 지식경제부에서 주관하는 대학 IT 연구센터 사업 (ITRC) 중 하나로 선정되었으며, 2013년까지 4년간 8개 대학 (고려대, 단국대, 동국대, 서강대, 서울시립대, 연세대, 포항공대, 한양대 : 가나다순)의 12명 교수와 연간 실질적인 석 박사과정 참여대학원생 100여 명, 센터 소속의 3명 연구교수, 그리고 15개 국내기업 (4개의 파운드리 기업 및 11개의 팹리스 기업) 등이 참여하여, 세계적인 경쟁력을 가지는 핵심 아날로그 IP 개발 및 확산을 그 목적으로 하고 있다.

SPECIAL Column

아날로그 IP 설계기술 연구센터 (AIPRC)

센터 개요

아날로그 IP 설계기술 연구센터 (Analog IP Research Center - AIPRC : <http://aiprc.sogang.ac.kr>)는 차세대 융·복합 시스템용 아날로그 IP 핵심 설계기술개발을 목표로 출범한 연구센터로 2010년 6월 지식경제부에서 주관하는 대학 IT 연구센터 사업 (ITRC) 중 하나로 선정되었으며, 2013년까지 4년간 8개 대학 (고려대, 단국대, 동국대, 서강대, 서울시립대, 연세대, 포항공대, 한양대 : 가나다순)의 12명 교수와 연간 실질적인 석 박사과정 참여대학원생 100여 명, 센터 소속의 3명 연구교수, 그리고 15개 국내기업 (4개의 파운드리 기업 및 11개의 팹리스 기업) 등이 참여하여, 세계적인 경쟁력을 가지는 핵심 아날로그 IP 개발 및 확산을 그 목적으로 하고 있다.

참여 파운드리 기업으로는 대한민국을 대표하는 동부하이텍, 매그나칩 반도체, 삼성전자, 하이닉스반도체 (가나다순)가 있으며, 참여 팹리스 기업으로는 국내외 최고의 기술경쟁력을 가진 실리콘마이터스, 실리콘웍스, 아날로그칩스, 아이앤씨테크놀로지, 엠텍비전, 이디텍, 파인스, 티엘아이 (이상 1차년도 8개 참여기업 가나다순), 세미솔루션, 네오피델리티, 동운아나텍 (이상 2차년도 3개 참여기업 무순) 등이 있다.

참여기업은 기업이 원할 경우에는 아무 제한 없이 기업에 도움이 되는 모델로 적극 협력하고 있으며, 참여기업의 대응자금이 증가함에 따라 참여대학 숫자도 지속적으로 증가시켜 나가고 있으며, 2차 년도에는 파워 IC 연구 관련하여 이미 2개 대학이 추가로 참여하고 있다.

정부가 본 AIPRC를 통해 차세대 융·복합 시스템반도체에 반드시 필요한 아날로그 IC 설계기술 인력양성을 체계적으로 지원함으로써 그동안 인력난에 시달려온 국내 아날로그 반도체 업계가 중장기적으로 성장할 수 있는 작은 텃밭이 마련되었다. 본 AIPRC는 영상, 음향, 디지털 TV용 멀티미디어 시스템, 유·무선 통신용 핵심 아날로그 IP 개발과 함께 아날로그 IP 개발을 위한 저전력 고주파 소자기술, 그리고 아날로그 분야의 한 축으로 크게 성장 중인 파워 IC 설계 등을 위한 핵심 IP 개발을 통해 2020년까지 아날로그 IP의 전면 국산화 및 이를 통해 4년간 120명 이상의 금메달 급 연구인력을 배출할 예정이다.

연구센터 소개 Analog IP Research Center

- 사업명** 대학 IT연구센터 육성 지원 사업
- 과제명 및 연구내용** 차세대 융·복합 시스템용 아날로그 IP핵심 설계기술 개발
 1. 멀티미디어 시스템 (영상/음향/DTV)용 핵심 아날로그 IP 설계기술 연구
 2. 유·무선 통신 시스템용 핵심 아날로그 IP 설계기술 연구
 3. 핵심 아날로그 IP를 위한 소자 및 모델링기술 연구
 4. 파워 IP용 핵심 아날로그 IP 설계기술 연구
- 주관기관** 서강대학교
- 사업기간** 2010.6.1 ~ 2013.12.31 (3년 7개월)
- 사업비** 총 사업비 현금 44억 원 (대응자금 13.4억원)
- 참여인력** 대학 : 총 102명 (교수 12명, 대학원생 87명, 전임연구원 2명, 기타 1명), - 여성 11명
기업 : 참여기업 연구원

연구 분야

본 AIPRC는 지식경제부, 참여기업, 참여대학의 지원 및 협력으로 (1) 멀티미디어 시스템용 핵심 아날로그 IP 설계 기술, (2) 유·무선 통신시스템용 핵심 아날로그 IP 설계 기술 및 (3) 핵심 아날로그 IP를 위한 소자 및 모델링 기술연구 (4) 파워 IC 설계기술 연구개발을 추진하고 있다. 특히 본 센터는 참여기업과의 실질적인 공동협력을 통한 산학밀착형 연구개발을

추진하여, 주문형 아날로그 IP를 개발하고 또한 개발된 아날로그 IP는 즉각 상용화로 연계 및 확산되도록 추진하여 참여기업의 경쟁력을 높이는 데 이바지 한다.

제1세부과제는 Scaler 칩, CMOS 이미지 센서, DTV 등 다양한 멀티미디어 시스템에 사용되는 비디오 및 오디오 신호처리를 위한 데이터 변환기와 차세대 TV용 다채널 저전력 송수신기 핵심 IP 개발을 목표로 한다. 제2세부과제는 채널선택 가능한 필터, 모바일 기기용 LDO, DC-DC 전력관리 IP, BB-AFE, 직렬 인터페이스 회로, 초고속 데이터 변환기 및 송수신기와 같은 유·무선 통신 시스템용 핵심 아날로그 IP 개발을 목표로 하고 있다.

제3세부과제는 고속 아날로그 IC 설계용 소자의 특성/성능 예측 및 잡음, 전력소모 모델링, 차세대 고속 아날로그 신 소자 개발 등을 통해 핵심 아날로그 IP 개발을 위한 소자 및 모델링 기술개발을 목표로 하고 있다. 마지막으로 제4세부과제에서는 전력관리를 위한 Power Management IC (PMIC) 및 전력 IC 용 보호회로 설계기술을 연구 개발한다.

연구분야 및 분야별 연구목표 Research Areas and Goals

1세부 Group1

멀티미디어 시스템용 핵심 아날로그 IP
Core Analog IPs for Multi-Media Systems
· Scalar/CIS/DTV용 가변사양(전원, 기준전압)기반의 8b~14b 50~250MS/s 45~180nm CMOS calibration-free 저전력 ADC/DAC
· 고감도 오디오/모바일 센서용 70~100dB급 SNR 45~65nm CMOS 저전력 $\Delta\Sigma$ ADC/DAC
· 차세대 TV용 다채널 저전력 4,096x2,160pixel급 30Gbps 송수신기 및 관련 고품질 핵심 IP개발

2세부 Group2

유·무선 통신 시스템용 핵심 아날로그 IP
Core Analog IPs for Wiredand Wireless Communication Systems
· 채널 선택 가능한 필터, 모바일 기기용 LDO, DC-DC 전력관리 IP, 차세대 무선통신시스템용 다중 통신규격의 BB-AFE 시제품
· USB 3.0+2.0 PHY 5Gbps 65~130nm CMOS 송수신기 IP
· 8b 4Gbps ADC/DAC IP, 초고속 병렬 처리 가능한 고성능 다채널 데이터 변환기 및 자체보정회로
· 4/10PAM 10~15Gbps 고속 시스템용chip-to-chip 송수신기 IP

3세부 Group3

핵심 아날로그 IP를 위한 소자 및 모델링 기술 개발
Device and Modeling Technologies for Analog IP Design
· 고속 아날로그 IC 설계용 소자 특성, 성능예측 모델링 및 문제 해결방안 (오차(3%, f)40GHz)
· 소자축소, 공정편차에 따른 잡음 및 전력소모 모델링, 문제 해결 방안 (오차(3%, Lg(45nm))
· 차세대 고속 아날로그 IC용 신소자 개발 및 모델링(Lg(30nm))
· 메모리 특화 아날로그 IP 기술 개발, PD 전하이승, 픽셀회로, 웨이퍼접합인터커넥트 SPICE 모델링 (오차(5%))

4세부 Group4

파워 IC용 핵심 아날로그 IP
Core Analog IPs for Power IC
· 초소형 전력관리회로 기술
· LED 전력관리회로 기술
· 고 신뢰성 파워 IC를 위한 저면적, 고감내 정전기 보호회로개발 및 상용화

· 참여기업의 요청시 연구내용 및 사용 수형, 보안 및 확장 가능


IDEC | 기획칼럼

연구진 소개

본 AIPRC에는 지금까지 4개의 연구 분야에서 8개 대학 (고려대, 단국대, 동국대, 서강대, 서울시립대, 연세대, 포항공대, 한양대)에서 12명의 교수 및 연간 평균 100여 명의 석박사 대학원생이 참여하고 있다. 1차 년도에는 6개 대학 10명의 교수가 참여했으나, 2차 년도에는 파워 IC로 연구 분야의 확장과 함께 7개 대학 11명의 교수가 참여할 예정에 있으며, 아날로그 분야의 특성상 참여대학 숫자와 범위는 고정적이지 않고 기업의 시급한 요구에 따라 매년 융통성 있게 운영할 예정이다.


제1세부과제에 서강대 이승훈 교수, 고려대 김철우 교수, 서강대 안길초 교수가 참여하고 있으며, 제2세부과제에는 서울시립대 최중호 교수, 동국대 송민규 교수, 포항공대 박홍준 교수, 서강대 범진욱 교수가 참여하고 있다. 제3세부과제에는 서강대 최우영 교수, 서강대 김광수 교수, 연세대 한건희 교수가 각각 참여하고 있으며, 제4세부에서는 단국대 구용서 교수, 한양대 노정진 교수가 핵심 연구진으로 참여하고 있으며, 대학과 기업을 연결하는 센터 소속의 3명의 연구교수로 윤규환, 송관배, 임지승 교수가 중요한 역할을 하고 있다. 교수별 전공 및 연구 분야는 다음 그림과 같다.

이승훈 교수 Seung-Hoon Lee
(서강대학교 Sogang Univ.)
연구분야 : 비디오 신호처리용 아날로그 IP
Analog IPs for Video Signal Processir
<http://eeic7.sogang.ac.kr>
hoonlee@sogang.ac.kr




비디오 신호처리용 IP

김철우 교수 Chulwoo Kim
(고려대학교 Korea Univ.)
연구분야 : 고속 인터페이스 / 동기화 IP
High-Speed Interface and Synchronization IPs
<http://Kilbv.korea.ac.kr>
ckim@korea.ac.kr




차세대 TV용 송수신기 IP

안길초 교수 Gil Cho Ahn
(서강대학교 Sogang Univ.)
연구분야 : 오디오 및 센서 인터페이스용 Audio and Sensor Interface IPs
gcahn@sogang.ac.kr




오디오 신호처리용 IP

최중호 교수 Joongho Choi
(서울시립대학교 Univ. of Seoul)
연구분야 : 유무선통신시스템용 BB-AFE
Audio and Sensor Interface IPs
<http://idab01.uos.ac.kr>
ichoi@uos.ac.kr




유무선통신시스템용 BB-AFE

송민규 교수 Min-Kyu Song
(동국대학교 Dongguk Univ.)
연구분야 : 단말기/기지국용 핵심 아날로그 IP
Core Analog IPs for Hand sets and Base Stations
<http://www.sidl.co.kr>
mksong@dongguk.edu




단말기/기지국용 Analog IP

박홍준 교수 Hong June Park
(포항공대 POSTECH)
연구분야 : PC기반 고속직렬통신 아날로그 IP
Analog IPs for PC based High Speed Serial Communications
<http://analog.postech.ac.kr>
hipark@postech.ac.kr



고속 직렬 통신 IP

범진욱 교수 Jinwook Burm
(서강대학교 Sogang Univ.)
연구분야 : Sensor IC, RF/High Speed IC
Analog IPs for Video Signal Processing
<http://melab.sogang.ac.kr>
burm@sogang.ac.kr




고속시스템 응용 IP

구용서 교수 Yongseo Koo
(단국대학교 Dankook Univ.)
연구분야 : 파워 IC 정전기 보호 회로 및 전력제어용 IP
ESD Protection and Power Management IPs
<http://user.dankook.ac.kr/~cnd>
yskoo@dankook.ac.kr



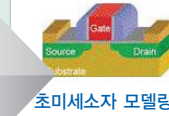
정전기 보호용 IP

노정진 교수 Jeongjin Roh
(한양대학교 Hanyang Univ.)
연구분야 : 전력제어 시스템용 IP
Analog IPs for Power Management Systems
<http://soc.hanyang.ac.kr>
jroh@hanyang.ac.kr




전력제어 시스템용 IP

최우영 교수 Woo-Young Choi
(서강대학교 Sogang Univ.)
연구분야 : 차세대 반도체 소자/공정/회로
Next Generation Semiconductor Devices, Processes and circuits
<http://tidlab.sogang.ac.kr>
wchoi@sogang.ac.kr




초미세소자 모델링

김광수 교수 Kwangsoo Kim
(서강대학교 Sogang Univ.)
연구분야 : 차세대 반도체 소자 및 공정
Next Generation Semiconductor Devices, Processes
<http://siat.sogang.ac.kr>
kimks@sogang.ac.kr



집적회로/전력소자 모델링

한건희 교수 Gunhee Han
(연세대학교 Yonsei Univ.)
연구분야 : 이미지 센서 소자 및 회로
Image Sensor Devices and Circuits
<http://cad.yonsei.ac.kr>
gunhee@yonsei.ac.kr



메모리 특화 아날로그 기술

추진 성과

본 AIPRC는 ITRC의 사업추진 목적에 부합하기 위해 크게 연구개발, 인력양성 및 상용화로 3개의 영역으로 구분하여 사업을 추진하고 있으며, 특히 사업주체가 지식경제부이므로 대학의 연구임에도 연구결과물이 즉각 상용화로 연계되는 방향으로 연구개발 및 교육을 추진하고 있으며, 동시에 각종 아날로그 분야 관련 문제 해결 능력이 탁월한 최고의 팀장급 설계인력을 양성하고자 노력하고 있다.

그 결과 1차년도인 2010년은 사업기간이 6월부터 12월까지 7개월 정도의 짧은 기간이지만, SCI 논문 8편을 포함하여 총 38편 논문을 발표하였으며, 특히 국내 4개 참여 파운드리 공정별로 특화된 아날로그 IP 개발을 통하여 34건의 기술이전 및 14건의 특허 출원/등록, 29건의 시제품 개발, 18건의 배치설계 등록, 20여 건의 참여기업의 기술지도 및 협력, 10여 건의 각종 설계대회 및 학회 수상과 같은 실질적인 성과를 거두었다. 특히 참여기업 친화적인 워크숍 및 연구협력을 통한 수요자 중심의

시제품 개발을 통해 개발 IP의 상용화 효과를 극대화하려고 노력하고 있으며, 또한 이러한 연구개발 과정을 통해 실무역량을 갖춘 고급 회로설계 인력을 체계적으로 배출하여 IT 분야의 핵심기술 문제해결 능력과 프로젝트 수행 능력이 우수한 고급 연구인력 양성이라는 ITRC의 사업목적에 부합하도록 센터를 운영하고 있다.



향후 계획

본 AIPRC는 지속적으로 참여기업과의 산학밀착형 연구개발을 통해 독창적이고 차별화가 가능한 이론을 겸비한 현장실무형 인재양성이 가능하도록 할 뿐만 아니라, 국제화된 전문 연구인력 양성을 위해 해외기업으로의 인턴십 및 국제 공동연구 등을 추진할 계획이다. 이를 통해 실무와 함께 국제화된 고급 설계인력을 배출하여 21세기 아날로그분야 국가 기술 경쟁력 강화의 초석이 될 수 있도록 센터를 운영할 계획이다.

아울러, 본 센터는 현재의 연구 범위 및 내용에 만족하지 않고 1차년도 사업 협력기관인 ETRI, KETI, TowerJazz (지사장 송영진), 반도체설계 재산신통센터 (KIPEX, 센터장 김휘원) 외에도, 서강대와 15년간 같이 협력해 온 대한민국 반도체 인력양성의 본산인 KAIST의 IDEC (센터장 경종민) 등 국내 최고의 반도체 설계관련 교육기관과 협력을 확대하여 아날로그 관련 연구에 관심을 갖고 있는 모든 산·학·연 기관과 연구개발 및 교육 관련 협력을 하는 동시에, 아날로그 분야에 관심이 있는 우수연구원, 석박사과정 대학원생은 AIPRC 센터 및 참여대학에서 상시 채용하여 국내 최고 대우와 함께 협력연구와 교육을 할 예정이다.

이 자리를 빌어서 반도체 설계인력양성에 끊임없는 노력과 성원을 아끼지 않는 지식경제부 등 정부와 각종 참여기업, ITRC 사업 관리기관인 정보통신산업진흥원 (NIPA), 대학 및 연구소 등 학계, 그리고 IDEC 등 각급 유관기관의 책임자, 동료 및 관계자님께 깊은 감사의 말씀을 올리며, 모든 AIPRC 참여구성원들은 본 센터가 국내 아날로그 연구 분야 및 제반 관련 산업이 활성화될 수 있는 작은 시작점이 되고자 헌연일체가 되어 최선의 노력을 기울여 나갈 것을 약속드립니다.

아날로그 IP 설계기술 연구센터 (AIPRC : <http://aiprc.sogang.ac.kr>)

주 소 : 서울시 마포구 신수동 1번지 서강대학교 서강비즈니스센터 303호
센터장 : 이승훈 교수, 02-705-8471, hoonlee@sogang.ac.kr
행정팀 : 02-3274-4842 (오현주, 김화영), aiprc@sogang.ac.kr(센터), sabrina@sogang.ac.kr



집적 특기 기사

3-D NAND Flash Memory 개발 동향 (1)

VLSI Technology paper 중심으로

최근 아이폰, 아이패드 열풍에 힘입어 모바일 기기의 시장은 눈부신 성장세를 이어가고 있으며 이에 맞추어 관련 부품 시장의 성장세 또한 폭발적으로 증가하고 있다. 특히 우리나라 반도체 산업의 주력 상품 중 하나인 Flash memory, 특히 NAND type flash memory 또한 이 모바일 기기의 대표적 저장장치로 사용되면서 시장 규모에서 현재 1위인 DRAM을 빠르게 추격하고 있다.

하지만, 모바일 기기의 다른 부품들이 빠르게 고성능화되면서 Flash memory 또한 성능 향상을 요구받고 있으며 특히 모바일 기기의 프로그램이 빠르게 대용량화되면서 요구되는 저장 용량의 향상 또한 빠르게 증가하고 있다.

서론

최근 아이폰, 아이패드 열풍에 힘입어 모바일 기기의 시장은 눈부신 성장세를 이어가고 있으며 이에 맞추어 관련 부품 시장의 성장세 또한 폭발적으로 증가하고 있다. 특히 우리나라 반도체 산업의 주력 상품 중 하나인 Flash memory, 특히 NAND type flash memory 또한 이 모바일 기기의 대표적 저장장치로 사용되면서 시장 규모에서 현재 1위인 DRAM을 빠르게 추격하고 있다.

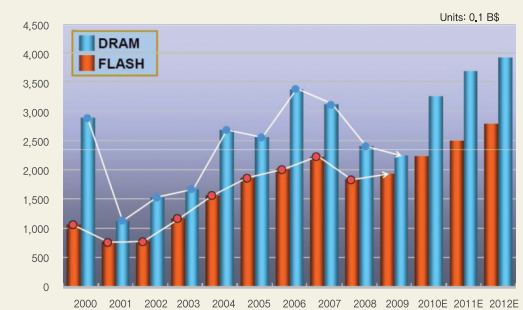


그림 1. DRAM 과 Flash memory 의 시장 전망 (출처 : 2010 WSTS)

하지만, 모바일 기기의 다른 부품들이 빠르게 고성능화되면서 Flash memory 또한 성능 향상을 요구받고 있으며 특히 모바일 기기의 프로그램이 빠르게 대용량화되면서 요구되는 저장 용량의 향상 또한 빠르게 증가하고 있다.

기본적으로 메모리의 저장 용량은 집적도라고 불리는 1개의 chip 안에 들어가는 메모리 소자의 수로 결정된다. Flash memory는 그 구조상 1개의 트랜지스터만으로도 정보 저장이 가능해서 매우 높은 집적도를 가지고 있지만, 최근의 저장 용량의 요구에 맞추기 위해서는 역시 빠르게 집적도를 높이는 것이 요구되었다. 따라서 현재 세계 1위인 삼성을 선두로 Flash memory의 최초 개발사이면서도 왕관을 빼앗긴 도시바가 서로 경쟁하면서 집적도를 높이고 있다.

집적도를 높이기 위해서는 메모리 제조 공정에서 소자의 선폭을 가능한 한 작게 해서 제조하는 기술이 요구된다. 우리나라의 반도체 시장 1위 독점은 바로 이 기술의 선두에 있기 때문이며 2010년에는 삼성에서 20nm 기술을 적용한 NAND Flash memory 개발에 성공했다. (관련 기사 : www.kbench.com 2010년 4월 20일 자) 그러나 이와 같은 집적도 향상 경쟁은 얼마 안가서 한계에 도달할 것이 일반적인 견해이다.

앞서 말했듯이 집적도의 향상은 필연적으로 물리적, 전기적, 신뢰성 측면에서 문제를 일으키게 된다. 물리적으로는 제조 공정 중 하나인 리소그래피 공정상에서 너무 작아진 선폭에 의해서 굴절, 산란으로 말미암은 리소그래피 패턴의 열화로 소자의 형상이 잘못 형성되고 이는 급격한 수율 저하로 이어지게 된다. 또한, 전기적으로는 너무 작은 크기의 소자 때문에 기본 Flash memory 소자가 가지고 있던 전기적 문제(Shoot channel effect, GIDL등)가 더욱 심화할 것이며 소자 사이의 간격 감소에

따른 소자끼리의 간섭도 더욱 심해질 것이다. 신뢰성 측면에서도 Flash memory의 정보 저장매체인 전자의 개수가 상대적으로 심하게 줄어들어서 이전 크기의 소자에서는 무시할 정도의 전자 유실도 저장 정보의 손실로 이어지게 된다.

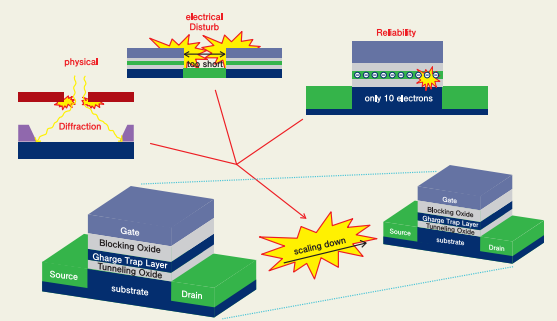


그림 2. 집적도 향상에 따른 메모리 소자의 특성 저하

따라서 ITRS(International Technology Roadmap for Semiconductors)에서는 작년 기준으로 전반적인 Flash memory 제조 기술의 한계를 다음 표와 같이 전망하고 있다.

Year of production	2010	2011	2012	2013
Flash 1/2 Pitch(nm)	36	32	28	25

표 1. ITRS에서 전망한 Flash memory 제조 기술 한계 (출처 : ITRS Road map 2009)

재미있는 사실은 삼성이 이미 2010년 전망을 깨버렸다는 점이다. 따라서 아직 2010년 road map은 나오지 않았지만 대폭 수정이 될 전망이다. 하지만, 단순히 집적도만 높이는 방법으로는 머지않아서 제조 기술의 한계에 도달할 것이 분명하다. 따라서 기존의 집적도 향상 기술과는 다른 접근 방법이 요구되게 되었다.

소자의 크기를 줄이지 않으면서 집적도를 향상시키기 위한 방법으로 최근 각광받는 방법은 3-D method이다. 이는 기존의 단순한 2차원의 1층 제조 방법에서 벗어나 수직방향으로 동일한 소자를 다수 적층함으로써 소자 크기를 유지하면서 집적도를 크게 향상시킬 수 있다. 이것은 마치 1층 주택을 아파트로 대체 하면서 용지 면적은 그대로 유지하면서 가구 수를 크게 늘리는 방법과 동일하다고 할 수 있다. 따라서 현재 세계 유수의 반도체 제조 회사들은 이 3-D memory 개발에 중점을 두고 있으며 그중에서도 1개의 트랜지스터로 구성할 수 있는 Flash memory 개발에 주력하고 있다.

최초로 3-D Flash memory를 제안한 것은 삼성으로서 기존 제조 공정을 반복적으로 적용해서 적층하는 Three Dimensionally Stacked Flash 구조를 Flash memory에 적용한 결과를 2006 International Electron Devices Meeting 에서 제안하였으나[1] 제조공정에서의 비효율성 때문에 그다지 주목받지 못하였다. 대신 일본의 도시바가 2007 Symposium on VLSI Technology에서 발표한 BiCS(Bit Cost Scalable Technology)[2] 구조가 삼성이 제안한 구조의 문제점을 획기적으로 개선함으로써 크게 주목받기 시작하였다.



이에 대항하기 위해서 삼성 또한 2년 뒤인 2009 Symposium on VLSI Technology에 BiCS의 단점을 개량한 TCAT(Terabit Cell Array Transistor)[3] 구조와 BiCS와는 다른 개념의 3-D memory 구조인 VG-NAND(Vertical Gate NAND)[4]를 발표하였다. 물론 도시바도 동년에 자체적으로 BiCS를 개량한 P-BiCS(Pipe-shaped BiCS)[5]구조를 제안하였다.

각 구조의 가장 최근의 연구결과는 2010 Symposium on VLSI Technology에서 발표되었다. 도시바는 전년도에서 발표한 BiCS의 문제점을 소수 개선한 구조[6]를 발표하였고 삼성 또한 TCAT의 성능 향상을 위한 구조 개선[7]을 주제로 발표하였다. VG-NAND의 경우에는 삼성에서는 발표하지 않았지만, 대만의 Macronix 사에서 소자의 채널 구조를 개선한 VG-NAND 구조[8]를 발표하였다. 따라서 본 칼럼에서는 2부에 걸쳐서 이들 구조를 중심으로 현재까지의 3-D Flash memory 개발 동향에 대해서 살펴보도록 하겠다.

■ Three Dimensionally Stacked NAND Flash Memory Technology[1]

이 기술의 원리 자체는 매우 간단한데 이는 앞서 말한 아파트의 장점과 건축 과정을 그대로 반도체제조 공정에 적용한 것으로 그림으로 설명하면 다음과 같이 된다.

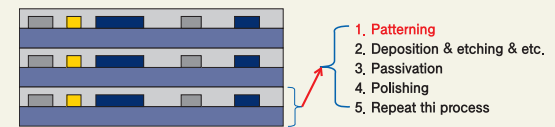


그림 3. Stacking Flash memory 제조 방법

그림에서 알 수 있듯이 1층의 제조 공정이 완료되면 그 위에 절연체로 덮은 다음 트랜지스터의 well이 되는 실리콘층을 증착하고 그 위에 다시 앞서 공정을 반복함으로써 마치 아파트 공사를 하듯 다층을 형성하는 방법이다. 이는 현재 일반적으로 사용되고 있는 SIP(System In Package)구조와 유사한 것으로서 이 구조는 SIP를 반도체 소자 단계에서 바로 적용하는 것과 동일하다고 할 수 있다.[1]

따라서 2006 IEDM에서 삼성이 상기 제목의 논문으로 연구 결과를 발표하였고[1] 그 이전부터 3-D 반도체 연구를 진행했던 미국의 'BeSANG'은 2007년에 역시 본 기술을 Flash memory에 적용한 연구 결과를 발표하였다. (관련 기사 : 뉴스 와이어 2007년 1월 26일자 기사) 하지만, 반대로 생각할 경우 단일 층을 제조하는 과정에서 기존 공정이 전부 적용되어야 하기 때문에 적층 수에 따른 제조비용 감소 효과가 적층 수가 증가함에 따라서 줄어들지 않고 오히려 늘어나게 된다는 단점을 가지고 있다.

물론 CPU와 같은 복잡한 로직 회로에서는 이러한 방법을 사용해야겠지만 단순한 소자 구조의 집합인 메모리 회로 제조에서는 오히려 적층 단수 증가에 따라서 제조비용이 늘어나 버리기 때문에 제조비용 매우 중요한 고려대상인 메모리 제조 공정에서는 적합하지 않은 구조이며 실제로 Flash memory 연구

에서는 삼성에서도 이 논문 이후에는 이 구조를 적용한 연구 결과를 발표하지 않고 있으며 다른 연구 결과 또한 나오지 않고 있는 실정이다.

■ BiCS[2], P-BiCS[5]

2007 Symposium on VLSI Technology에서 도시바가 최초로 발표한 이 구조는 NAND flash memory의 string 구조를 이용해서 삼성과 BeSANG에서 제안한 구조의 문제점을 획기적으로 개선한 구조이다. 일반적인 NAND flash memory 구조는 NOR 구조와는 달리 각각의 소자에 따로 source line과 bit line을 형성하지 않고 일정 단위의 string을 구성한 다음 string line의 처음과 끝단에만 bit line과 source line을 구성하는 구조로 되어있다.[1]

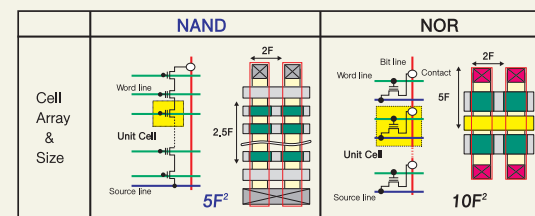


그림 4. 일반적인 NAND 구조와 NOR 구조

도시바는 이 구조에 착안해서 string 구조의 channel을 수직으로 세우면 각 소자의 gate가 되는 층과 gate 사이를 절연해 주는 절연체 층을 먼저 적층 하는 것이 가능함으로써 적층 과정에서는 일체의 리소그래피 공정이 요구되지 않고 단지 마지막 string line select 트랜지스터 공정에서만 리소그래피 공정이 사용되게 함으로써 제조비용을 획기적으로 줄일 수 있다고 발표하였다.

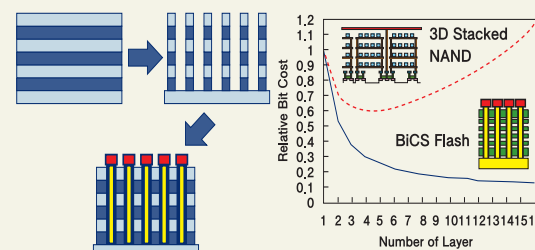


그림 5. BiCS 구조의 제조 공정과 적층 수에 따른 제조비용 절감 효과

그림 5에서 볼 수 있듯이 먼저 메모리 소자의 gate가 되는 층과 절연체 층을 연속적으로 증착한 다음 1번의 식각공정으로 소자의 channel이 들어갈 자리를 형성하고 여기에 Charge trap layer와 channel line을 형성해서 string line을 형성하고 최상단에 BL line select 구조를 형성함으로써 3-D stacking 구조에 비해서 훨씬 간단하게 제조할 수 있다. 이 때문에 그림 5의 우측 그래프에서 볼 수 있듯이 앞서 제안된 구조에 비해서 적층 수의 증가에 따른 Bit cost, 즉 1bit당 생산 단가가 많이 줄어드는 것을 알 수 있다.[2]

전술한 대로 BiCS 구조는 제조비용 측면에서 매우 많은 장점을 가지고 있다. 하지만, 기존메모리 구조가 아닌 새로운 구조를 사용하는 관계로 기존 메모리 구조에서는 나오지 않던 문제점도

다수 발견되고 있다. 먼저 발견된 것은 메모리 동작에서 지우기, 즉 erase 과정에서 기존 2D 구조상의 속도를 가지지 못한다는 점이다.

이는 BiCS의 구성상 일반적인 Flash memory 소자의 p-type well이 존재하지 않고 channel이 floating 상태이므로 지우기 동작에서 필요한 역 바이어스 전압을 인가하기 어렵다. 그렇기 때문에 BiCS의 erase 방법은 GIDL(gate Induced Drain Leakage)현상을 이용해서 강제로 erase 동작을 수행하게 된다.[2]

BiCS의 Erase 동작에서 사용되는 GIDL(gate Induced Drain Leakage) 현상은 원래 일반 트랜지스터에서 문제점으로 지적되는 것으로서 소자의 drain 도핑 영역이 gate와 overlap 된 상황에서 전계가 drain에서 gate 방향으로 인가되었을 때 drain 영역에서 band 간 tunneling 현상에 의해서 발생한 전자 및 정공에 의해서 leakage current가 발생하는 현상을 말한다.

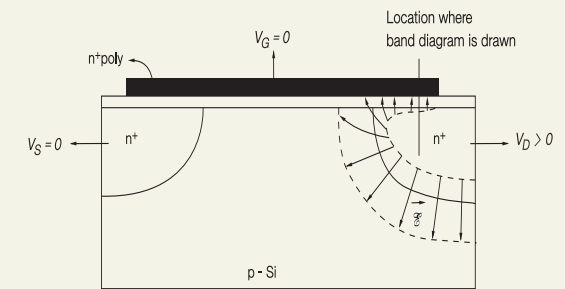


그림 6. GIDL 현상

일반적인 트랜지스터에서는 이 현상이 소자의 특성을 저하하는 원인이나 BiCS에서는 제일 하단부의 SG 트랜지스터에서 강제로 이 현상을 발생시키고 이때 gate 쪽으로 전자와 정공이 형성된 정공을 생성하고 이 정공을 채널에 주입해서 형성된 역 바이어스에 의해서 각각의 메모리 소자에 저장된 전자를 빼냄으로써 지우기 동작을 수행하는 것으로 알려져 있다.

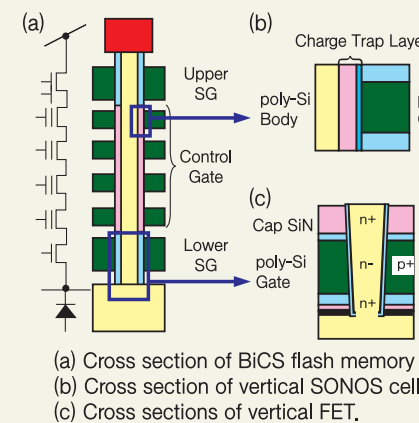


그림 7. GIDL 현상을 위한 BiCS의 구조

그림 7은 도시바에서 발표한 논문상의 BiCS 구조 단면도로서 c번 그림에서 볼 수 있듯이 구조 최하단의 Body 영역과 접합된 부분이 고농도의 n-type으로 도핑이 되어 있어서 쉽게 GIDL이 발생하고 이것을 이용해서 지우기 동작을 수행할 수 있다고 한다. 하지만, 이 영역이 이후 진행되는 열 공정에 의해서 접합된 body 영역으로 doping 물질이 확산해 버리기 때문에 GIDL 발생에 유리한 doping 형태가 소실되어버리는 문제점이 발견되었다. 따라서 도시바는 이 문제를 개선한 P-BiCS를 2009 Symposium on VLSI Technology에서 발표하였다.[5]

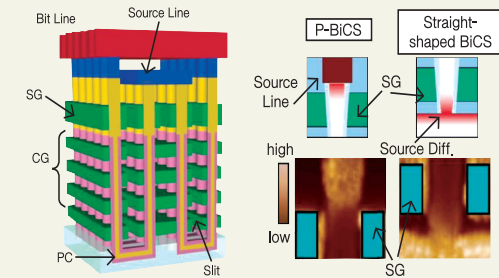


그림 8. P-BiCS 단면도와 개선점 설명

그림 8에서 설명된 것처럼 P-BiCS는 기존 BiCS에서 문제가 되던 Source line을 Body가 아닌 string line 상단에 위치 시킴으로써 Source 영역의 도핑 물질의 확산을 원천적으로 방지할 수 있다고 발표하였다.[5]

이러한 개선 노력에도 BiCS 구조에는 근본적인 문제점이 존재한다. 그 이유는 BiCS의 구조상 다결정 실리콘을 사용할 수 없으며 증착 공정을 통한 다결정 실리콘만을 이용할 수 있기 때문이다. 다결정 실리콘은 단결정 실리콘과 달리 결정방향이 일정하지 않은 수많은 grain으로 이루어진 실리콘을 말한다. 따라서 단결정 실리콘보다는 전기적 성질에 있어서 매우 열악하며 특히 메모리 소자의 동작 속도에 중요한 channel 저항이 증가하게 되는 요인이 된다. 물론 이 문제는 앞으로 설명할 모든 3-D Flash memory 소자에 적용되는 문제지만 특히 BiCS의 경우에는 channel 영역은 물론 일반 Flash memory가 금속 배선과 전하 저장층 사이의 작은 영역만 다결정 실리콘을 사용하는 것에 반해서 gate 전체 영역의 형성에도 다결정 실리콘이 사용되며 이 때문에 gate의 동작속도 또한 저하되는 단점이 있다.

이 문제를 해결하기 위해서 2010 Symposium on VLSI Technology에서는 일반적인 반도체 제조 공정에서 사용되는 Metal silicide 공정을 P-BiCS에 적용해서 gate 저항을 줄이는 구조와 이에 따른 gate 동작 속도 효과를 발표하였다.[6] 이것으로 볼 때 이제 BiCS 공정 기술은 기본적인 소자 특성 파악을 넘어서 상용화 가능한 수준의 성능 향상 단계로 진행되었다고 생각된다.

channel 저항 문제는 현 시점에서 channel 물질이 다결정 실리콘 이외에는 대안이 없기 때문에 채널 저항은 계속 문제가 될 것이며 특히 수직 방향의 채널을 사용하는 BiCS의 경우에는 적층 수가 증가함에 따라서 channel 저항 또한 증가하기

IDEC | 특집기사

때문에 이론적인 제조비용의 저하와는 달리 적층수가 증가함에 따라서 채널 저항의 증가에 따른 감가상각비용을 고려하면 제조비용 또한 의도한 만큼 줄어들지 않을 것이라고 생각한다. BiCS 관련 특허는 역시 도시바에서 이미 거의 모든 구조와 공정에 대해서 등록이 완료된 상황이다. P-BiCS에 관한 특허는 아직 발견되지 않고 있지만, 그 중요성으로 볼 때 이미 출원은 완료된 것으로 생각한다.

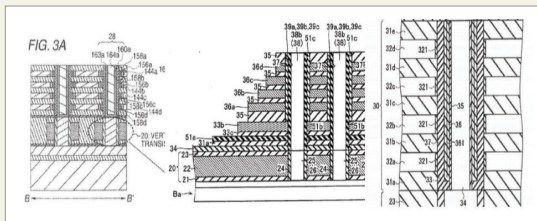


그림 9. BiCS 관련 특허 도면들

위 그림의 3개 도면은 각각 2008년 1월 23일,[9] 동년 11월 1일, [10] 동년 10월 3일[11]에 출원된 특허의 도면으로서 전부 BiCS의 구조 구성, 제조 공정에 대한 내용이다. 흥미로운 점은 BiCS 구조를 Flash memory에 적용하는 것으로 그치지 않고 현재 단일 소자에 대한 연구가 진행되고 있는 ReRAM(Resistor Random Access Memory), PCRAM(Phase-Change Random Access Memory)와 같은 저항변화 비휘발성 메모리 소자의 적용도 명시하고 있는 점이다.

ReRAM, PCRAM은 높은 전압이나 전류에 의해서 물질의 저항을 변화시키고 이 변화를 저장 정보로 사용하는 신개념의 메모리 소자이다. 현재까지는 동작 원리에 대해서도 규명이 되어 있지 않은 부분이 많아서 단일 소자에 대한 연구가 주를 이루고 있지만, 도시바에서는 그 구조가 BiCS에 적용하기 매우 용이한 구조인 것을 파악하고 미리 특허로서 청구한 것으로 생각한다.

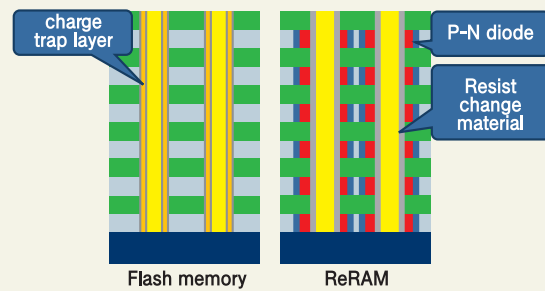


그림 10. BiCS에서의 저항 변화 메모리 적용 예시

현재까지 개발된 저항 변화 메모리들은 기본적으로 저항 변화 소자와 다이오드만으로 구성할 수 있으며 이것에 착안한 도시바는 위 그림에서 보여주듯이 BiCS 구조에서 게이트 층 쪽에 다이오드를 형성하고 Flash memory 구조에서 전하 저장 공간이 위치한 영역을 저항변화물질로 대체해서 간단히 저항 변화 메모리의 3-D 구조체를 제조할 수 있다고 명시하였다.[9] 물론 현재 단일 소자에 대한 완전한 구현도 잘되지 않은 차세대

메모리의 적용은 아직 시기상조일 수도 있지만, Flash memory급의 집적도를 가지면서도 그 성능이 매우 우수할 것으로 예상하는 저항 변화 메모리 소자를 대규모로 집적할 수 있는 구조를 손쉽게 구현할 수 있다는 점에서 이러한 도시바의 특허는 매우 유용할 것으로 예상된다.

Reference

- [1] Soon-Moon Jung et al, International Electron Devices Meeting 2006, PP 1-4
- [2] H.Tanaka et al, 2007 Symposium on VLSI Technology Digest of Technical Papers, PP 14-15
- [3] Jaehoon Jang et al, 2009 Symposium on VLSI Technology Digest of Technical Papers, PP 192-193
- [4] Wonjoo Kim et al, 2009 Symposium on VLSI Technology Digest of Technical Papers, PP 188-189
- [5] Ryota Katsumata et al, 2009 Symposium on VLSI Technology Digest of Technical Papers, PP 136-134
- [6] Akihiro Nitayama et al, 2010 Symposium on VLSI Technology Digest of Technical Papers, PP 130-131
- [7] Won-seok Cho et al, 2010 Symposium on VLSI Technology Digest of Technical Papers, PP 173-174
- [8] Hang-Ting Lue et al, 2010 Symposium on VLSI Technology Digest of Technical Papers, PP 131-132
- [9] US2008175032, "SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING THE SAME", TOSHIBA
- [10] US2009146190, "SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR FABRICATING SIMICONDUCTOR MEMORY DEVICE", TOSHIBA
- [11] US200990965, "NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD OF MANUFACTURING THE SAME", TOSHIBA

한양대학교 융합전자공학부
 이승백
 연구분야: CNT소자, MEMS, 3D CTF(Charge Trap Flash), MRAM 등
 E-mail : sb122@hanyang.ac.kr
 http://ndl.hanyang.ac.kr

한양대학교 전자컴퓨터통신공학과
 최선준
 연구분야 : 3D CFT
 E-mail : msz009@hanyang.ac.kr
 http://ndl.hanyang.ac.kr

IPC(IDEC Platform Center)설립 및 운영 사업설명회 개최

지난 2월 15일(화) 시스템반도체 육성을 위한 정부정책 및 산업 need에 의거 고급설계인력양성과 대학의 연구능력 향상을 위해 새로운 개념의 센터인 IPC(IDEC Platform Center) 설립 및 운영 사업 설명회가 IDEC 강당에서 열렸다.



IPC 사업 설명회 모습

IPC는 기본 반도체설계 연구 및 교육 활동 범위를 넘어서 SoC 플랫폼 기반의 공동연구 및 교육활동을 위한 센터이다.

* 문의 : 김은주 (042-350-8533, ejkim@idec.kaist.ac.kr)

키텍디자인(주), Laker, Verdi 툴 무상 기증

반도체자동설계(EDA) S/W 선도업체인 키텍디자인(주) (대표:손민희, www.ktdesign.co.kr)은 Laker, Verdi Tool 각각 100copy씩을 KAIST 반도체설계교육센터(IDEC, 소장 경중민)에 무상으로 기증한다.

Laker는 자동화된 기술력을 기반으로 회로 생성, 트랜지스터의 배치 그리고 Stick Diagram의 기능이 추가된 연결 정보를 바탕으로 하는 Layout Tool로서, 자동화된 Custom Layout Solution을 제공하고 있다. Verdi Tool은 오류 검증 등에 필요한 Novas 디버깅 시스템 툴이다.

키텍디자인(주)의 손민희대표는 "IDEC을 통해 당사의 툴이 반도체설계 인재양성에 의미 있게 사용됨을 기쁘게 생각하며, 기증 의미대로 많은 학생에게 보다 넓은 체험의 장이 마련되기를 희망한다." 라고 밝혔다.

금번에 기증받은 EDA Tool은 2월 중 전국의 톱 신청대학에 배포되어 교육 및 설계실습에 사용될 예정이다.

* 문의 : 석은주 (042-350-8538, eunseok@idec.kaist.ac.kr)

E²L

(Electrical Engineering Library)

고급 교육자료를 언제든지 다시 볼 수 있는 최적의 조건을 이공계 학생 및 산업체 인력에게 제공할 수 있도록 교수님들의 많은 관심과 적극적인 참여를 바랍니다.

- 신규 교육자료 제출 방법
 - 교육자료 종류 : 강의자료, 동영상 자료, 시험문제(답안지 포함) 등
 - 제출 서류 : 교육자료 등록 신청서와 교육자료
 - 제출 방법 : 담당자에게 메일(sjlee@idec.kaist.ac.kr) 발송

- E²L 교육자료 등록 현황
 - 분야 : 반도체공학, 디지털시스템, 아날로그회로, 집적회로, 통신 & 신호처리, SoC, 초고주파회로, 컴퓨터 구조 등
 - 종류 : 강의자료(PPT,PDF,HWP), 시험문제, 동영상 자료
 - 자료 등록수 : 223

• 동영상 강의자료 제작 안내
 동영상 강의 제작(제작비 무료)을 희망하시거나 동영상 자료를 보유하고 계신 교수님들의 많은 참여를 바랍니다. 제작을 희망하실 경우 동영상 자료는 신청자가 IDEC을 방문하여 녹화할 수도 있고, IDEC이 신청자를 직접 방문하여 녹화할 수 있습니다.

다운받으신 자료에 대한 소감 및 의견을 홈페이지(http://edu.idec.or.kr)에 남겨주시면 사용자들의 의견을 적극 반영하여 양질의 교육자료가 많이 공유될 수 있도록 더욱 노력하겠습니다.

* 문의 : 이승자 (042-350-8536, sjlee@idec.kaist.ac.kr)

독자 여러분들께

IDEC Newsletter는 매월 알찬 정보와 소식을 담아, 독자여러분들을 찾아뵙고자 노력하고 있습니다. 뉴스레터를 보고 느낀점, 앞으로 다루어주었으면 하는 의견이 있으면, 100자 분량으로 보내주시기 바랍니다. 좋은 의견을 보내주시는 독자분들께는 IDEC 상품권을 보내드립니다. * 보내실 곳 : 전항기 (jhg029@idec.kaist.ac.kr)

2011년도 IDEC Platform Center (IPC) 공모

• 2011년도 IDEC Platform Center (IPC) 공모를 아래와 같이 공고하오니 신청하여 주시기 바랍니다.

1. 사업개요

- (1) 사업목적
 - ◆ 전략적 육성이 필요한 미래지향적 정보·전자분야(반도체설계 플랫폼 특성화 기술간 융합)의 공동연구 수행을 통해 지식 및 경쟁력을 창출
 - ◆ 시스템 반도체 육성을 위한 정부정책 및 산업체 Needs에 의거, IT 및 융합 기술의 핵심영역에서의 학·연·산 협업을 통한 융복합형 인력양성 - 대학의 교육과 연구 현상이 함께 연동하여 혁신력 있는 인재양성을 위한 교육과 연구환경을 플랫폼 영역에 맞게 내실화
 - ◆ 지역적 그룹을 떠난 기술적 대표성을 가지는 플랫폼 그룹(IPC)의 발전
 - ◆ 칩 설계, embedded SW 설계, 시스템 설계의 세 영역 간의 시너지를 극대화
- (2) 신규센터 선정
 - ◆ 신규센터 선정은 자유공모로 함.

2. 지원규모 및 기간

구분	내용
지원 규모	8.5억원내 지원 예정(2011년 센터당 2억원 내외) ◆평가 결과에 따라 사업비 자동 지원
지원 기간	평가결과에 따라 계속 지원여부 결정 2012년부터 예산 확대 지원
지원 분야	IPC 기술영역 ① Bio/health, ② Ubiquitous including Energy harvesting/delivery ③ Vehicular, ④ Mobile/broadband/network ⑤ Multi-media including 3D TV, smart TV ⑥ Nano technology including device, process, material ⑦ 기타 (2010 반도체설계 플랫폼 특성화 기술지도 참조)

3. 신청절차 및 방법

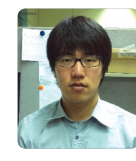
사업설명회 참석	계획서 제출	서류평가	발표평가	최종평가 후 선정
IPC 사업 설명회	계획서 작성 후 우편 및온라인 제출	계획서 제출한 대상자에 한해 평가	서류평가에서 선정된 자에 한해 평가	평가위원회에서 최종 심의 후 선정
IDEC	총괄책임자	총괄책임자	총괄책임자 및 기술책임자	IDEC

- (1) 사업설명회
 - ◆ 일시 : 2011. 2. 15(화) 14:00
 - ◆ 장소 : 반도체설계교육센터 강당
- (2) 계획서 제출
 - ◆ 신청방법 : 총괄책임자가 계획서를 작성한 후 우편 및 담당자 E-mail 을 통해 제출
 - ◆ 제출기간 : 2011. 3. 1(화) ~ 2011. 3. 28(월) 18:00
 - ◆ 주소 : 대전광역시 유성구 과학로 335번지 한국과학기술원 반도체설계교육센터(N26) 104호
 - ◆ E-mail : ejkim@idec.kaist.ac.kr
 - * 신청서 양식 및 기타 자세한 사항은 반도체설계교육센터 홈페이지(http://www.idec.or.kr) 참조
 - * 문의 : 김은주(042-350-8533), 최신희(042-350-4045)



Core-A를 활용한 게임 개발 (Tetris)

한동대학교 전산전자 공학부
 (주)다이나릿시스템 2011년 동계 인턴사원
 조효민



배경과 진행과정

국산 프로세서 Core-A를 접하게 된 것은 1년 전 Capstone Design이라는 과목에서였다. 한동 대학교의 전산전자 공학부 학생들은 4학년이 되면 자신의 전공과 관심분야를 중심으로 주제를 선정하여 Capstone 프로젝트를 수행한다. 이전부터 Microprocessor나 Embedded system에 관심이 많았고, 무엇보다 국산 micro-processor라는 점이 마음에 들었으며, 교수님의 권유도 있었기에 별다른 고민 없이 'Core-A를 활용한 게임 개발'이라는 주제를 선택하였다. 여러 게임 중에 Tetris 게임을 선택한 이유는 유명한 고전 게임이고, 사용자의 입력에 따라 반응이 필요한 준 실시간 프로그램이라는 점과 화려한 영상 출력으로 사람들의 관심을 끌 수 있다는 점 때문이었다.

프로젝트의 목표는 2인 대전 플레이가 가능한 Tetris 게임을 설계하는 것이었다. 처음 시작할 때에는 하드웨어 플랫폼은 이미 구성이 되어 있었고, IDE를 통해 예제 소스 코드를 받을 수 있었기에, 프로젝트를 쉽게 끝낼 수 있으리라 생각했다. 그러나, 막상 프로젝트를 시작하고 보니 생각만큼 그렇게 녹록하지 않았다. 가장 큰 문제는 처음 구상한 프로그램의 알고리즘이 비효율적이었기 때문에 속도가 나오지 않는다는 점이었다. 이 결함은 사용자의 입력에 즉각적으로 반응해야 한다는 점에서 가장 치명적인 문제였다. 그래서 고민 끝에 게임에 알맞은 Data structure를 구성하여 적용하였다. 그 결과 연산이 많은 부분을 진행할 때에는 어느 정도 시스템 전체에 delay가 있었지만, 전체적인 속도를 보았을 때 참을만한 수준이라고 판단했기 때문에, 이러한 Data structure를 토대로 프로젝트를 계속 진행하였고 프로젝트를 마칠 수 있었다.

이후 이번 겨울에 다이나릿시스템에 인턴사원으로 근무하면서 프로젝트 때 개발했던 결과물을 조금 더 개선시킬 수 있었다. 인턴사원으로 근무하면서 처음 했던 일은, Capstone 때의 결과물을 새 개발보드에 적용하는 일이었다. 그러나 학교에서 실습하던 보드와는 제원이 틀렸었고, Core-A에 대한 이해가 부족했기에 생각보다는 힘들게 업무를 진행했다. 그러나 좀 적응이 된 이후 TCM(Tight Coupled Memory, 프로세서에 바로 연결된 메모리로서, 시스템 버스를 통하지 않고 참조가 되므로 고속으로 프로그램을 실행할 수 있는 환경을 제공) 구조를 적용하여 개선된 Tetris를 완성할 수 있었다. 가장 크게 개선된 점은 속도 부분이며, 이로써 Capstone 프로젝트에서 사용한 설계에서 가장 큰 문제였던 delay는 거의 해결이 되어 개선된 결과물을 만들 수 있었다.

설계의 상세

Hardware design

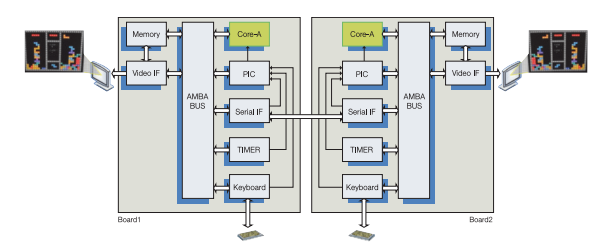


그림 1. 2인 Tetris 게임을 위한 HW 구조

그림1은 Capstone 프로젝트를 수행할 당시 구성하였던 하드웨어의 플랫폼 구조이다. AMBA bus는 AHB bus와 APB bus로 나눌 수 있는데 AHB bus에는 코드와 이미지 정보가 올라가 있는 SRAM과 게임 화면을 출력하기 위한 VIDEO controller가 연결되고, APB bus에는 PIC, UART, Timer, Keyboard 등의 IP들이 연결되어 있다. 하드웨어는 기본적으로 interrupt에 의해 동작한다. Keyboard나 Timer가 해당 interrupt를 발생시키면 interrupt controller인 PIC에서 해당 정보를 Core-A로 전달한다. Core-A는 전달받은 interrupt 정보를 통해 적절한 처리를 하게 된다.

Data Structure

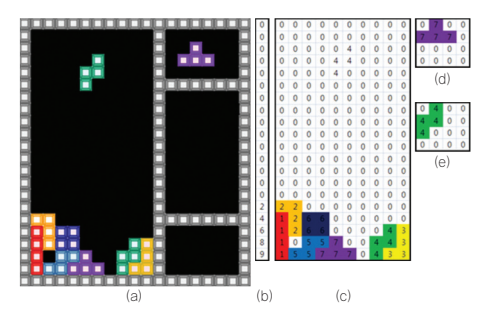


그림 2. Data Structure

그림2는 설계를 진행하면서 정의한 Tetris의 Data structure에 대해 나타내고 있다. (a)는 실제 게임 화면을 나타내고, (b)~(e)는 정의한 Data structure의 내용이다. 우선 Tetris field는 10x20의 matrix로 가정한다. 그리고 각각의 block의 색을 숫자로 가정하는데, Tetris block이 총 7가지이고, 공백 부분이 있으므로 총 여덟 종류의 값을 가지게 된다. (e)는 현재 움직이고 있는 block의 모습을 기억하고 있는 matrix이다. 이것을 정의한 이유는 어떤 위치나 모양에 상관 없이 움직이는 방법에 대한 규칙을 정하기 쉽게 하기 위해서이다.

그리고 (d)는 현재 block이 자리를 잡고 나면 다음 턴에 발생할 block을 표현하고 있다. (b)는 block 하나가 자리를 잡을 때 마다 업데이트를 하는데 1x20 matrix가 나타내는 것은 현재 줄마다 차이는 block의 개수를 나타내고 있다. 즉, 이 값이 '0'이 되면 block이 지워지게 되는 것이다. 또한, 게임의 state를 계속 유지하게 하였다. 그 이유는 키보드의 입력이 시시각각으로 변하고 있는 상황에서 현재 게임을 하는 플레이어의 키보드의 입력정보를 계속해서 반대쪽 플레이어에게 UART를 통하여 전송해서 화면에 출력해 주어야 하는데 받는 쪽에서는 정보를 받았을 때 어떠한 명령을 수행할 것인지에 대한 기준이 필요하기 때문이다. 그래서 현재 유지하고 있는 state에 따라 전송받은 키보드의 입력 정보들을 처리하게 된다.

Data structure라고 하기에는 조금 간단한 면이 있지만, 이 간단한 정의로 말미암아 속도가 비교할 수 없을 만큼 빨라졌다. 게임의 모든 정보를 항상 소규모로 유지하고 있기 때문에 현재 상황을 메모리에서 Re-load 할 필요 없이 그대로 출력만 하면 되기 때문이다. 또한, matrix로 이루어져 있기 때문에 움직이는 위치나 모양에 대한 계산횟수와 구현상의 난이도가 감소하는 효과도 있었다.

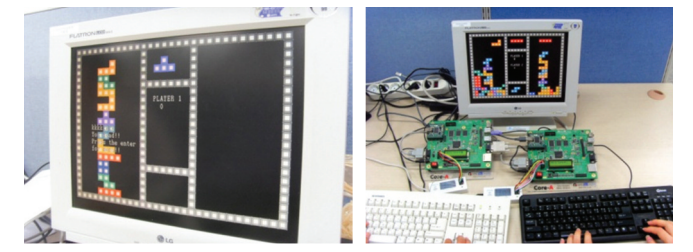


그림 3. 완성된 Tetris

Enhanced hardware design

그림1 구조의 가장 큰 문제점은 속도였다. 프로그램의 구동은 정확하게 되지만, 한 줄이 지워져 필드 전체를 다시 그리는 동작 같은 경우, 화면이 바뀌는 모습이 눈에 보일 정도로 느렸다. 그러나 그림4와 같이 TCM을 사용하고 난 뒤에는 속도가 상당히 개선되었다.

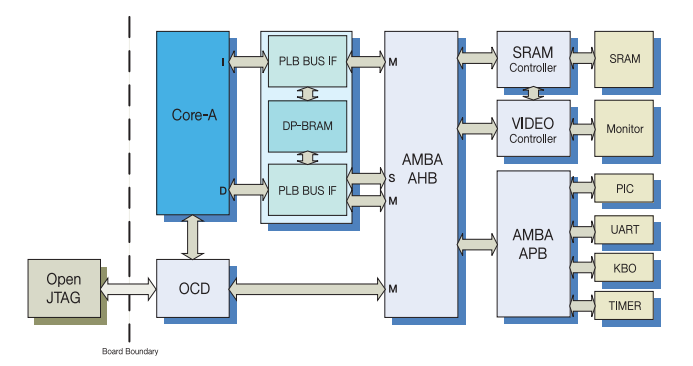


그림 4. Zero-wait TCM 적용 HW 구조

그림1에 표현한 플랫폼에서는 앞에서도 설명했듯이 데이터와 인스트럭션이 모두 SRAM에 위치하고 있다. 하지만, 그림4의 하드웨어 플랫폼에서는 인스트럭션은 TCM에, 그리고 데이터는 SRAM에 위치한다. 따라서 코어에서는 SRAM에 접근하지 않고도 바로 인스트럭션을 읽어 올 수 있기 때문에 그림1의 구조보다 훨씬 빠르게 동작한다. 주의 해야 할 사항은 프로그램 코드의 크기가 TCM의 크기보다

크면 안 된다는 것이다. 이러한 이유로 TCM의 크기인 64Kbyte 이내로 코드의 크기를 줄이기 위해 게임의 block도 단순화시키고, 1인 플레이로 한정하였지만, 게임 동작이나 속도 면에서는 월등히 개선되었다. 속도 개선을 정량적으로 확인하기 위해 Dhrystone benchmark를 이용하여 비교해 본 결과 약 15.3배 정도 차이가 났으며, 실제 화면에 pixel을 출력하는 속도도 약 11.8배 정도 차이가 나 성능이 월등히 개선되었음을 알 수 있었다. 현재의 플랫폼에서의 TCM의 크기는 64Kbyte밖에 안되지만, 용량이 더 큰 FPGA를 사용한다면 더 다양한 어플리케이션이 가능하리라 생각한다. 아울러 다른 구조의 플랫폼에 용이하게 이식하고, 디버깅할 수 있도록, UART를 통해 프로그램 상태를 확인할 수 있도록 하였고, 이는 비디오 출력 없이 게임의 진행을 확인할 수 있어서 프로그램 개발에 도움이 되도록 했다.

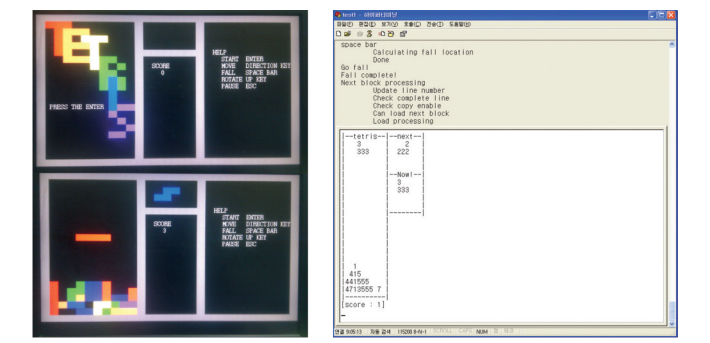


그림 5. 개선된 결과물

결론 및 후기

국산 프로세서 Core-A 플랫폼을 이용하여 Tetris를 개발하면서 시행착오도 많이 겪었지만, 개인적으로 다양하고 값진 경험을 했다. Tetris 프로그램을 만들어 본 사람은 많이 있었지만, 새로운 프로세서를 활용하여 하드웨어를 설계하고, 새 하드웨어에 게임 프로그램을 구현한 경우는 많지 않을 것이다. Core-A 플랫폼을 만들고 Tetris 예제를 만들어서 구동시켜보는 과정에서 하드웨어와 시스템에 관한 이해를 넓힐 수 있었고, 앞으로의 공부 방향도 명확해졌다. 사실 Capstone 프로젝트를 끝낸 당시에는 Core-A에 대한 인상은 그리 좋지 못했다. 프로젝트 진행하면서 프로세서의 동작이 잘 안 된다는 인상을 받았기 때문이며, 그래서 결과물의 부족한 완성도를 '아직 국산기술은 사용하기 어렵다.' 라는 말로 합리화를 했다. 하지만, 지금은 나의 실력이 부족했기 때문이었다는 것을 절실히 깨닫고 있다. 오히려 인턴 기간, Core-A를 지원하는 안정된 개발 환경과 Core-A를 이용한 다양한 플랫폼과 많은 예제를 보면서 Core-A가 잠재력이 있다고 생각하게 되었다. 그런 면에서 다이나릿시스템에서 인턴 생활을 한 것은 큰 행운이었다고 생각한다.

