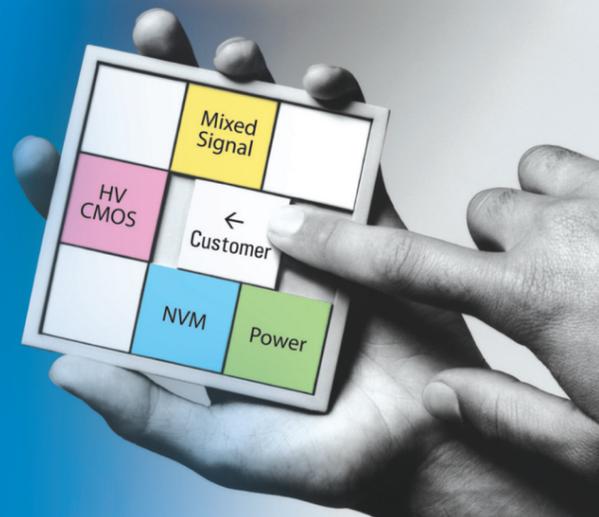


## The Key to Silicon Success SPECIALTY FOUNDRY

MagnaChip provides 3 key values to customers

- Specialty Technology
- Engineering Service
- Manufacturing Excellence

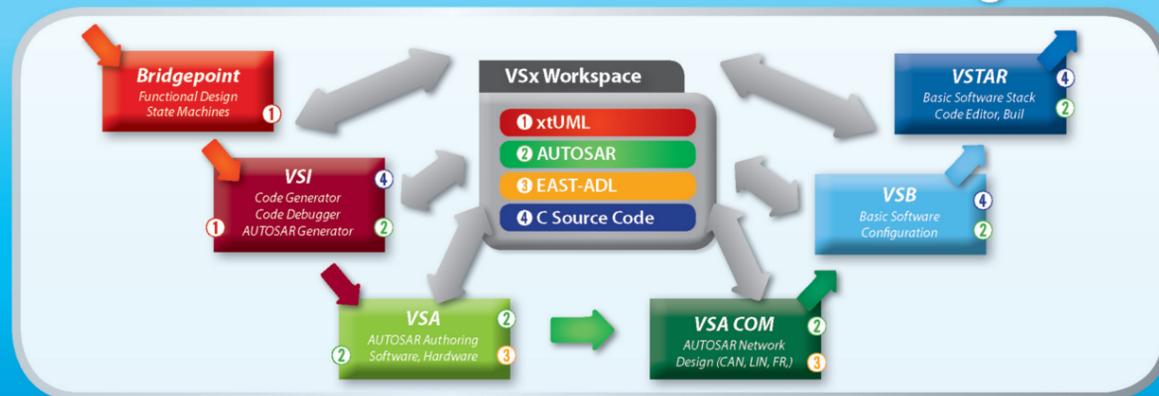


Our semiconductor manufacturing services offering is targeted at customers who require differentiated, specialty analog and mixed-signal process technologies such as high voltage CMOS, non-volatile memory and power.

We differentiate ourselves through the depth of our intellectual property portfolio, ability to customize process technology to meet the customers' requirements effectively, long history in his business and reputation for excellence.



## Mentor Graphics Autosar Design Flow - Enables data centric concurrent design



- Mentor Graphics provides concurrent workspace management for the complete design flow, from high level function design to ECU target link - all in one tool.
- All products present the content of the shared VSx workspace, as AUTOSAR models, Network Design data, xtUML models, EAST-ADL models and C Source Code files.
- Tool interactions are performed as seamless data transformations in the shared workspace, no import/exports.
- All designers and developers can share their work in progress (WIP) whilst focusing on their specific task.
- This allows seamless & automatic integration testing based on work in progress.

한국멘토 | 서울특별시 강남구 삼성동 무역센터 무역회관 2104호 Tel. (02) 551-3434 <http://www.mentorkr.com>

# IDEC Newsletter

IDEC Newsletter | 등록번호: 제181호 | 발행일: 2012년 6월 30일 | 발행인: 박인철 | 편집인: 김이설 | 제작: 푸울디자인  
기획: 이현정 | 전화: (042) 350-8535 | 팩스: (042) 350-8540 | <http://idec.or.kr>  
E-mail: [news@idec.or.kr](mailto:news@idec.or.kr) | 발행처: 반도체설계교육센터(IDEC)

Vol.181

2012  
July

SiP 환경에서 메모리 반도체의 새로운 기능과 가능성 | 06 의료용 X선 검출기 연구동향 | 12  
DAC와 ISCA 학회 참관 후기 | 16

반도체설계교육센터 사업은 지식경제부, 반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

### SiP 환경에서 메모리 반도체의 새로운 기능과 가능성

최근의 SoC (system on chip) 시스템의 경우 내장되는 코어의 개수가 증가함에 따라 온 칩 데이터 버스에서 요구되는 데이터 전송 대역폭 요구량이 크게 증가하고 있으나, 프로세서에 비해서 상대적으로 낮은 메모리 성능에 의해서 시스템의 성능 저하가 발생하고 있다. 이와 같은 문제를 해결하기 위하여 최근에 3D 집적기술을 개발하려는 시도가 학계와 산업계에서 활발히 진행 중이다. 3D SiP 집적 기술이란 반도체 제품을 수직으로 적층함으로써 단위 면적에 대한 집적도를 증가시키는 제조 기술이다. 본 고에서는 SiP 환경에서 메모리 반도체의 새로운 기능과 가능성에 대해 살펴보고자 한다. (관련기사 P06~P10 참조)

### 의료용 X선 검출기 연구동향

핀트겐에 의해 X선이 발견된 이후 100년이 넘는 현재까지 X선은 인체 내부의 진단을 위한 가장 간편한 방식으로 널리 사용됐다. 필름이나 스크린을 이용하여 X선을 검출하는 아날로그 방식이 오랜 기간 사용되어 왔으나 필름 사용에 따른 재료비와 넓은 보관 장소가 필요하고, 촬영 후 영상을 획득하기까지 시간이 오래 걸리며, 필름 현상을 위해 사용되는 용액에 의한 환경오염 등의 문제점을 갖고 있었다. 이에 비해 디지털 방식은 X선 촬영 후 바로 결과 영상을 확인할 수 있으며, 환자에 대한 방사선 노출량을 줄이면서도 높은 동적 범위를 갖는 영상을 제공한다. 본 고에서는 현재 사용되고 있는 DR 방식의 대표적인 기술의 특성을 소개하고, 새롭게 발전하고 있는 CMOS 검출기의 장점과 보완해야 할 문제를 소개하고자 한다. (관련기사 P12~P15 참조)

### DAC와 ISCA 학회 참관 후기

Design Automation Conference(DAC)는 반도체 칩 설계자동화기술 분야, 그리고 International Symposium on Computer Architectures(ISCA)는 반도체 칩 구조설계 분야의 세계 최고 학회이다. 저전력 분야에서는 dark silicon이라는 용어가 buzzword였는데, 이는 반도체 칩의 scaling은 계속되어 하나의 칩에 많은 기능 또는 core의 구현이 가능하지만, 전력/에너지소모의 제약으로 실제 구동 가능한 부분은 아주 작아 면적상 칩 대부분의 부분에서는 일을 할 수 없는 상황을 표현한 것이다. Dark silicon을 잘 사용하여 최대의 성능, 에너지 효율을 얻기 위해, 크게 NTV, asymmetric multi-core, application-specific designs, approximate computation의 네 가지 분야로 연구, 개발이 진행됨을 볼 수 있었다. 본 고에서는 DAC과 ISCA 학회를 참관한 포항공대 유승주 교수의 시선으로 각 학회에서 발표된 저전력 및 메모리 서브시스템 설계분야의 연구내용을 살펴보고자 한다. (관련기사 P16~P19 참조)

# IDEC July | 2012 news

MPW (Multi-Project Wafer)														
MPW 신청 현황					MPW 칩 제작 현황									
구분	공정	제작가능 면적 (mm² x 칩수)	채택 칩수	설계면적 (mm² x 칩수)	DB마감	Die-out	비고	구분	공정	제작 칩수	제작면적 (mm² x 칩수)	Die-out 예정일	현재상태	비고
112회 (12-5)	삼성 65nm	20개서버 (4x4mm)	20	5x5mmx23	2012. 6.4	2012. 11.9	BD마감 :6.2	107회 (11-10)	M/H 0.18	24	4.5x4mm x 15 4.5x2mm x 6 2.25x2mm x 3	2012. 4.10	제작완료	-Die:5.9 -PKG:6.10
	동부 0.18BCD	5x5mmx2	4	5x2.5mmx4	2012. 6.20	2012. 9.26	BD마감 :6.20		M/H 0.18	20	4.5x4mm x 20	2012. 6.4	제작중	-Die:7.21
113회 (12-6)	동부 0.35BCD	5x5mmx3	8	5x2.5mmx4 2.5x2.5mmx4	2012. 7.4	2012. 10.10	BD마감 :7.4	108회 (12-1)	동부 0.35BCD	16	5x2.5mm x 2 2.5x2.5mm x 8	2012. 5.30	제작 완료	-Die: 5.15 -PKG:6.10
114회 (12-7)	동부 0.18BCD	5x5mmx2	2	5x5mmx2	2012. 8.8	2012. 11.14	설계중		TJ0.18 SiGe	4	2.5x2.5mm x 4	2012. 7.2	제작중	-Die:6.19
	M/H 0.18	4.5x4mmx20	19	4.5x4mmx19	2012. 8.13	2012. 12.3		TJ0.18 RF	8	2.5x2.5mm x 4	2012. 7.5	제작 완료		
115회 (12-8)	삼성 0.13	4x4mmx48	31	4x4mmx31	2012. 8.31	2013. 1.4	모집마감	109회 (12-2)	삼성 0.13	40	4x4mm x 40	2012. 8.3	제작중	
	동부 0.18BCD	5x5mmx2	5	5x2.5mmx3 2.5x2.5mmx2	2012. 9.6	2013. 1.4			동부 0.35BCD	9	5x2.5mm x 2 2.5x2.5mm x 7	2012. 7.12	제작중	
116회 (12-9)	TJ0.18 CIS	2.5x2.5mmx4	4	2.5x2.5mmx4	2012. 10.15	2013. 2.22	모집마감	110회 (12-3)	동부 0.11	29	5x2.5mm x 22 2.5x2.5mm x 7	2012. 8.1	제작중	
	TJ0.18 BCD	5x5mmx2	2	5x5mmx2	2012. 10.22	2013. 2.29			M/H 0.18	20	4.5x4mmx20	2012. 9.3	제작중	
	TJ0.18 RF	2.5x2.5mmx4	3	2.5x2.5mmx3	2012. 10.22	2013. 2.29		M/H 0.35	20	5x4mmx20	2012. 9.3	제작중		
	동부 0.35BCD	5x2.5mmx6	7	5x2.5mmx4 2.5x2.5mmx3	2012. 10.10	2013. 1.16		111회	동부 0.35BCD	7	5x2.5mm x 4 2.5x2.5mm x 3	2012. 8.30	제작중	
동부 0.11	5x2.5mmx30	28	5x2.5mmx23 2.5x2.5mmx5	2012. 10.2	2013. 2.6	TJ0.18 CIS	2		5x2.5mm x 2	2012. 9.14	제작중			
117회 (12-10)	M/H 0.18	4.5x4mmx20	16	4.5x4mmx16	2012. 11.12	2013. 3.4	후기모집 ~:8.1	TJ0.18 BCD	2	5x5mm x 2	2012. 9.21	제작중		
	M/H 0.35	5x4mmx20	10	5x4mmx10	2012. 11.12	2013. 3.4								
	삼성 65nm	20개서버 (4x4mm)	17	4x4mmx18	2012. 11.26	2013. 5.3								

\* M/H = 매그나칩/하이닉스, TJ = TowerJazz  
 \* 우선/정규모집에서 마감될 경우 후기모집은 진행되지 않음.  
 \* Die-out 일정은 Diechip 제작완료 기준임 Package는 Die-out후 4주 이상 소요됨.  
 \* MPW 참여 일정 및 방법은 홈페이지(www.idec.or.kr) 참조  
 \* 위의 내용은 6.28 기준임.

\* 문의 : 이의숙(042-350-4428 yslee@idec.or.kr)

### 2012년 IPC(IDEC Platform Center) 협력 운영기관 선정

- 경북대 모바일-AP 플랫폼 센터 -



CEO : 최준림 교수

IDEC은 지난 5월 IPC(IDEC Platform Center) 협력 운영기관을 최종 발표평 가회를 통하여 모바일 기술 분야로 경북대학교 "모바일-AP 플랫폼 센터"(CEO : 최준림 교수)를 선정했다. IPC 센터(광운대 스마트 TV 플랫폼 센터, 한양대 지능형 차량용 SoC 플랫폼 센터, 경북대 모바일-AP 플랫폼 센터)는 전략적 육성성이 필요한 미래지향적 정보·전자분야(반도체설계 플랫폼 특성화 기술 간 융합)의 공동연구 수행을 통해 지식 및 경쟁력을 창출할 예정이며, 또한, 시스템반도체 육성을 위한 정부정책 및 산업체 Needs에 의거 IT 및 융합 기술의 핵심 영역에서의 학·연·산 협업을 통한 융복합형 인력양성을 위한 센터로 운영되고 있다.

\* 문의 : 김은주(042-350-8533 ejkim@idec.or.kr)

### IDEC 인사동정

운영위원 위촉 |



김지훈 교수 (충남대)

- 담당업무 : 교육 관련 업무
- E-mail : jihoonkim@cnu.ac.kr

### 2012년 7월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

#### 센터별 강좌 일정 |

장소	강의일자	강의제목
KAIST IDEC	7월 2일-3일	고성능 ADC 설계를 위한 이론 및 설계기법
	7월 9일	[Analog, Digital I/O 및 ESD 설계] CMOS 혼성모드 시스템 설계
	7월 12일-13일	Incisive Verilog Simulation
	7월 17일-20일	Virtuoso Spectre Circuit Simulator MMSIM 10 & Virtuoso Analog Design Environment IC61
	7월 26일-27일	SystemVerilog & SystemC를 이용한 설계
광운대 IDEC	7월 30일-31일	Sentaurus Training
	7월 2일-3일	Verilog HDL 기초와 실습
	7월 4일-5일	Verilog HDL 이론 및 응용
	7월 6일	H/W Implementation of SRIR Techniques
	7월 12일	스마트 TV 디지털 SoC
충북대 IDEC	7월 17일-18일	비디오 압축 이론 및 코덱 회로 설계
	7월 12일	The New Paradigm of the High Performance and Low Power Full Custom Design Method Based on nanotechnology
	7월 25일-27일	네트워크 기반 임베디드 시스템의 이론 및 설계
한양대 IDEC	7월 4일	지능형 영상 및 비전 시스템
	7월 9일	디지털 전기 자동차의 운행 제어를 위한 특징점 검출 및 매칭 가속 하드웨어
	7월 9일-11일	AUTOSAR 개발을 위한 UML
	7월 11일-13일	디자인 컴파일러
	7월 13일	계산사진학 소개(Introduction to Computational Photography)
	7월 16일-17일	SoC Design Methodology
	7월 20일	SoC Design Methodology

---

#### ▶▶▶ KAIST IDEC 개설 강좌 안내

- **강좌일** : 7월 2일-3일
- **강좌 제목** : 고성능 ADC 설계를 위한 이론 및 설계기법
- **강사** : 류승탁 교수(KAIST)

**[ 강좌개요 ]**  
본 강좌는 Nyquist A/D converter를 중심으로 설계에 관해 기본 원리부터 시작하여 최신 설계 동향까지 다루게 된다. 먼저 ADC의 동작원리 성능척도에 대해 소개하고, 여러 형태의 ADC에서 성능저하를 일으키는 요인에 대해 고찰하여 실제 설계에서 고민해야 할 점들을 이야기한다. 또한, 최근 활발히 연구되고 있는 고속 flash, 저전력 pipeline, 고속 SAR ADC 등을 중심으로 고속 저전력 설계기법들을 살펴본다.

**[ 수강대상 ]**  
· 아날로그 IC를 전공하는 대학원생, 직장인

**[ 강의수준 ]**  
· 중급

**[ 강의형태 ]**  
· 이론+실습

**[ 사전지식, 선수과목 ]**  
· 학부수준의 전자회로 지식은 필수로 하고, 대학원 수준의 아날로그회로 설계 지식이 있으면 수강이 용이함.

---

- **강좌일** : 7월 9일
- **강좌 제목** : [Analog, Digital I/O 및 ESD 설계] CMOS 혼성모드 시스템 설계
- **강사** : 심진섭 수석(매그나칩반도체), 정종철 대표이사(주)제퍼로직

**[ 강좌개요 ]**  
- Chip I/O 설계를 위한 ESD device 특성 확보 및 ESD network 설계, ESD Troubleshooting 방법 등을 전수하여 chip의 ESD특성을 만족시키도록 함  
- IO와 관련된 기본 개념들을 이해하고 ESD를 고려한 IO 설계  
- ESD 및 IO 를 고려한 IC설계

**[ 수강대상 ]**  
· IC 설계자, IO 및 ESD 설계자, 제품 I/O 설계자, PI, PA 등

**[ 강의수준 ]**  
· 중초급

**[ 강의형태 ]**  
· 이론

**[ 사전지식, 선수과목 ]**  
· Device Physics, Electronics Circuit

---

- **강좌일** : 7월 12일-13일
- **강좌 제목** : Incisive Verilog Simulation
- **강사** : 김일중 부장(Cadence Korea)

**[ 강좌개요 ]**  
- Chip I/O 설계를 위한 ESD device 특성 확보 및 ESD network 설계, ESD Troubleshooting 방법 등을 전수하여 chip의 ESD특성을 만족시키도록 함  
- IO와 관련된 기본 개념들을 이해하고 ESD를 고려한 IO 설계  
- ESD 및 IO 를 고려한 IC설계

**[ 수강대상 ]**  
· IC 설계자, IO 및 ESD 설계자, 제품 I/O 설계자, PI, PA 등

**[ 강의수준 ]**  
· 중초급

**[ 강의형태 ]**  
· 이론

**[ 사전지식, 선수과목 ]**  
· Device Physics, Electronics Circuit

---

**[ 강좌개요 ]**  
SystemVerilog를 이용한 디지털 시스템 설계  
SystemVerilog 인터페이스의 이해  
SystemC RTL을 이용한 로직 모델링  
SystemC port, interface, channel의 이해

**[ 수강대상 ]**  
· 대학원생, 기업체 관련업무 담당 직원

**[ 강의수준 ]**  
· 중초급

**[ 강의형태 ]**  
· 이론+실습

**[ 사전지식, 선수과목 ]**  
· Verilog 또는 VHDL, C언어

---

- **강좌일** : 7월 26일-27일
- **강좌 제목** : SystemVerilog & SystemC를 이용한 설계
- **강사** : 송기용 교수(충북대)

**[ 강좌개요 ]**  
본 과정에서는 Virtuoso® Analog Design Environment System하에서 Front-to-Back Design을 다루게 된다. 디자인의 Top-level Block description부터 시작하여, Run simulation 그리고 Virtuoso Analog Design Environment 전체를 Utilize할수 있는 방법을 배우게 된다. 일련의 Simulation Tool을 이용하여, Process corner에 대한 Circuit operation 을 증명하고, Component 값을 최적화 하며, Production yield를 정확하게 예측하는 방법 또한 배우게 된다. 더불어, Environment 를 사용하여 Write하는 방법 그리고 Automated simulation run을 실행하며, Layout parasitic extraction 과 Simulation을 이용하여 Design flow를 완료하는 방법을 배운다.

**[ 수강대상 ]**  
· 대학원생 및 관련 회사원

**[ 강의수준 ]**  
· 중급

**[ 강의형태 ]**  
· 이론+실습

**[ 사전지식, 선수과목 ]**  
· 1) SPICE 유경험자  
· 2) Analog Design 경험자

---

- **강좌일** : 7월 30일-31일
- **강좌 제목** : Sentaurus Training
- **강사** : 박지선 차장(Synopsys Korea)

**[ 강좌개요 ]**  
Sentaurus의 기본적인 기능을 이용하여 TCAD simulation에 대한 이해를 높이고자 함.

**[ 수강대상 ]**  
· TCAD User (대학원생)

**[ 강의수준 ]**  
· 중초급

**[ 강의형태 ]**  
· 이론+실습

**[ 사전지식, 선수과목 ]**  
· CMOS 공정 및 소자 물리

\* 문의 : 이승재(042-350-8536, sjlee@idec.or.kr)

## ▶▶▶ 광운대 IDEC 개설 강좌 안내

- **강좌일** : 7월 2일-3일
- **강좌 제목** : Verilog HDL 기초와 실습
- **강사** : 조경순 교수(한국외대)

### [ 강좌개요 ]

시스템 IC 분야에서 가장 널리 사용하는 하드웨어기술언어 Verilog HDL에 대한 기초와 이를 응용하여 회로를 설계하는 기법을 강의한다. 1995년 IEEE 1364-1995로 표준화된 Verilog HDL은 시스템 IC 설계 방법론의 가장 핵심적인 요소이다. VHDL과의 차이점 및 장단점을 알아본 다음, Verilog HDL의 기초적인 문법과 구문에 대한 강의를 한다. 기초 실습으로서 여러 가지 하드웨어 구성 요소에 대한 설계를 simulation 및 synthesis 실습을 통하여 진행한다.

### [ 수강대상 ]

· 학부생 및 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초중급

### [ 강의형태 ]

· 이론+실습

### ■ 강좌일 : 7월 4일-5일

- **강좌 제목** : Verilog HDL 이론 및 응용
- **강사** : 조경순 교수(한국외대)

### [ 강좌개요 ]

시스템 IC 분야에서 가장 널리 사용하는 하드웨어기술언어 Verilog HDL에 대한 이론과 이를 응용하여 회로를 설계하는 기법을 강의한다. Verilog HDL의 기본적인 구문을 살펴본 다음, 심화 내용으로서 non-determinism, non-blocking assignment 등을 concurrent process, simulation timing model과 같은 이론을 바탕으로 설명한다. 실습으로서 영상압축 표준인 JPEG의 DCT 모듈을 Verilog HDL을 이용하여 설계하고 검증한다.

### [ 수강대상 ]

· 학부생 및 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초중급

### [ 강의형태 ]

· 이론+실습

### [ 선수과목 ]

· Verilog HDL 기초와 실습

### ■ 강좌일 : 7월 6일

- **강좌 제목** : H/W Implementation of SRIR Techniques
- **강사** : 김기철 교수(서울시립대)

### [ 강좌개요 ]

본 강의에서는 Super resolution image reconstruction(SRIR)의 하드웨어 구현에 대한 내용을 다룬다. 현재 각광받고 있는 스마트 TV 시스템에서는 고품질 콘텐츠 제공을 위해 여러 가지 최신 기술이 요구된다. 그 중 하나가 고화질의 영상 콘텐츠를 제공하기 위한 이미지 처리 기술이다. SRIR 기술은 최신 이미지 처리 기술 중 하나로서 저해상도 영상을 고해상도 영상으로 변환시키는 기술이다. 본 강의에서는 스마트 TV에 대한 SRIR 연구의 필요성을 응용 분야와 접목하여 설명한다. 또한 현재 연구되고 있는 주요 SRIR 알고리즘에 대해서 살펴본다. 마지막으로 SRIR을 고속으로 처리하기 위해 필요한 하드웨어 구현 방법에 대해서 설명한다.

### [ 수강대상 ]

· 학부생 및 석박사 과정, 관련 회사원

### [ 강의형태 ]

· 이론+실습

### [ 사전지식 ]

· 하드웨어 설계에 대한 일반 지식

### ■ 강좌일 : 7월 12일

- **강좌 제목** : 스마트 TV 디지털 SoC
- **강사** : 한동일 교수(세종대)

### [ 강좌개요 ]

스마트 TV를 구성하는 디지털 하드웨어의 핵심 IP를 설계하는데 필요한 기술을 다루고 궁극적으로 스마트 TV SoC(System-on-Chip) 개발 능력을 배양하는데 목적이 있다.

- 실시간 얼굴 검출 IP 및 VHDL 구현

### [ 수강대상 ]

· 학부생 및 석박사과정, 관련 회사원

### [ 강의수준 ]

· 초중급

### [ 강의형태 ]

· 이론+실습

### ■ 강좌일 : 7월 17일-18일

- **강좌 제목** : 비디오 압축 이론 및 코덱 회로 설계
- **강사** : 조경순 교수(한국외대)

### [ 강좌개요 ]

공간영역, 시간영역, 주파수영역에서 중복성을 제거함으로써 비디오 데이터를 압축하는 이론을 소개하고, 이를 바탕으로 구축된 비디오 압축 표준에 대해 알아본다. 특히 휴대용 단말기 등에서 가장 널리 사용되고 있는 H.264 비디오 압축 기술 및 코덱을 구성하는 핵심 블록에 대해 학습한다. 디지털 영상에 대한 기본 지식을 강의와 실습을 통해 이해한 다음, H.264 코덱을 구성하는 Transform 블록에 대한 회로를 설계한다.

### [ 수강대상 ]

· 학부생 및 석박사과정, 관련 회사원

### [ 강의수준 ]

· 초중급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· Verilog HDL(또는 VHDL), 디지털 논리회로

\* 문의 : 광운대 IDEC 손희경 (02-940-5448, smartipc@kw.ac.kr)

## ▶▶▶ 충북대 IDEC 개설 강좌 안내

### ■ 강좌일 : 7월 12일

- **강좌 제목** : The New Paradigm of the High Performance and Low Power Full Custom Design Method Based on Nanotechnology
- **강사** : Prof. Yong-Bin kim (Northeastern University)

### [ 강좌개요 ]

Over the past few decades there has been an increased focus on scaling down the size of transistors in CMOS circuits to improve the speed of devices, density of devices on a given chip. As the physical gate length is reduced to below 65 nm, many device-level effects such as large parametric variations and exponential increase in leakage current have substantially affected the I-V characteristics of traditional MOSFETs, thus resulting in major concerns for scaling down the feature size of these devices. A possible approach to meet the challenges of nano scale CMOS consists of utilizing new circuit techniques together with alternative technologies to replace conventional MOSFET-based technology. This presentation will go over the challenging issues of the current nanoscale integrated circuit design issues and present possible solutions based on emerging nanoscale device technology

### ■ 강좌일 : 7월 25일-27일

- **강좌 제목** : 네트워크 기반 임베디드 시스템의 이론 및 설계
- **강사** : 최성곤교수(충북대)

### [ 강좌개요 ]

최근 정보통신 산업의 발전을 계기로 관련 기술 또한 발전하고 있는 추세이다. 특히, 네트워크 분야에서의 발전은 과거의 방식에서 많은 부분 변화되고 있으며 이에 대응한 네트워크 관련 발전된 실험 방식이 요구된다. 따라서 본 강좌에서는 정보통신 및 데이터 통신의 기본적인 지식을 습득하며, 이를 직접 체험함으로써 지식 활용도를 더욱 높이고자 한다.

### [ 수강대상 ]

· 학부생(3,4학년) 석박사 과정, 관련기업체 회사원  
· 회로설계 및 반도체 소자 관련학과 대학원생 및 관련기업체

### [ 강의수준 ]

· 중급+고급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· 데이터통신설계, 디지털공학

\* 문의 : 충북대 IDEC 라해미 (043-261-3572, idec\_haemi@naver.com)

## ▶▶▶ 한양대 IDEC 개설 강좌 안내

### ■ 강좌일 : 7월 4일

- **강좌 제목** : 지능형 영상 및 비전 시스템
- **강사** : 신현철 교수 (한양대학교), 광노준 교수 (아주대학교)

### [ 강좌개요 ]

영상처리 및 인식 기술을 소개한다. High Dynamic Range (HDR) 이미지의 Tone mapping 기법과 특징점 매칭 기반 파노라마 영상 생성 기술을 설명한다. 인식 부분에서는 하위 레벨 특징인 엣지를 이용하여 관심영역을 확정하고 상위 레벨 Bag of Features (BoF) 및 Scale Invariant Feature Transform (SIFT) patch 와 K Nearest Neighbor (KNN) 기반 matching 방법을 이용한 효과적인 차량인식 기술을 설명한다. Haar-like feature, Histogram of Oriented Gradient (HoG) 특징과 Adaboost, Support Vector Machine (SVM) 분류기를 결합한 보행자 인식 방법과 deformable part based 와 integral channel feature 를 적용한 개선된 보행자 인식 방법을 강의한다.

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초중급

### [ 강의형태 ]

· 이론

### [ 사전지식, 선수과목 ]

· 이미지 프로세싱, 컴퓨터 비전

### ■ 강좌일 : 7월 9일

- **강좌 제목** : 디지털 전기 자동차의 운행 제어를 위한 특징점 검출 및 매칭 가속 하드웨어
- **강사** : 김이섭 교수 (KAIST)

### [ 강좌개요 ]

특징점 검출 및 매칭 알고리즘에 대해서 먼저 알아본다. 이를 에어지/면적 효율적으로 가속해서 고해상도 비디오 스트림을 실시간으로 처리할 수 있는 특징점 검출 및 매칭 하드웨어를 소개한다

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초중급

### [ 강의형태 ]

· 이론

### ■ 강좌일 : 7월 9일-11일

- **강좌 제목** : AUTOSAR 개발을 위한 UML
- **강사** : 이종열 교수 (전북대학교), 조정훈 교수 (경북대학교), 조민택 (굿소프트웨어랩)

### [ 강좌개요 ]

본 강의는 AUTOSAR 시스템 개발에 사용되는 모델링 언어인 UML (Unified Modeling Language)에 대하여 소개한 후, UML의 AUTOSAR profile에 대하여 학습한다.

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초급

### [ 강의형태 ]

· 이론

### ■ 강좌일 : 7월 11일-13일

- **강좌 제목** : 디자인 컴파일러
- **강사** : 김정대 대표이사 (EDA Ellitech)

### [ 강좌개요 ]

본 강좌는 System-On-Chip 디자인에 필수 과정인 로직합성 (Synthesis)에 대한 소개 및 환경설정, 디자인과 라이브러리 객체 등을 알아보고 최적의 회로합성을 위한 Synthesis Option, 회로합성 기법과 이를 완벽하게 하기 위한 design constraint 에 대해 알아보고, 이같은 과정을 현재 산업계에서 널리 사용되는 Synopsys사의 Design Compiler 설계 툴로 실습을 통해 숙지하는 과정이다.

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초중급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· HDL 문법과 회로 설계 응용, 디지털 논리회로, UNIX 기본 사용법 및 vi 에디터

### ■ 강좌일 : 7월 13일

- **강좌 제목** : 계산사진학 소개 (Introduction to Computational Photography)
- **강사** : 이승용 교수(포항공대)

### [ 강좌개요 ]

본 강의에서는 계산사진학의 개념을 소개하고, 포항공대에서 개발된 계산사진학 기술들을 소개한다. 대략적인 강의계획과 시간은 다음과 같다.

- 계산사진학 소개 (0:30)
- 계산사진학 과제 결과 소개 (1:30)
- 영상 블러제거 기술 (1:30)
- 영상 흑백화 기술 (0:30)
- 사진 수직보정 기술 (1:00)
- 영상 추상화 기술 (1:00)

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의형태 ]

· 이론

### [ 사전지식, 선수과목 ]

· 영상처리에 대한 기본 지식

### ■ 강좌일 : 7월 16일-17일

- **강좌 제목** : SoC Design Methodology
- **강사** : 신현철 교수 (한양대학교), 조경순 교수 (한국외대), 최기영 (서울대학교)

### [ 강좌개요 ]

먼저 SoC 설계의 개발 동향과 개요, 저전력과 관련 된 이슈들에 대해서 소개한다. 그리고 저전력을 위한 Clock Gating, Multi-threshold, DVFS 등 여러 기술들의 특징 및 장단점들을 설명한다. 미래 시장에서도 많은 수요가 발생 할 MPSoC 기술에 대하여 설명한다. 멀티코어 시스템에 효과적으로 매핑/스케줄링을 위한 방법으로 Static과 Dynamic Scheduling 방법의 장단점에 대해서도 논의 한다. 최근 반도체 공정의 발달로 인한 집적도 향상으로 설계의 복잡도도 함께 상승하고 있다. 설계 규모가 커지고 복잡도로 인한 문제들이 발생하고 있는데, 이를 해결하기 위한 floorplanning 방법에 대해서도 강의한다.

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 중급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· VLSI 집적회로, 알고리즘 어플리케이션

### ■ 강좌일 : 7월 20일

- **강좌 제목** : SoC Design Methodology
- **강사** : 송재훈 강사(트란소노)

### [ 강좌개요 ]

Verilog HDL은 업계표준으로 널리 사용되고 있는 범용 하드웨어 기술 언어이다. 설계의 규모가 점점 대형화되고, 따라서 요약된 설계 기술 표현이 요구되는 상황에서 Verilog는 필수 설계언어로 인식되고 있다. 본 강좌를 통해 Verilog 언어에 대한 이해와 회로합성 (synthesis) 측면에 기초한 올바른 RTL 코딩 기술 방법 및 설계 가이드라인에 대해 다룸으로써 효과적인 설계를 할 수 있도록 이론과 실습수업을 병행 하도록한다.

### [ 수강대상 ]

· 석박사 과정, 관련 회사원

### [ 강의수준 ]

· 초급

### [ 강의형태 ]

· 이론+실습

### [ 사전지식, 선수과목 ]

· Unix 또는 linux 기본적 사용법 정도의 지식, 디지털 논리회로에 대한 기본 지식 (필수는 아님)

\* 문의 : 한양대 IDEC 이은미 (031-400-4079, ipc@idec.hanyang.ac.kr)

# SiP 환경에서 메모리 반도체의 새로운 기능과 가능성



선형설계그룹 연구소 SKhynix  
 박근우 상무 설계그룹장  
 연구분야 : New memory design, High speed Interface, CAD  
 E-mail : kwpark311@gmail.com  
 http://www.skhynix.com



박근우 2018

## 서론

최근의 SoC (system on chip) 시스템의 경우 내장되는 코어의 개수가 증가함에 따라 온 칩 데이터 버스에서 요구되는 데이터 전송 대역폭 요구량(bandwidth requirement)이 매우 증가하고 있으나, 프로세서보다 상대적으로 낮은 메모리 성능에 의해서 시스템의 성능 저하가 발생하고 있다[1]. 지금까지 메모리의 성능 향상은 주로 리소그래픽(lithographic) 공정의 미세화를 통해서 개선되어 왔으나, 공정이 미세화함에 따라 발생하는 누설전류의 양이 증가하게 되고, 감소한 배선 크기 때문에 증가하는 딜레이를 보정하기 위하여 리피터의 사용이 늘어나기 때문에 저전력 설계가 어려워지는 문제가 발생한다.

## 본문

성능적인 관점에서는 일반적으로 2D (2 dimensional) SoC 시스템은 빠른 속도 동작하는 SRAM (static random access memory) 또는 내장 DRAM (eDRAM: embedded dynamic random access memory)으로 구성된 캐시 메모리를 이용하여 메모리 시스템의 성능을 향상시킨다. 이와 같은 기술은 과거 단일 스레드 또는 적은 수의 스레드를 사용하는 응용에서는 시스템 성능 향상에 크게 이바지해 왔다. 하지만 최근에 많은 수의 스레드를 사용하는 응용 프로그램에 대한 수요가 꾸준히 증가하고 있으며, 이는 기존의 2D 구조에서 캐시 메모리의 사용으로 얻을 수 있는 데이터 대역폭으로는 원하는 성능을 얻기 어려운 상황이 될 것으로 예상된다.

특히 클라우드 컴퓨팅 환경이 도입됨에 따라서 고성능 스토리지 서버의 요구가 증가하고 있으며, 가상화를 통해서 한정된 컴퓨팅 노드의 성능을 개선하기 위한 시도가 활발히 이루어지고 있는데, 이와 같은 가상화 환경에서 단위 컴퓨팅 노드에 올라가는 가상 머신의 수가 증가하게 되면 한정된 메모리 노드에 대한 메모리 요청이 증가하게 되고 이는 필연적으로 메모리에 대한 데이터 대역폭의 요구량을 증가시키게 된다.

따라서 메모리 제품군의 전력소모 감소와 성능향상을 기존의 방식처럼 공정 미세화를 통해서 달성하는 것은 점점 어려워지게 될 것으로 예상하고 있다. 이와 같은 문제를 해결하기 위하여 최근에 3D 집적기술 (3 dimensional technology)을 개발하려는 시도가 학계와 산업계에서 활발히 진행 중이다. 3D SiP (system in package) 집적 기술이란 반도체 제품을 수직으로 적층함으로써

단위 면적에 대한 집적도를 증가시키는 제조 기술이다.

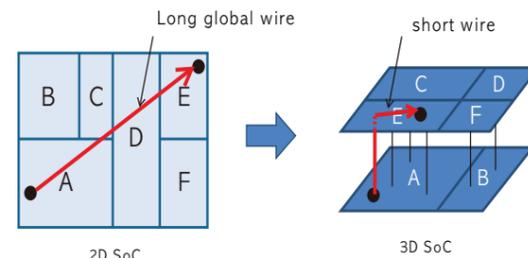


그림 1. 3D 집적기술의 장점

그림 1은 3D 집적기술의 2D 집적기술에 대한 장점을 설명하는 그림이다. 3D 집적기술은 수직 배선을 사용하기 때문에 배선의 길이를 줄임으로써 배선 딜레이를 줄일 수 있으며, 수직 적층을 사용하기 때문에 단위 면적당 높은 집적도를 얻을 수 있는 장점이 있다. 또한, 많은 양의 데이터 전송을 요구하는 기능 블록을 마주 보게 적층하여 TSV (through silicon via)를 통해서 연결할 수 있기 때문에 높은 데이터 대역폭과 적은 전송 레이턴시를 보장할 수 있고, 작은 폼팩터 내에 새로운 기능들을 집적할 수 있다. 배선의 길이가 줄어들기 때문에 전력 효율이 향상하게 되며 전체적인 성능과 가격 효율성을 달성할 수 있는 장점이 있다.

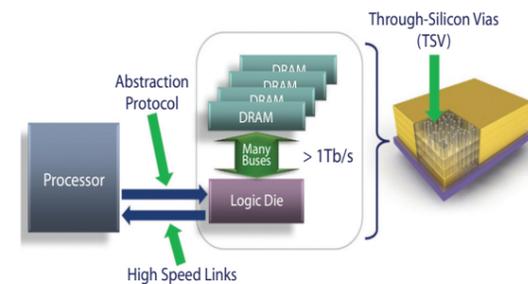


그림 2. 마이크론의 HMC 개념도

그림 2는 마이크론의 3D 집적기술의 예인 HMC (hybrid memory cube)의 개념을 설명하는 그림이다. HMC는 로직과 메

모리를 TSV 기술을 이용하여 적층함으로써 미래의 컴퓨팅 환경이 요구하는 고성능의 시스템에 적합한 새로운 메모리 구조이다[2]. 이와 같은 3D 집적기술을 이용한 새로운 메모리 시스템은 증가한 데이터 전송 대역폭을 제공할 수 있으며, 높은 전력효율과 적은 물리적 면적을 보장할 수 있는 장점이 있다.

HMC와 같은 3D 집적기술을 응용한 새로운 메모리는 로직 다이를 통해서 외부 프로세서와 적층 메모리 간의 통신을 증대하게 된다. 또한, 프로세서와의 통신 효율성을 향상시키기 위해서 프로세서와는 추상적 통신 프로토콜(abstraction protocol)을 사용하게 된다. 고속의 인터페이스를 지원하기 위해서 시리얼 인터페이스를 통해서 전송된 데이터를 로직 다이 내에서 DRAM과 인터페이스를 위하여 병렬화 하기 위한 SERDES 블록을 포함한다. 프로세서와의 인터페이스가 추상화 되어 있기 때문에, 메모리 특성에 따라서 읽기/쓰기 레이턴시를 줄이기 위하여 적절한 스케줄링(scheduling) 기능을 수행하기 위한 중재 (arbitration) 블록을 내장한다.

또한, 적층기술을 통해서 고집적의 메모리를 내장하게 되며, 다수의 TSV를 통해서 적층 메모리를 연결하고, 시스템의 특성상 다수의 채널을 사용하기 때문에 3D 메모리 시스템의 신뢰성이 매우 중요하게 된다. 따라서 ECC(error correction code), BIST(built-in self test), BIRA(built-in repair analysis) 및 BISR(built-in self repair)등과 같은 RAS(reliability, availability, and serviceability) 기능이 매우 중요하다.

과거 메모리 산업의 게임의 법칙은 서두에서 설명한 것처럼 빠른 공정 미세화를 통해서 가격경쟁력을 확보하는데 있었다. 하지만 현재 미세 공정의 한계가 다다르고 있으며, IT 산업이 요구하는 높은 전력 효율성과 성능을 메모리 제품군이 만족시키기 위해서는 과거 공정 미세화로는 현실적으로 불가능하고, 3D SiP 집적 기술을 통해서 로직 기능을 메모리 하위 시스템에 내장하는 새로운 가치의 창조가 필연적일 것이라고 예상된다.

이와 같은 새로운 요구는 메모리 산업계로 하여금 끊임없는 변화와 혁신을 요구하고 있으며 동시에 새로운 비즈니스에 대한 가능성을 열어주고 있다. 즉 과거의 수동적인 저장장치였던 메모리 시스템이 로직 기능을 메모리 시스템 내에 내장하는 능동적인 메모리 제품군의 개발을 통해서 새로운 가치를 창조할 수 있는 기회가 마련된 것이다. 이러한 새로운 게임의 법칙에 적응하기 위하여 메모리 산업

계는 로직 설계의 주요 기술에 대해서 열린 마음으로 준비해야 하는 상황에 직면해 있다.

## ■ 로직 다이의 주요 기능 블록

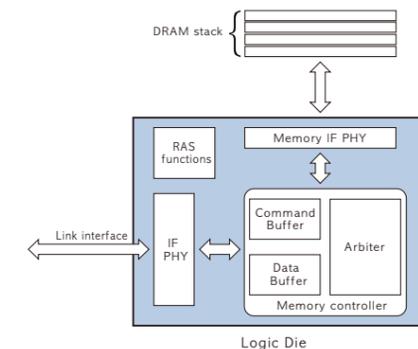


그림 3. 로직 다이의 주요 기능 블록 구성도

그림 3은 3D 적층 메모리에서 외부와 내부 적층 메모리 간의 데이터 통신의 중계를 담당하는 로직 다이의 주요 기능 블록을 설명하는 그림이다. 로직 다이는 외부와의 인터페이스를 위해서 고속의 시리얼 인터페이스를 사용하며, 확장성을 고려하여 추상화된 인터페이스 프로토콜을 이용하게 된다. 외부로부터 전달받은 시리얼 데이터를 프로토콜에 맞춰서 해석한 뒤, 내부 적층 메모리의 프로토콜에 맞춰서 병렬화하기 위한 SERDES 블록을 내장한다. 일반적으로 DRAM은 구조적 특징에 의해서 메모리 리퀘스트의 순서를 재배열함으로써 읽기 및 쓰기 동작의 성능을 크게 향상시킬 수 있다. 따라서 로직 다이는 메모리 리퀘스트 순서를 재배열하기 위한 Arbitration Unit이 내장된다.

일반적으로 3D 적층 메모리 구조는 고집적의 메모리를 내장하고, 일반 DIMM 구조보다 많은 수의 메모리 채널을 채용하기 때문에 메모리에 대한 신뢰성을 보장하기 위한 ECC 및 BIST/BISR 블록을 필요로 하게 된다.

■ 고속 인터페이스 (Link 인터페이스, SerDes, Optical interface)  
 현재 IT 기술은 이미 초당 tera-flop를 넘어서서 2018년 exa-flop 연산 system을 바라보게 되었고, 이런 super 연산 system

에서 쏟아져 나오는 초고속 대용량 data의 임시 저장소 역할을 하는 memory는 3D 적층 기술을 이용한 저장용량의 거대한 확장뿐만 아니라 digital data를 유선상에서 주고 받는 역할을 하는 interconnect 회로의 동작 속도향상에 대한 요구가 증대되고 있다. 이러한 요구에 상응하여 interconnect 설계는 이미 1-TBps의 total bandwidth, 한 channel에서 수 Gbps의 통신을 해야 하는 수준에 이르렀으며, exa-scale server의 경우, 10<sup>9</sup>-GBps의 total BW, 100Gbps 이상의 per channel bandwidth를 만족시켜야만 한다.

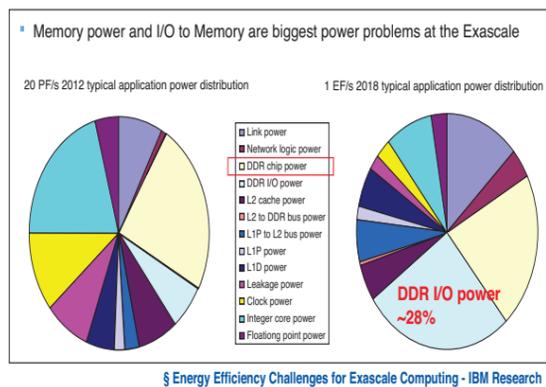


그림 4. Exa-scale server에서의 memory, interconnect 전력

이러한 초고속 digital data 송수신 회로는 빠른 digital data 변환 자체의 난관을 해결해야 할 뿐만 아니라, data 전환 속도 증가에 따른 dynamic energy 소모 증가로 인한 과도한 열과 3D 적층 회로의 구조특성에서 오는 방열의 한계 때문에, 저전력 회로 설계기술에도 일조해야 하는 상황이다. 특히, exa-scale server에서의 memory interconnect가 소모하는 전력이 전체 system 전력의 28%로 예상되는 만큼 그 중요성이 가중되고 있다. (그림. 4)

**■ Memory Interface내에서의 Interconnect 설계 초점**  
Multi-giga-Hz 수준의 interconnect 회로에서 나타나는 대표적 noise인 Inter symbol interference(ISI)와 고밀도 고속 channel에서 channel 간에 대두하는 crosstalk noise는 좁은 영역에서 많은 고속 병렬 channel을 요구하는 memory interface에서 치명적인 error의 원인이다.

따라서 이를 보상하기 위한 회로설계 기술이 다방면으로 연구 적용되고 있다. 특정 속도와 구조에 국한되지 않게 또는 예기치 못한 noise에 유연하게 대처할 수 있도록 고안한 adaptive ISI 보상 회로나, loss가 큰 back plane에서 주로 수신회로에서 쓰이던 decision feedback equalizer(DFE) 회로, 또는 송수신 양방향 equalization 회로까지 다양한 ISI를 보상할 수 있는 모든 기술이 interconnect 회로에 적용되는 시점에 있다.

또한, channel에서 송신 회로 쪽에서 발생하는 near-end crosstalk나 수신 회로 쪽에서 발생하는 far-end crosstalk를 상

쇄할 수 있는 회로 기법도 꾸준히 연구되고 있고, 일부 memory interface에 적용하기 용이한 기술은 부분적으로 적용하고 있는 것이 현실적이다. 3D System에서만 아니라 모든 회로 system 내에서 가장 큰 오동작 원인 중의 하나인 열 제어 문제나 portable device의 전력원인 건전지의 짧은 사용시간의 제약을 해결하기 위해 memory interface 역시 저전력 회로 설계에 대한 노력이 정점에 있다.

Phase locked loop(PLL)이나 clock and data recovery(CDR) 회로를 channel 간에 서로 공유하여 불필요한 회로 또는 동작을 배제하거나, clock을 공급할 때 clock의 swing을 줄여서 분배하는 방식이나 송수신 신호의 voltage 폭을 줄여서 AC 전력 소모를 줄이고, 아예 voltage swing이 이뤄지는 평균 voltage level 자체를 낮춰서 interconnect channel에서의 DC 전력을 줄이는 등의 다양한 방식들을 고려하여 적용하고 있다. 뿐만 아니라, 고주파와 저전력이라는 시대적 흐름은 다중 병렬 통신이 요구되는 memory interface의 특수한 특성 때문에 한 channel에 한 bit를 보낼 수 있는 single-ended 방식을 고수해오던 memory data 전송방식의 기존의 틀 자체도 서서히 흔들고 있다.

**■ Memory Interface내에서의 Interconnect 설계 방향**

Memory interface 내의 interconnect design은 고주파 저전력을 위한 설계기술을 지속해서 향상시켜 기존의 single-ended 방식에 적용시켜 성능을 향상에 나가면서도, 기존 방식이 한계를 예상하여 고주파와 저전력 통신에 더 적합한 differential 방식이나 pseudo-differential 방식에도 축적된 interconnect 설계 기술 적용을 시도하고 있다. 전송 방식 변화뿐만 아니라 system in package(SiP)나 system on chip(SoC) 등의 새로운 system 환경에 필요한 silicon carrier나 on-chip 또는 3D interconnect design에 대한 설계 기술 확보에도 노력을 기울이고 있다.

더불어, 한 편으로는 memory interface 내의 interconnect design에 다가올 커다란 지각 변동에도 촉각을 새우고 있다. 기존 전송방식의 속도 제약을 월등히 초월하는 차세대 interconnect로서 이미 오래전부터 각광받아 온 optical interconnect가 상용화에 임박했다고 판단하여, 적용 가능성과 시기에 대해 꾸준한 분석을 하면서, 이에 상응하는 기술을 확보하여 다가올 변화를 준비하고 있다.

**■ 메모리 컨트롤러와 데이터 패스**

일반적으로 DRAM은 구조적 특징에 의해서 메모리 리퀘스트의 순서를 재배열함으로써 읽기 및 쓰기 동작의 성능을 크게 향상시킬 수 있다. 여기서 이용되는 DRAM의 특징은 열 버퍼 지역성(row buffer locality)과 बैं크 수준 병렬성(bank level parallelism)이다.

그림 5는 열 버퍼 지역성과 बैं크 수준 병렬성을 적극적으로 활용하면 메모리의 읽기/쓰기 성능을 향상시킬 수 있음을 설명하는 그림이다. 기본적으로 DRAM은 메모리 리퀘스트가 들어오면 해당 리퀘스트의 열 주소에 해당하는 메모리 열의 데이터를 열 버퍼에 복사한

뒤 해당 행 주소의 데이터를 열 버퍼에 접근하는 방법으로 데이터에 접근하게 된다. 따라서 현재 열려있는 열에 대한 데이터 리퀘스트 연속적으로 처리해주면, 열 버퍼를 열고 닫는 작업 오버헤드를 줄일 수 있게 되는데 이것을 열 버퍼 지역성이라고 한다. 또한, DRAM은 독립적으로 접근할 수 있는 다수의 बैं크로 구성되어 있는데, 따라서 메모리 리퀘스트의 순서를 बैं크를 번갈아 접근할 수 있는(bank interleaving) 형태로 재배열할 경우 읽기 및 쓰기 오버헤드를 크게 줄일 수 있다.

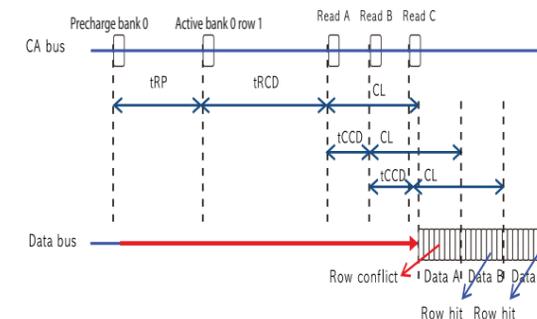
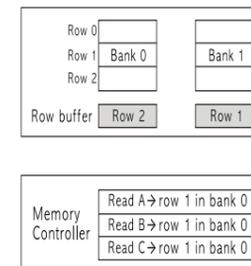


그림 5. DRAM의 열 버퍼 지역성과 बैं크 수준 병렬성의 특징

그림 6은 일반적인 메모리 컨트롤러의 구성을 설명하는 그림이다. 호스트 인터페이스를 통해서 입력되는 메모리 리퀘스트는 동작의 종류(읽기 또는 쓰기)에 따라서 읽기 리퀘스트 버퍼 또는 쓰기 리퀘스트 버퍼에 채워지게 된다. 버퍼에 채워진 리퀘스트의 주소는 메모리 주소 매핑 블록에서 DRAM의 주소 매핑 정책에 따라서 열 주소 및 행 주소가 계산된다.

일단 DRAM 주소가 계산되면 Arbitration 블록에서 열 버퍼 지역성과 बैं크 수준 병렬성을 고려하여 최적의 리퀘스트 순서를 재배열하게 되고, 재배열된 순서에 따라서 명령어 생성기에서 DRAM의 타이밍 파라미터와 명령어 프로토콜에 맞춰서 DRAM 명령을 순차적으로 생성하여 DRAM에 리퀘스트를 보내게 된다. 일반적으로 이와 같은 메모리 컨트롤러는 프로세서 내에 내장되는 형태로 구현되고 메모리 블록은 단순히 메모리 컨트롤러의 명령을 수행하는 장치로 구성된다. 하지만 3D 적층 형태의 메모리 구조에서는 집적되는 메모리 셀의 수가 상대적으로 방대하고, 다수의 적층 메모리가 확장되는 경우의 호환성을 고려할 때 메모리 컨트롤러가 3D 적층 메모리의 로직 다이 내에 내장되는 것이 효율적이다.

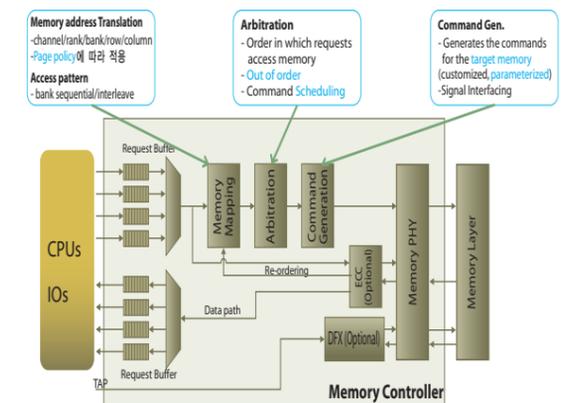


그림 6. 메모리 컨트롤러의 구조 및 데이터 패스

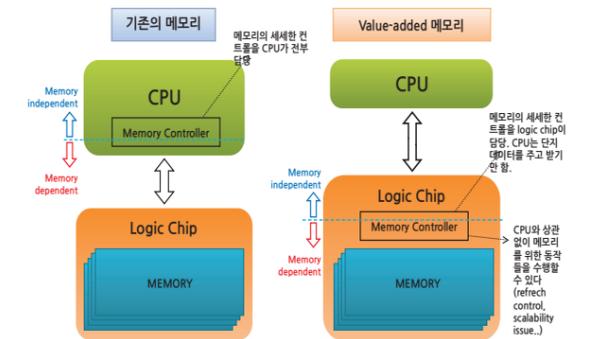


그림 7. 적층메모리에 적합한 Controlled 메모리 구조

그림 7은 이와 같은 적층 메모리에 적합한 새로운 개념의 컨트롤러 메모리 구조(controlled memory architecture)를 설명하는 그림이다. 메모리 컨트롤러가 적층 메모리 구조의 로직 다이에 내장됨으로써, 프로세서와의 인터페이스 복잡도를 줄이고, DRAM에 대한 고성능의 데이터 서비스를 제공함으로써 전체적인 시스템 성능을 향상시키고, 시스템 제조 비용을 감소시킬 수 있는 장점이 있다.

**■ RAS 기능 (reliability, availability, and serviceability features)**

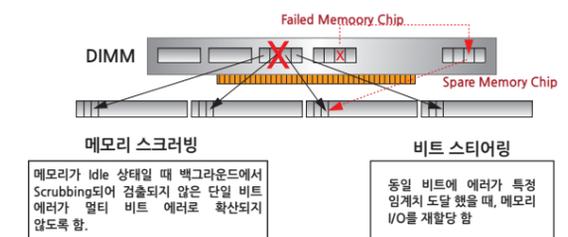


그림 8. IBM RAS 기능의 예

그림 8은 IBM Power 7의 RAS 기능을 설명하는 그림이다[3]. RAS란 신뢰성, 이용 가능성, 서비스 가능성을 의미하는 단어이며, 일반적으로 고성능 서버에서는 시스템 및 메모리 고장에 의해서 증가하는 유지보수 비용(maintenance fee)을 줄이기 위해서 많이 적용되는 기능이다. IBM RAS 기능의 주요 특징은 ECC를 사용한 단일 비트 에러 교정 및 다중 비트 에러 검출을 기본으로 사용하며, 접근되지 않는 메모리 영역에 대한 검사를 위하여 메모리 스크러빙(memory scrubbing)을 사용한다.

하드 단일 비트 에러들이 발생하는 경우에 해당 페이지를 할당해제(deallocation) 하는 기능이 있으며, 같은 비트에서 발생하는 에러의 개수가 특정 임계치(threshold)를 넘게 되면, 해당 메모리 라인을 스페어 메모리 칩의 라인으로 대체하는 비트 스티어링(steering) 기능을 지원한다.

3D 적층 메모리는 고집적도의 메모리를 제공할 수 있고, 고성능의 컴퓨팅 노드를 타겟으로 하기 때문에 이와 같은 RAS 기능이 필수적이라고 할 수 있다. 적층 메모리 구조에서는 기존의 ECC 기반의 칩킬(chip kill)과 메모리 재활당 이외에, 필드 레벨의 신뢰성 수준을 만족하기 위해서 내장된 자체 테스트 및 리페어(BIST: built-in self repair) 등의 기능을 포함하게 될 것으로 예상하고 있다.

동작 중에 발생할 수 있는 소프트 고장에 의한 에러를 보정하기 위한 ECC 기능 이외에 하드고장과 ECC가 보정할 수 있는 에러 비트 수보다 많은 에러가 발생하는 경우에 고장을 검출하기 위한 온라인 BIST 기능이 추가적으로 필요하다. 또한, 메모리 할당 해제 및 재활당 등의 기능으로 해결되지 않는 특정 임계치 이상의 고장이 발생하는 경우, 적층 메모리 내의 여분의 메모리 셀(redundancy)로 대체하기 위한 e-fuse와 이를 활용하여 리페어를 수행할 수 있는 BIRA 기능이 추가될 것으로 예상된다.

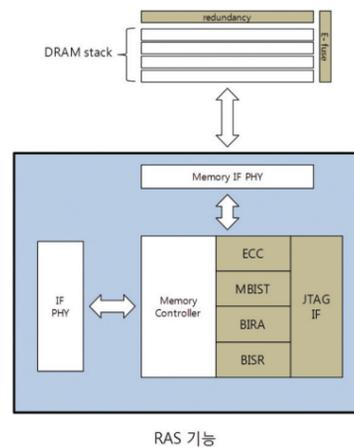


그림 9. 적층 메모리에서 필요로 하는 RAS 기능

**결론**

과거 메모리 산업의 성장동력은 공정 미세화와 웨이퍼 크기를 증가 시킴으로써 얻을 수 있는 가격경쟁력이었다. 그러나 공정 미세화로 인해서 얻을 수 있는 가격경쟁력의 마진이 미세화 한계에 다다름에 따라서 줄어들게 되며, 새로운 IT 산업의 변화로 인해서 고집적, 고성능, 및 고전력효율의 메모리 제품을 필요로 하는 추세에 따라서 새로운 패러다임의 경쟁력이 메모리 산업에서 필요로 하게 될 것으로 예상된다.

이를 위해서 새로운 시대에는 TSV 기술을 기반으로 하는 3D 적층 메모리 구조를 통해서 가치창조의 경쟁력이 메모리 산업에서 주요 성장동력이 될 것이며, 이를 위하여 컨트롤러 DRAM, 고속 인터페이스 기술 및 RAS 기능 등 과거 메모리 생산 업계에서 보유하지 못했던 로직 설계의 기술이 중요해 질것으로 예상된다. 이를 위해서 메모리 업계는 ASIC 설계, 에러 코딩 알고리즘, 및 시스템 아키텍처 기술을 준비해야 하는 새로운 도전을 맞이하게 될 것이다.

**Reference**

[1] B. Jabob, S. W. Ng, and D. T. Wang, "Memory Systems - aches, DRAM, Disk," Elsevier, Chapter 7, 2008  
 [2] www.micron.com/innovations/hmc.html  
 [3] D. Henderson, J. Mitchell, and G. Ahrens, "Power 7 System RAS: Key Aspects of Power Systems, Reliability, Availability, and Serviceability,"



Call for Papers  
ISOCC 2012, Theme: SoC Design for Smart Living

2012 International SoC Design Conference  
November 4-7, 2012 | Ramada Plaza Hotel, Jeju, Korea



International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2012 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals on special sessions.

**Paper Submission**

Complete 2-page to 4-page manuscript (in Standard IEEE double-column format) is requested. Papers must be submitted electronically in PDF format. Only electronic submission will be accepted. For more information, please refer to the conference website: <http://www.isocc.org>.

**Areas of Interest**

- |  |                                       |
|--|---------------------------------------|
| Analog and Mixed-Signal Circuits       | Communication SoCs                    |
| Display Driver and Imaging Devices     | Embedded Memories                     |
| Embedded System Software               | High Speed Signal Interfaces          |
| Low Power Design Techniques            | Microprocessor and DSP Architectures  |
| Energy-Aware Systems                   | SoC Design Methodology                |
| Multimedia (A/V) SoCs                  | SoCs for Automotive Technology        |
| Wireline & Wireless ICs (RF ICs)       | Sensor & MEMS                         |
| Signal Integrity/Interconnect Modeling | Power Electronics (Energy Harvesting) |
| SoC Testing and Verification           | Bio & Medical Devices                 |

**Special Sessions**

Proposals are solicited for special sessions. Please submit proposals for special sessions to the special session chair.

**Chip Design Contest**

Design contest provides the academia with the opportunity to introduce their novel chip designs to the real world. The selected designs will be awarded.

**Best Paper Awards**

The authors of selected papers will be awarded for technical contributions and their papers will be invited for publication in the Journal of Semiconductor Technology and Science (SCIE) published by Institute of Electronic Engineers of Korea (IEEK). (Visit <http://www.jsts.org> for submission details).

**Important Dates**

- Deadline for submission of special session proposal; Jun. 30, 2012
- Acceptance notice of special session proposal; Jul. 14, 2012
- Deadline for submission of regular session full paper; Jul. 21, 2012
- Deadline for submission of chip design contest; Aug. 18, 2012
- Deadline for submission of special session full paper; Aug. 18, 2012
- Notification of acceptance (all submitted papers); Sep. 01, 2012
- Deadline for final paper submission; Sep. 15, 2012
- Deadline for author and early-bird registration; Sep. 15, 2012

At least one author of each accepted paper must register by September 15, 2012.

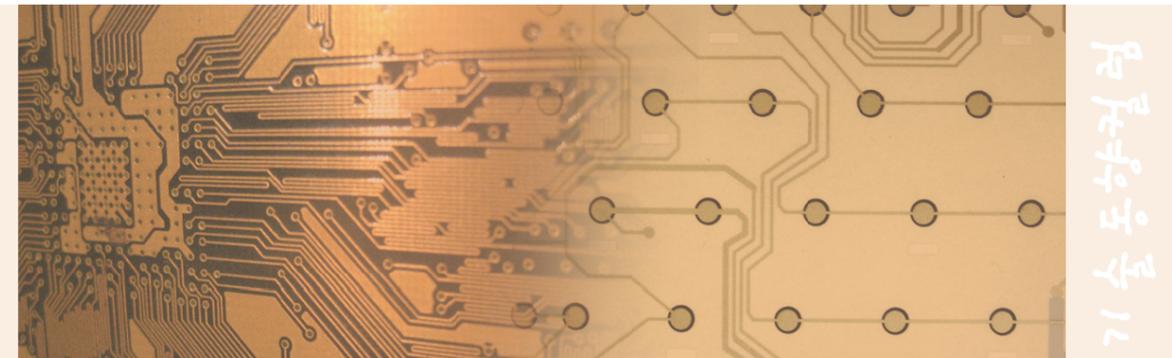
- Local Arrangement Chair**  
Jaeyoon Lim, Jeju Nat' l U. Korea  
Sang Bock Cho, U. of Ulsan, Korea
- Poster Session Chair**  
Kee-Won Kwon, Sungkyunkwan U. Korea
- Chip Design Contest Chair**  
Kwang-Hyun Baek, Chung-Ang U. Korea



# 의료용 X선 검출기 연구동향



한양대학교 융합전자공학부  
 권오경 교수  
 연구분야 : Display, Power management device, High speed interface, Sensor, Bio-medical circuit design  
 E-mail : okwon@hanyang.ac.kr  
 http://ielab.hanyang.ac.kr



## 서론

린트겐에 의해 X선이 발견된 이후 100년이 넘는 현재까지 X선은 인체 내부의 진단을 위한 가장 간편한 방식으로 널리 사용됐다. 필름이나 스크린을 이용하여 X선을 검출하는 아날로그 방식이 오랜 기간 사용되어 왔으나 필름 사용에 따른 재료비와 넓은 보관 장소가 필요하고, 촬영 후 영상을 획득하기까지 시간이 오래 걸리며, 필름 현상을 위해 사용되는 용액에 의한 환경오염 등의 문제점을 갖고 있었다.

이에 비해 디지털 방식은 X선 촬영 후 바로 결과 영상을 확인할 수 있으며, 환자에 대한 방사선 노출량을 줄이면서도 높은 동적 범위를 갖는 영상을 제공한다. 또한, 영상 처리 및 정보 저장 등에서도 뛰어나 현재 X선을 이용하는 의료기기는 아날로그 영상 장비에서 디지털 영상 장비로 대체하고 있다[1].

디지털 영상법은 컴퓨터드 라디오그래피(Computed Radiography, CR)와 다이렉트 라디오그래피(Direct Radiography, DR)로 나눌 수 있다. CR 방식은 X선을 광자극성 인광체(photostimulable phosphor crystals)로 이루어진 영상판(phosphor storage plate)에 조사한 뒤 저장된 정보를 레이저 스캐너 등을 이용하여 전기신호로 변환하여 디지털 영상을 획득하는 방법이다.

DR 방식은 그림 1과 같이 X선을 직접 전기 신호로 변환하는 직접 변환 방식(Direct conversion)과 X선을 가시광선으로 변환한 뒤에 전기 신호로 변환하는 간접 변환 방식(Indirect conversion)으로 나눌 수 있다. 현재 X선 검출기로 사용되는 대부분은 간접 변환 방식을 사용하고 있으며, CCD(Charge-Coupled Device) 센서와 a-Si 평판 검출기(Amorphous Silicon Flat Panel Detector, a-Si FPD)를 사용하는 기술이 대표적이다.

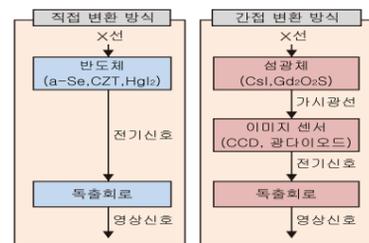


그림1. 직접 변환 방식과 간접 변환 방식의 변환 과정

본 고에서는 현재 사용되고 있는 DR 방식의 대표적인 기술의 특성을

소개하고, 새롭게 발전하고 있는 CMOS 검출기의 장점과 보완해야 할 문제를 소개하고자 한다.

## 본론

### ■ 직접 변환 방식(Direct Conversion)

직접 변환 방식은 X선을 전기신호로 변환시키는 광전도체(photoconductor)를 사용한다. 광전도체로 연구되고 있는 물질은 Si, GaAs, a-Se, CdTe, Hgl2 등이 있지만, 물질 특성이나 방사선 흡수도, 변환 효율 또는 가격 중 한 두 가지 취약한 점을 가진다. 직접 변환 방식은 그림 2와 같은 구조를 사용하여 X선을 바로 전기 신호로 변환하기 때문에 효율이 높고, 그림 3과 같이 X선에 의해 생성된 전자정공쌍(Electron-Hole Pair, EHP)에 전기장을 가하여 이동한 전자 또는 정공을 커패시터에 저장하는 방식을 사용하기 때문에 가시광선에서 빛의 산란 현상이 일어나는 간접 변환 방식보다 공간 해상도가 높은 장점이 있다.

현재 a-Se(Amorphous Selenium)이 상용화되어 주로 사용되고 있지만, 비교적 X선 흡수도가 낮고, 전하의 재결합 및 트랩을 방지하여 전하수집효율(charge collection efficiency)을 높이기 위해서는  $\mu\text{m}$  당 수십 V의 고전압을 인가해야 하므로 X선의 선량(dose)이나 사용 전압을 최소화하는데 제한이 있다. 또한, 영상 래그(image lag)에 의한 이전 영상에 대한 메모리 효과(memory effect)를 갖는 단점이 있다.

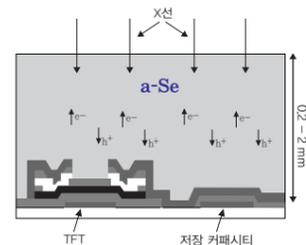


그림2. a-Se를 이용한 직접 변환 방식의 X선 검출 방법[2]

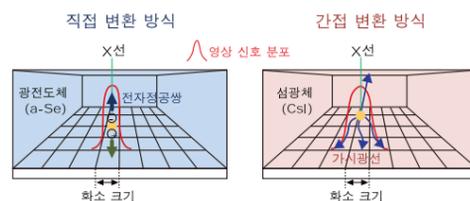


그림3. 직접 변환 방식과 간접 변환 방식의 공간 해상도 차이

### ■ 간접 변환 방식(Indirect Conversion)

간접 변환 방식은 섬광체(scintillator)를 이용하여 X선을 가시광선으로 변환한 뒤에 디지털 이미지 센서를 이용하여 영상을 획득하는 방법으로 현재 가장 널리 사용되고 있다. 간접 변환 방식에서 검출기의 특성을 결정하는 것은 크게 섬광체의 종류와 이미지 센서의 구조이다. 섬광체에는 CsI 또는 Gd2O2S가 사용된다.

일반적으로 간접 변환 방식이 직접 변환 방식보다 공간해상도가 떨어지는 이유는 그림 3에서 보는 바와 같이 섬광체에서 X선이 가시광선으로 변환될 때 발생하는 가시광선이 분산되기 때문인데, CsI의 경우 결정이 검출기 표면과 수직 방향으로 정렬된 기둥 형태를 갖기 때문에 섬광체에서 변환된 빛이 분산되는 것을 줄여주기 때문에 검출기의 공간해상도가 감소하는 문제를 완화시킬 수 있다.

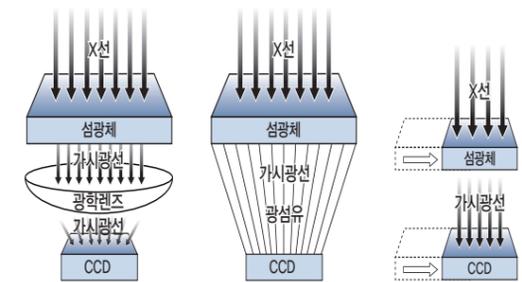


그림4. CCD 검출기 구조. (a) 렌즈 결합 구조, (b) 광섬유 결합 구조, (c) 슬릿-스캔 방식

또한, 섬광체의 종류와 두께에 따라 X선의 변환 효율도 다르기 때문에 검출기를 사용하고자 하는 목적에 따라 알맞은 섬광체를 선택하는 것이 필요하다. 이미지 센서에는 CCD, a-Si FPD, CMOS FPD가 있으며, 각기 제조 방법이나, 물질, 구조적 특징에 따라 가격, 동작 속도, 영상 품질 등에 차이가 있다.

### ■ CCD 검출기

CCD 센서는 가장 오랜 기간 사용된 디지털 광센서이다. CCD는 광다이오드(photodiode)와 스위치로 이루어진 센싱부와 전기 신호를 디지털 값으로 변환하는 리드아웃 IC로 이루어진, 가시광선 영상을 촬영할 수 있는 센서로 CMOS에 비해서 화소에서 수광면적이 차지하는 비율(fill-factor)이 높고 공정이 단순하여 화소부의 잡음이 적은 장점이 있으나, 단결정 실리콘 웨이퍼를 사용하여 제조하기 때문에 생산 가능한 센서의 크기가 웨이퍼의 크기 이하로 제한되며, CMOS 센서와 달리 회로를 집적화시킬 수 없기 때문에 아날로그-디지털 변환기(Analog-to-Digital Converter, ADC)를 내장하거나 잡음 감소를 위한 회로 등을 추가하기 어려운 단점이 있다.

대면적 X선 영상을 획득하기 위해서는 그림 4(a)와 같이 렌즈가 결합된 구조나 그림 4(b)와 같은 광섬유가 결합된 구조를 사용하여 대면적의 영상을 CCD 센서에 축소하여 영상을 획득하거나 그림 4(c)와 같이 슬릿-스캔 방식을 사용하여 X선 조사 영역과 센서를 이동시키면서 대면적 영상을 부분별로 획득하는 방식을 사용한다[3-4].

### ■ a-Si 검출기

센서 패널은 화소별로 전하를 저장한 뒤에 스위치를 이용하여 화소에 저장된 전하량을 행 단위로 읽어낸다. 이러한 방식으로 적용하기 간단하며, 상업적으로 이용 가능한 구조로 그림 5와 같이 포토다이오드와 박막트랜지스터(Thin Film Transistor, TFT)를 조합하는 방식이 있다.

화소의 신호를 읽어내기 위해서 사용되는 수동 화소 센서(Passive Pixel Sensor, PPS)에서는 그림 6과 같이 1개의 광다이오드와 1개의 TFT 스위치로 구성되기 때문에 fill-factor가 크고, 양자효율(quantum efficiency)이 높은 반면, 신호를 읽어 들일 때 잡음 수준(noise level)이 매우 크게 나타나며, 화소 어레이의 크기를 키우거나 화소의 신호를 빠르게 읽어 들이고자 할 때 잡음이 크게 증가한다 [5]. 단결정 구조의 실리콘을 사용하는 CCD나 CMOS 검출기와 달리 비정질 실리콘을 이용하면 대면적의 포토다이오드와 TFT 어레이를 제조할 수 있다.

이러한 특성 때문에 일반 영상 센서 분야와는 달리 의료용이나 산업용 X선 검출기 분야에는 비정질 실리콘 기반의 TFT 어레이 X선 검출기가 잘 알려져 있으며, 널리 사용되고 있다. 하지만 비정질 실리콘은 단결정 실리콘에 비해 전자, 정공의 이동도가 현저히 떨어지기 때문에 스위치로 사용하는 트랜지스터의 크기를 크게 설계하게 된다. 따라서 화소 내의 포토다이오드 면적을 일정 비율로 유지하기 위해서는 화소의 크기를 줄이는데 한계가 있으며, 동작 속도를 향상 시키는 것도 제한이 있다.

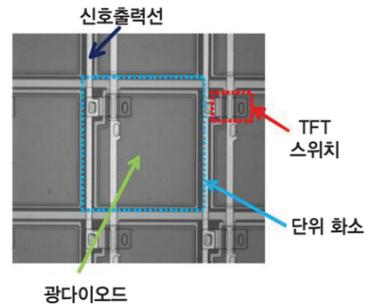


그림5 . a-Si 검출기의 화소

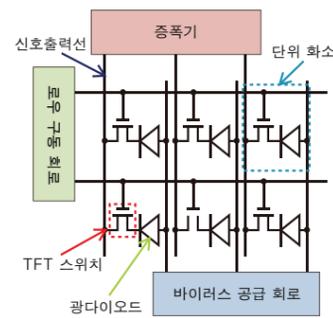


그림6 . a-Si 검출기의 블록도

■ CMOS 검출기

CMOS 검출기는 단결정 구조의 실리콘을 사용하기 때문에 비정질 구조의 실리콘보다 전자, 정공의 이동도가 약 천 배 높기 때문에 비정질 구조의 검출기에 비해 많은 장점을 갖고 있다. CMOS 검출기의 주된 장점으로는 a-Si 검출기보다 높은 검출 속도를 들 수 있는데 a-Si 검출기가 2000 × 3000의 화소를 초당 3프레임의 속도로 읽어 들일 때, CMOS 검출기는 초당 30프레임 이상의 속도로 읽어 들일 수 있다[6].

이와 같은 고속 동작은 수술 시에 동영상을 제공할 수 있으며, 컴퓨터 단층 촬영(Computer Tomography, CT) 시 환자가 숨을 참아야 하는 시간을 단축하여 촬영 중에 발생하는 움직임에 의한 모션 아티팩트(motion artifact) 현상을 감소시킬 수 있다. 또한, CMOS 검출기는 그림 7과 같이 능동 화소 센서(Active Pixel Sensor, APS) 구조로 이루어져 있기 때문에 a-Si 검출기가 PPS 구조를 사용함으로써 발생하던 잡음 문제를 효과적으로 제거할 수 있다.

따라서 CMOS 검출기는 a-Si 검출기보다 잡음 수준이 훨씬 낮아지기 때문에 같은 수준의 신호 대 잡음비(Signal-to-Noise Ratio, SNR)를 얻고자 할 때 조사되는 X선의 선량을 감소시킬 수 있다. 이와 같은 특징은 오랜 시간 X선을 조사해야 하는 CT나, 투시 방사선 촬영(fluoroscopy)에서 큰 이점으로 작용한다.

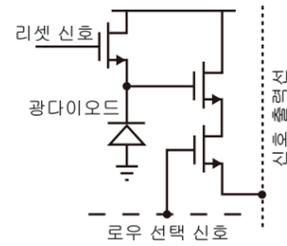


그림7 . CMOS 능동 화소 센서의 화소 구조

CMOS 구조는 a-Si 구조에 비해 매우 작은 트랜지스터를 사용할 수 있기 때문에 유방조형술(mammography)과 같이 공간해상도가 높은 영상이 요구될 때 화소의 크기를 줄일 수 있는 장점이 있다. 또한, CMOS 검출기는 동일한 단결정 실리콘 기판 위에 화소부와 독출 회로(readout circuit)를 함께 구현할 수 있기 때문에 비정질 기판에서 제조된 화소부와 단결정 실리콘 기판에서 제조된 독출 회로로 구성된 a-Si 검출기가 갖는 칩과 칩 사이에 신호를 전달할 때 잡음이 발생하는 문제가 없으며, 제조 단가도 낮출 수 있는 장점이 있다.

이런 장점에도 불구하고 X선 검출기 시장의 대부분을 a-Si 검출기가 차지하고 있는 중요한 이유는 제조 가능한 CMOS 검출기의 크기가 제한적이기 때문이다. CMOS 검출기는 단결정 실리콘 웨이퍼로 제조하는데, 일반적으로 사용되는 8인치 웨이퍼로는 13cm × 13cm가 제조할 수 있는 최대 크기가 된다. 그림 8에서 보는 바와 같이 12인치 웨이퍼를 사용한 경우도 최대 사이즈는 17cm × 24cm 수준으로 [7] 유방조형술이나 가슴 또는 골반과 같이 넓은 면적의 검출 영상이 필요한 분야에 적용하기에는 검출기의 크기가 작다. 그러나 제조 가능한 웨이퍼의 크기가 지속적으로 커지고 있으며, 그림 9에서 보는 바와 같이 작은 면적의 센서를 여러 개 이어 붙여서 큰 면적의 검출기를 구현하는 기술[8]도 상용화되고 있어 검출 면적에 의한 제한은 빠르게 해결되고 있다.



그림8 . 12인치 웨이퍼를 사용한 CMOS 검출기(17 cm × 24 cm) [7]

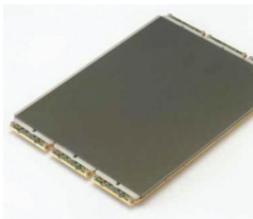


그림9 . Tiling 기술을 사용한 23 cm × 28 cm 유방조형술용 CMOS 검출기 [8]

CMOS 검출기의 다른 단점으로는 섬광체에서 흡수되고 남은 X선에 의해 반도체에 결함이 발생하고, 그 결과 반도체의 성능이 저하되는 것이다. a-Si 검출기도 섬광체가 X선을 모두 흡수하지 못하는 점은 동일하지만, 비정질 구조 자체가 수많은 결함을 포함하고 있기 때문에 X선에 의해 결함이 추가되더라도 성능에는 별다른 영향을 주지 않는다. 따라서 방사선 경도(radiation hardness) 문제는 CMOS 검출기에서 두드러지게 나타난다.

그림 4(b)에서 나타낸 바와 같이 섬광체와 CMOS 센서 사이에 광섬유 플레이트(fiber optic plate)를 삽입함으로써 CMOS 센서에 도달하는 X선을 차단하여 방사선 경도를 향상시키고, X선에 의해 발생하는 회로 잡음을 감소시켜 SNR을 향상시킬 수 있으나, 광섬유 플레이트가 추가됨으로써 변환 효율이 감소하며, 제조 단가도 올라가는 단점이 있다. 또한, 방사선 경도를 향상시키기 위해서 CMOS 센서를 설계할 때, 방사선에 의해 생성된 전하가 효과적으로 제거될 수 있는 레이아웃 구조를 사용하는 등의 기술도 연구되고 있다[9].

■ CMOS 검출기 회로의 연구 방향

의료용 X선 검출기는 조사되는 X선의 선량을 감소시키기 위한 저잡음 및 고속 영상 획득 특성은 공통적으로 필요하고, 활용할 용도에 따라 검출기의 ADC 해상도나 화소의 크기, 영상 획득 속도 등의 특성이 다르게 요구된다. 특히, CT에서 3D 영상을 얻기 위해서는 12 비트 이상의 ADC 해상도가 필요하지만, CMOS 이미지 센서에서 가장 널리 사용되고 있는 단일 경사(single-slope) ADC는 1 비트의 출력 비트를 높이기 위해서는 사용되는 클럭(clock) 속도가 2배가 되기 때문에 12 비트의 영상을 1초에 30장씩 얻기 위해서는 수 기가헤르츠(GHz)의 클럭이 필요하여 X선 검출기와 같이 대면적 센서에서는 구현하기 어렵다.

따라서 이를 해결하기 위한 방법으로 오버샘플링(oversampling) 방식의 델타 시그마 변조기(delta-sigma modulator)와 사이클릭(cyclic) ADC로 구성된 확장 계수(extended counting) ADC를 사용하여 14 비트 150만 화소의 영상을 1초에 30장씩 읽어내는 기술 [10]이 발표되는 등 ADC 구조에 대한 연구가 진행되고 있으며, 더 정밀한 3D 영상을 얻기 위해 ADC 해상도는 16 비트 수준까지 연구 될 전망이며, 영상 획득 속도는 14 비트 이상에서 100만 화소 이상의 해상도의 영상을 1초당 120장까지 읽어내는 기술이 필요할 것으로 예상된다.

또한, X선 검출기에서도 일반 CMOS 이미지 센서 수준으로 회로 잡음을 낮추는 기술이 필요하고, 요구되는 ADC 해상도와 화소 크기가 서로 다른 CT와 fluoroscopy를 하나의 검출기로 구현할 수 있는 기술과 같은 융복합 기술에 대한 연구도 활발하게 진행될 전망이다.

결론

본 고에서는 디지털 영상 장비의 기술 동향에 대하여 살펴보았다. 의료용 X선 영상 장비는 사용자의 요구에 따라 더욱 안전하고 빠르고 정밀한 기술을 요구하는 방향으로 변화하고 있다. 잡음 수준이 낮으면서도 빠르게 영상을 얻을 수 있는 CMOS 검출기는 CT나 fluoroscopy 분야에서 필요한 X선의 선량을 줄일 수 있기 때문에 의사와 환자에게 매우 매력적이다.

또한, CMOS 검출기의 높은 공간해상도와 저잡음 특성은 정밀한 영상 분석이 필요한 유방조형술과 같은 분야에도 적합하다. 따라서 현재의 시장을 이끌고 있는 a-Si 기반의 간접 변환 방식의 검출기를 CMOS 기반의 간접 변환 방식의 검출기가 다양한 분야에서 대체할 것으로 예상된다. 인구 고령화 및 만성 질환의 이환률(morbidity) 증가, 의료비 상승 등에 의해 의료용 영상 장비 시장도 크게 증가하고 있으며, 국내외 기업의 관심도 높은 이 때, 기술의 발전 동향을 파악하여 활용 가능한 적합한 기술의 개발이 요구된다.

Reference

- [1] Medical Imaging Market Trimark Publication 2007,12
- [2] K. Iniewski, Medical Imaging: Principles, Detectors, and Electronics, (Wiley-Interscience, 2009).
- [3] K. Uesugiet et al., J. Synchrotron Rad, 18, pp. 217-223 (2011).
- [4] L.J. Kroft et al., Radiology 231(1) pp. 156-163 (2004).
- [5] E. R. Fossum, Trans. Electron Devices, 44, pp. 1689-98 (1997).
- [6] G. Zentai, Imaging Systems and Techniques, pp. 194-200 (2011).
- [7] VaTech Humanray. Available: http://www.humanray.com/xray\_d/172asm.asp
- [8] DALSA. Available: www.teledymedalsa.com
- [9] D. G. Mavis et al., 16th DASC., AIAA/IEEE, vol.1, pp. 2.1-15-22 (1997).
- [10] M.-S. Shin, Electronics Letters Vol.48, No.7 (2012).



Design Automation Conference (DAC)는 반도체 칩 설계자동화기술 분야의 그리고 International Symposium on Computer Architectures (ISCA)는 반도체 칩 구조설계 분야의 세계 최고 학회인데, 이번에 이 두 학회를 연속해서 참석하여 반도체 칩 설계에 관한 최신 연구동향을 파악할 좋은 기회를 갖게 되었다.

# DAC와 ISCA 학회 참관 후기

## 서론

Design Automation Conference (DAC)는 반도체 칩 설계자동화기술 분야의 그리고 International Symposium on Computer Architectures (ISCA)는 반도체 칩 구조설계 분야의 세계 최고 학회인데, 이번에 이 두 학회를 연속해서 참석하여 반도체 칩 설계에 관한 최신 연구동향을 파악할 좋은 기회를 갖게 되었다.

각 학회에서 여러 track이 동시에 진행되어 모든 논문을 접할 수는 없어, 필자의 주된 관심분야인 저전력 및 메모리 서브시스템 설계분야에서 두 학회에서 발표된 주요 연구내용을 정리해 보았다. 저전력 분야에서는 dark silicon이라는 용어가 buzzword였는데, 이는 반도체 칩의 scaling은 계속되어 하나의 칩에 많은 기능 또는 core의 구현이 가능하지만, 전력/에너지소모의 제약으로 실제 구동 가능한 부분은 아주 작아 면적상 칩 대부분의 부분에서는 일을 할 수 없는 상황을 표현한 것이다.

Dark silicon을 잘 사용하여 최대의 성능, 에너지 효율(성능/전력)을 얻기 위해, 크게 NTV (near threshold voltage), asymmetric multi-core, application-specific designs, approximate computation의 네 가지 분야로 연구, 개발이 진행됨을 볼 수 있었다. 그리고 메모리 서브시스템 분야는 DRAM의 scaling 한계에 대한 대책으로 DRAM의 약점을 보완/개선하는 연구와 DRAM을 대체하거나, 함께 사용되어 DRAM을 보완하는 새로운 메모리인 PRAM (phase change RAM)과 STT-RAM (spin torque transfer RAM)에 대한 연구가, 그리고, 메모리 서브시스템의 성능 및 에너지효율 향상을 위한 연구가 주된 흐름이었다. 아래는 이러한 연구동향을 대표하는 학회 keynote 발표 및 주요 논문에 대한 소개이다.

## 본론

인텔에서 발표한 ISCA 학회의 두 번째 keynote는 에너지 효율성 문제를 주로 다루었다. 현재 1G FLOPS/W 이하인 시스템 수준의 에너지효율을 Exascale 컴퓨팅이 가능하기 위해서는 100배 수준으로 향상하여, 서버 시스템은 50G FLOPS/W, 모바일 시스템은 75G FLOPS/W를 가능하게 하는 것이 연구개발의 주목표라고 소개한다. 이를 위해 core, on/off-chip 인터커넥트, 메모리 등에서의 에너지효율 향상이 필요한데, 구체적으로는 Core는 NTV를 기반으로 에너지효율을 향상시켜야 한다고 설명한다.

NTV는 트랜지스터의 문턱 전압(threshold voltage) 보다 조금 높은 수준(대략 0.4V~0.6V로 전원전압을 사용하는 것이다. 전원 전압을 감소시키면 성능 저하가 있지만 동적 전력소모가 급격히 감소해서 성능/전력, 즉, 에너지효율은 향상된다. 그러나 전원전압을 문턱 전압에 가깝게 감소시킬 경우, 성능저하가 아주 심해져서, 수행시간이 급격히 증가하여, 단위 클럭 당 에너지소모 면에서는 누설전류에 의한 에너지소모가 대부분을 차지하면서, 에너지 효율이 다시 나빠진다. 이러한 에너지효율의 경향에서 에너지효율이 최대화되는 전원 전압의 영역은 문턱 전압보다 조금 높은 수준이다.

ISSCC 2012에서 발표한 인텔의 NTV 코어설계 논문에 의하면 상온에서는 32nm 공정 사용 시 0.45V가 최적의 전원전압이라고 알려졌다. 공정과 동작 조건에 따라 조금씩의 차이가 있지만 이러한 NTV 동작으로 고에너지효율을 얻을 수 있다는 점은 최근 인텔, TI 등의 실제 설계를 통해 확인되었다. NTV 동작의 단점은 일반 전원전압 사용 시보다 낮은 성능인데, 이러한 낮은 성능이 허용되지 않는 경우, 칩 상의 병렬성(예, 멀티코어)을 이용해 성능을 향상시키는 것이 NTV 동작을 실적용하기 위한 전략이다.

인텔의 NTV 코어설계는 전원전압은 0.28V까지 동작 가능한데, 이를 위해 기존 standard cell 중 공정 변이에 취약한 것 제외하고, latch의 재설계, clock network 설계 시 driver를 특별히 강화하였다. 그리고 낮은 전원전압에서 가장 큰 문제인 SRAM의 bit error를 줄이기 위해 SRAM은 cell 당 트랜지스터의 개수가 8개인 8T cell을 사용하면 core와 다른 최소동작전압(Vccmin=0.55V)을 적용하였다. SRAM의 bit 에러 문제로 말미암은 SRAM과 코어가 다른 전원전압을 갖는 설계는 최근 고성능 칩 설계 (Power7등)에서 자주 적용되고 있다.

On-chip 인터커넥트는 칩 상의 수십 개의 코어 간의 연결에 사용된다. 기본적으로 일반 컴퓨터네트워크에서 사용되는 네트워크 중에서 on-chip 적용에 맞는 것을 찾기 위한 많은 연구가 최근 10여 년간 활발히 진행되어 왔는데, 이번 발표에서 인텔에서 설명한 바에 따르면 일반네트워크 및 이전 인텔의 실험용 칩에서 사용된 패킷기반 라우터를 사용하는 경우 라우터의 전력소모가 커져, 이를 개선한 hybrid packet/circuit-switched 네트워크의 사용을 제시한다.

여기서는 인터커넥트가 패킷/써킷 네트워크 동작을 동적으로 적용하는데, 우선 패킷 네트워크 동작으로 코어 간의 써킷 연결을 만든 후, 이후에는 써킷 동작으로 데이터를 전달하여 라우터에서 데이터 처리 동작을 최소화하여 전력소모를 감소시킬 수 있다고 한다. Memory의 경우, 매니코어가 요구하는 메모리 대역폭 향상과 이로 인해 증가할 수 있는 메모리 전력증가를 억제하는 고성능/고에너지효율의 구조인 Hybrid Memory Cube (HMC)를 소개하였다. HMC는 wide I/O를 가진 DRAM dies들을 3차원으로 적층하고, logic die를 추가로 적층한 것을 메모리 패키지로 구성한 것이다.

패키지와 CPU 칩 간에는 여러 port의 serial link로 연결된다. DRAM die는 여러 개의 wide I/O 채널을 제공하여, 고성능/고에너지효율을 가능하게 한다. 이를 통해 메모리 접근 시 에너지 효율을 100pJ/cell에서 8pJ/cell 수준으로 향상시켰다고 보고한다. 인텔 keynote의 마지막에 인텔에서는 최초로 연구목적으로 외부에 open core를 제공한다고 발표하였다. Siskiyou라고 불리는 이 CISC 코어는 32b, x86, 5-stage pipeline 코어인데, 컴파일러, 디버거, 예물레이터의 소프트웨어가 함께 제공된다.

DAC 학회의 두 번째 keynote 발표인 Designing a 22nm Intel Architecture Multi-CPU and GPU는 인텔 Ivy Bridge 설계에서 해결한 설계 issue들을 소개하였는데 현재 칩 설계기술의 state-of-the-art를 엿볼 수 있는 아주 유용한 발표라 생각된다. 예를 들어, CPU와 GPU가 다른 구현 style을 가지는데 CPU는 높은 동작주파수를 위해 높은 (track 수가 많은) standard cell을 사용하고, GPU는 낮은 동작주파수를 만족하므로 이를 위해 낮은 standard cell을 사용하는 점 등 여러 가지 흥미로운 내용이 많았다.

NTV 설계분야의 주요 논문들을 보면, DAC에서 발표된 미시간대학의 논문, Process Variation in Near-Threshold Wide SIMD Architectures가 흥미로운데, 같은 계산을 여러 개의 다른 데이터에 대해 동시에 수행하는 SIMD는 각 SIMD lane (하나의 연산을 수행하는 단위)이 같은 설계이므로 critical path의 개수가 아주 많은 대표적인 설계이다.

앞에서 언급한 바와 같이 NTV에서 성능향상을 위해 병렬성을 이용해 SIMD lane의 수를 늘리게 되는데, 본 논문에서는 병렬성이 많은 계산의 경우 최적 에너지효율을 제공하는 SIMD lane의 수를 공정 변이까지 고려해 분석하였다. 또 하나 주목할 NTV 논문으로 NTV에서는 전원전압의 작은 변동에도 로직의

자연시간 변화가 큰 문제를 해결하기 위해 전원전압을 일정한 값으로 유지하기 위해 일반적으로 사용하는 decoupling capacitor를 NTV에 맞게 사용하는 컬럼비아 대학의 논문도 눈여겨볼 만하였다.

비대칭 멀티코어(asymmetric multi-core)는 대부분 시스템이 시간 대부분에 낮은 workload를 가진다는 사실을 이용해 에너지효율을 높이는 구조이다. 멀티코어구성 시 같은 복잡도의 멀티코어들로 구성하지 않고, 고성능의 큰 코어와 저전력의 작은 코어로 구성하여 workload가 작을 때는 작은 코어를 구동하여 저전력으로 동작하고, workload가 많을 때는 큰 코어를 구동하여 성능을 향상시킨다. 소프트웨어 프로그램이 서로 다른 코어 간을 이동해야 하므로 이동 비용을 최소화하기 위해 두 코어는 같은 ISA (instruction set architecture)를 지원한다.

ARM에서는 DAC 학회에서 이러한 비대칭 멀티코어의 대표인 big.LITTLE 구조(예, Cortex-A15와 A7으로 구성)를 소개하였다. 이러한 비대칭 멀티코어에서 주요한 문제 중 하나는 "어느 thread를 어느 코어에서 수행할 것인가?"이다. ISCA 학회에서 발표된 논문인 Scheduling Heterogeneous Multi-Cores through Performance Impact Estimation (PIE)에서는 이 문제 해결을 위한 성능예측방법을 소개한다. 기존에는 thread를 적합한 코어에 할당하기 위해, thread가 각 코어에서 수행될 때의 성능을 예측하기 위한 방법으로 sampling, 즉, 일정 기간 해당 코어에서 실제 수행하는 방법을 사용하였다.

그러나 이 방법은 thread migration overhead, 샘플링 기간 동안 낮은 성능 코어에서의 수행으로 말미암은 성능저하 등의 문제가 있었다. 본 논문에서는 다른 코어에서 thread를 수행하지 않고, 현재 코어 (예, 작은 코어)의 수행 정보(IPC, memory level parallelism)를 이용해, 다른 코어 (예, 큰 코어)에서의 성능을 예측하는 방법을 제안한다. 이러한 비대칭구조의 장점을 서버 수준에서도 얻을 수 있는데, ISCA와 함께 개최된 WEED 워크샵에서 발표된 논문, Evaluating A Prototype KnightShift-enabled Server에서는 고성능/저에너지 효율 서버와 저성능/고에너지 효율 서버를 같이 사용하여, workload가 낮은 경우 (보통은 40~50% 수준임), 저성능/고에너지 효율 서버 사용하고 workload가 높아질 경우 고성능 서버를 사용하여 처리지연시간 증가를 최소화하면서 전체 에너지 효율을 높일 수 있다는 것을 보여준다.

주어진 최대온도 조건에 최대성능을 얻으려는 방법 또한 새로운 진전을 보였는데, Towards Practical Computational Sprinting에서는 시스템에서 온도가 상승하는데 걸리는 지연시간을 이용하여 성능향상을 가능하게 하는 기존 Intel의 Turbo Boost 2를 더욱 적극 적용하여 성능을 높이는 computational sprinting 기술을 소개한다. 우선, 높은 동작전압 동작을 일정 기간 가능하게 하려면 Super Capacitor 등을 이용해 전원공급능력을 향상시킨다.

시스템에서 특정 프로그램을 시작하면 최대전원으로 가용한 최대한 많은 코어를 동시에 수행하여 최대 성능을 제공한다. 보통 짧은 workload는 이를 통해 수행이 완료된다. Workload가 긴 경우는 최대전원사용으로 말미암은 온도상승이 threshold에 이르면, single 코어 동작으로 프로그램을 계속 수행한 후, 온도가 떨어지면 이를 반복한다. 이를 통해, 기존의 thermal limit을 고려한 보수적인 thermal throttling 및 온도상승지연을 이용하지만, peak power 능력은 향상시키지 않은 Turbo Boost 2 방법대비 고성능 동작을 가능하게 한다.

에너지효율 향상을 위해서는 application에 최적화한 하드웨어구현을 활용하는 것이 효과적이다. Architecture Support for Accelerator-Rich CMPs에서는 application-specific accelerator들을 이용하여 고에너지효율을 얻는

칩 구조를 제안하였다. 에너지효율 향상을 위해 보다 과감한 방법은 계산에 오차를 허용하는 approximate computing 방법이다. 계산오차에 비례해 에너지소모를 줄일 수 있다는 점을 이용한 방법인데, 이는 일반적으로 적용되기는 어렵지만, 계산의 오차가 어느 정도 허용되는 애플리케이션, 예를 들어, 비디오 코딩 등에 적용 가능할 것이다. 계산의 오차를 허용한 구현의 방법은 두 가지로 나누어 볼 수 있는데, 하나는 알고리즘은 유지한 채 계산의 정확도(즉, 데이터의 bit width)를 희생하는 것이고, 다른 하나는 알고리즘까지 근사화하는 방법이다.

WEED 워크샵에서 발표된 논문, Towards Neural Acceleration for General-Purpose Approximate Computing에서는 neural network에 원하는 계산기능을 훈련시켜, 훈련된 neural network의 수행을 통해 근사계산을 수행하는 알고리즘까지 근사화하는 방법이다. 정확한 계산이 아니므로 오차가 발생하는데, 목표 정확도를 얻을 때까지 neural network의 구조 최적화 통해 최적구조 찾아 오차를 허용 가능한 범위 내로 제한한다.

DRAM은 20nm 이하 공정에서는 메모리 컨트롤러의 도움을 받아 동작해야 할 것으로 예상하는데, RAIDR: Retention-Aware Intelligent DRAM Refresh에서는 현재 DRAM refresh가 worst case에 맞춰져 있어 생기는 성능/전력소모 문제에 대한 해결방법으로 대부분의 DRAM cell (row)는 64ms 보다 긴 refresh period가 가능하다는 사실에 착안하여, DRAM row 단위로 필요한 refresh period를 찾은 후, 이에 맞춰 필요한 만큼만 refresh 수행하는 기술을 소개한다.

BOOM: Enabling Mobile Memory Based Low-Power Server DIMMs에서는 현재 서버에 사용되는 DDR3 DRAM은 standby current가 커서 메모리 전력소모의 큰 부분을 차지하는데 이를 저전력 DRAM인 LPDDR2 DRAM으로 대체하여 주메모리 전력소모 감소를 가능하게 한다.

새로운 메모리인 PRAM, STT-RAM에 대해서도 여러 연구가 소개되었는데 PRAM은 쓰기 성능향상방법이 STT-RAM은 STT-RAM을 캐쉬에 적용할 때 retention time을 줄여 적용하는 기술이 주목할 만하다. ISCA 학회에서 발표된 PreSET: Improving Read-Write Performance of Phase Change Memories by Exploiting Asymmetry in Write Times에서는 PRAM은 set의 지연시간이 reset보다 길다는 특징을 이용하여 PRAM을 미리 set으로 초기화해 동으로써 실제 데이터 쓰기를 수행할 경우 수행시간이 짧은 reset만을 수행해 쓰기 동작을 향상시키는 방법을 제시한다.

DAC 논문 Cache revive에서는 캐쉬의 경우 데이터가 캐쉬에 머무는 시간이 아주 짧다(last level cache에서 보통 10ms 이내)는 사실에 착안하여 STT-RAM cell의 retention time을 줄인 것을 캐쉬에 사용할 것을 제안한다. STT-RAM cell은 이와 같이 retention time 요구조건을 줄이면 적은 전류의 혹은 짧은 시간의 쓰기 동작이 가능해서 쓰기 전력소모 또는 쓰기 성능의 향상이 가능해진다. 물론, 예상한 시간보다 오래 데이터가 캐쉬에 머무르는 경우는 해당 데이터를 다시 쓰는 일종의 refresh 동작을 수행한다.

최근 Ivy Bridge, AMD Fusion, 그리고 대부분의 최신 application processor에서 single chip에 CPU/GPU를 구현하는데, 이러한 설계에서 CPU와 GPU는 일반적으로 아주 다른 메모리 접근 특성이 있다. 그러나 아주 상이한 메모리 접근 동작을 보이는 CPU, GPU가 주 메모리를 공유하기 때문에, 공평성(fairness) 문제가 발생한다. 예를 들어, 메모리 접근이 아주 많은 GPU로 인해 CPU의 메모리 접근이 느려져 CPU 프로그램의 성능저하가 발생

할 수 있다. ISCA 논문, Staged Memory Scheduling: Achieving High Performance and Scalability in Heterogeneous Systems에서는 이 문제를 해결하기 위해, 각 core 별로 같은 DRAM row에 접근하는 요청을 batch로 묶은 후, batch 단위로 shortest job first와 round robin, 두 방식의 arbitration을 확률적으로 적용하는 메모리 컨트롤러 구조를 제안한다.

DAC 학회에서 발표된 논문, A QoS-Aware Memory Controller for Dynamically Balancing GPU and CPU Bandwidth Use in an MPSoC에서는 CPU/GPU에서 GPU에서 구동되는 그래픽스 프로그램의 real-time 특성, 즉, frame rate를 맞추기만 하면 되는 점을 이용하여, frame rate 맞추는데 성능상 여유가 있는 경우 CPU 요청을 더 우선으로 처리하여 GPU 성능조건을 만족하면서, CPU 성능을 높이는 방법을 제안한다.

ISCA 학회에서 전통적으로 다루는 캐쉬구조에서는 다음 두 논문이 주목할 만하였다. Reducing memory reference energy with Opportunistic Virtual Caching에서는 L1 캐쉬의 저전력접근방법을 제안하였다. L1 캐쉬는 일반적으로 virtually indexed physical tagged 방식으로 구현된다.

즉, 가상주소의 하위 부분으로 캐쉬 set을 찾아가고, 해당 set 내의 캐쉬 라인들과는 물리주소의 상위 부분인 tag로 비교를 한다. 이러한 tag match를 위해 가상주소에서 물리주소로의 변환과정을 수행하는데 이를 위해 fully associative 캐쉬인 TLB를 접근하면서 에너지소모가 발생한다. 이로 말미암은 에너지 소모는 CPU 에너지 소모의 10%를 넘는 것으로 알려졌다.

가상주소로만 캐쉬를 관리할 경우 이러한 에너지 소모를 없앨 수 있는데 이렇게 하지 못하는 이유는 하나의 물리주소에 있는 데이터가 2개 이상의 가상주소를 이용해 접근될 경우 해당 데이터가 L1 캐쉬 내에 여러 곳에 있을 수가 있는데, 이 경우, 한 데이터 copy가 수정된 경우 다른 copy는 이전 값을 갖게 되어 데이터의 일관성이 깨지는 synonym 문제가 발생하기 때문이다. 본 논문에서는 거의 대부분의 경우는 이러한 synonym 문제가 발생하지 않고, 공유데이터에 대해서만 발생한다는 점을 이용해, synonym 문제 발생 가능성이 있는 경우만 physical tag를 캐쉬에 저장하고, 그렇지 않을 경우는 virtual tag를 저장해, TLB 접근을 줄여, 에너지 감소를 가능하게 한다.

캐쉬에서 exclusive 방식은 상위수준 캐쉬 (L1 또는 L2 캐쉬) 내에 있는 데이터를 하위수준 캐쉬(예, last level cache, LLC)가 가지고 있지 않아, 캐쉬 전체에 저장되는 데이터의 실제 양을 늘리는 방법인데, 상위 캐쉬에서 evict 된 데이터를 배반 하위 캐쉬에 저장해야 하는 단점이 있다. FLEXclusion: Balancing Cache Capacity and On-Chip Traffic via Flexible Exclusion에서는 프로그램 수행 중 샘플링을 통해 (이를 위해 set dualing 방법을 적용) inclusive, non-inclusive, exclusive 방식을 평가해서 가장 적합한 inclusion/exclusion policy를 동적으로 정하는 방법을 제시한다.

**결론**

마지막으로, ISCA의 다른 keynote는 On Intelligence (국내에서는 "생각하는 뇌, 생각하는 기계"로 2010년 번역되어 출간됨)로 국내에도 알려진 Numenta 사의 Jeff Hawkins가 진행했는데, 뉴런시스템의 학습 및 뇌의 인지작용에 대한 이해를 전력소모 예측과 같은 Big data 분석 등의 실제 문제 해결에 적용할 수 있다는 것을 소개하였다.

이상으로 금년 DAC, ISCA 학회에서 소개된 최신연구동향을 저전력설계와 새로운 메모리를 중심으로 정리해 보았다. 내년 학회에서는 저전력설계에서는

NTV 실적용을 위한 보다 구체적인 방법과 사례들, 그리고 메모리에서는 HMC의 더욱 구체적인 모습과 이로 말미암은 칩 설계의 변화방향, MLC PRAM과 STT-RAM의 reliability 문제에 대한 효과적인 해법들을 기대해 본다.

	<p><b>포항공과대학교 전자전기공학과</b></p> <p>유승주 교수                  연구분야 : SoC architecture                  E-mail : sungjoo.yoo@gmail.com                  http://cal.postech.ac.kr</p>
---	--