

TowerJazz 유상 MPW Service

- 목적 : IDEC을 통해 지원되지 않는 공정들을 저렴하게 제작 지원
- Process : 0.18um SOI(Silicon On Insulator)/ 0.35, 0.18, 0.13um SiGe

RF CMOS SOI Switch Technology						SiGe Technology			
DEVICE	PARAMETER	CA18H1	CA18G	CS1801	CS1802	CS1801	CS1802	CS1801	CS1802
CMOS	VDD (V)	1.85	1.80.3	2.5	2.95	1.2/2.5	-	-	-
RFLDMS	-	-	-	-	-	-	-	-	-
Native NFET	VDD (V)	5	3.3	-	-	-	-	-	-
Resistors	Sheet resistance (ohm/sq)	6, 310	6, 310, 1000	310, 1000	310, 1000	310, 1000	310, 1000	310, 1000	310, 1000
MIM (Single/Double)	Capacitance (fF/um2)	2/4	2/4	2	2	2	2	2	2
Varactors	Pinhead (fF/um2) Mos	1.3	1.3	NA	NA	NA	NA	NA	NA
Metal Layers	-	6	4	4	4	4	4	4	4
Top Metal	Thickness (um)	2.8	2.8	2.8	2.8	2.8	2.8	2.8	2.8
Substrate	Bulk	SOI	SOI	SOI	SOI	SOI	SOI	SOI	SOI

Feature	0.35um	0.18um	0.13um
Location	Fab 3	Fab 3	Fab 2 and Fab 3
CMOS FET	Single Gate 3.3V/5.0V	Single/Dual Gate 1.8V/3.3V	Dual Gate 1.2V/3.3V
Ft Range	23GHz~61GHz	38GHz~240GHz	37GHz~200GHz
MIM Cap	1fF, 2fF and 4fF	1fF, 2fF, 2.8fF, 4fF and 5.6fF	2.8fF and 5.6fF
Poly Resistor	95 and 1.1K	235 and 1K	310 and 1K
Metal Resistor	-	24	-
Metal Levels	3 and 4	3 to 6	6

- MPW Schedule

Process	1Q			2Q			3Q			4Q		
	Jan	Feb	Mar	Apr	May	Jun	Jul	Aug	Sep	Oct	Nov	Dec
SBC35		5				4						
SBC18	22	19	19	16	21	18						
SBC13				2								
CA18 (SOI)	8		5		7							

연락처

TowerJazz : 하소영 과장
Office : +82-31-628-4830

IDEC : 김창수 선임 연구원
Office : +82-42-350-4424



IDEC Newsletter

IDEC Newsletter | 통권: 제190호 | 발행일: 2013년 3월 31일 | 발행인: 박인철 | 편집인: 남병규 | 제작: 푸을디자인
기획: 전향기 | 전화: 042-350-8535 | 팩스: 042-350-8540 | 홈페이지: http://idec.or.kr
E-mail: jhg0929@idec.or.kr | 발행처: 반도체설계교육센터(IDEC)

2013
April

Vol.190

LED 구동회로 기술 동향 | 04 | Virtual Prototyping Solutions | 08 | ISSCC 2013 참가 후기 및 기술 트렌드 | 12

반도체설계교육센터 사업은 산업통상자원부, 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 세미텍, TowerJazz)의 지원으로 수행되고 있습니다.

LED 구동회로 기술 동향

1993년 Nichia의 Nakamura에 의하여 고휘도 청색 LED 제조 기술이 개발되면서 LED로 백색광을 만들 수 있게 됨에 따라 조명 분야 응용이 가능하게 되었다. LED는 저전력 소모, 긴 수명의 장점을 가지고 있으나, 아직 백열등이나 형광등에 비하여 가격이 높아서 광범위한 사용은 이루어지지 않고 있다. 본 고에서는 LED 구동회로에 초점을 맞추고, 설계시 고려 사항을 살펴 본 다음 주요 이슈인 구동회로 방식, 역률보정 방식, 조광 방식을 살펴본다. 이어서 구동회로로서 가장 많이 사용되는 플라이백 회로에 대하여 살펴보고 결론을 맺는다. (관련기사 P04~07참조)

Virtual Prototyping Solutions

Carbon design systems는 EDA 시장 중 가장 빠르게 성장하고 있는 분야인 validation 분야에서 선두를 달리고 있다. 현재 13um 이하 공정의 SoC 설계에서 시스템 소프트웨어의 중요성이 부각되고 있음에도 기존의 설계 과정으로는 하드웨어와 소프트웨어를 적절하게 같이 validation을 하기란 쉽지가 않다. Carbon design systems는 실제 RTL 하드웨어상에서 소프트웨어를 같이 validation 할 수 있는 플랫폼을 제공하여 빠른 시간 내에 칩을 양산 할 수 있도록 한다. 본 고에서는 Virtual System Platform의 개발과 분석, Test를 위한 종합 솔루션인 Carbon SoC Designer를 소개하고자 한다. (관련기사 P08~10 참조)

ISSCC 2013 참가 후기 및 기술 트렌드

ISSCC는 2013년 2월 17일부터 21일까지 샌프란시스코에서 개최되었는데, 올해는 60주년으로써 이제 환갑을 맞이한 반도체 회로 설계의 역사를 느낄 수 있는 매우 의미 있는 행사로써, Conference Theme은 "60 YEARS OF (EM)POWERING THE FUTURE"이었다. 특별히 기념할 일은 조규형 교수와 유희준 교수가 지난 60년 동안 학회 논문에서 가장 많이 이바지한 16인을 선정되어 수상하였고, 한국 반도체 설계의 세계적인 위상을 확인하는 자리가 되었다. 본 기고문은 참석하였던 아래의 전문가들이 분야별로 세션의 주요 기술 동향을 참가 후기 형식으로 정리하였다. (관련기사 P12~19 참조)



Need to do Architectural Analysis, Performance Optimization or Pre-silicon Software Debug on your SoC?

Model Creation

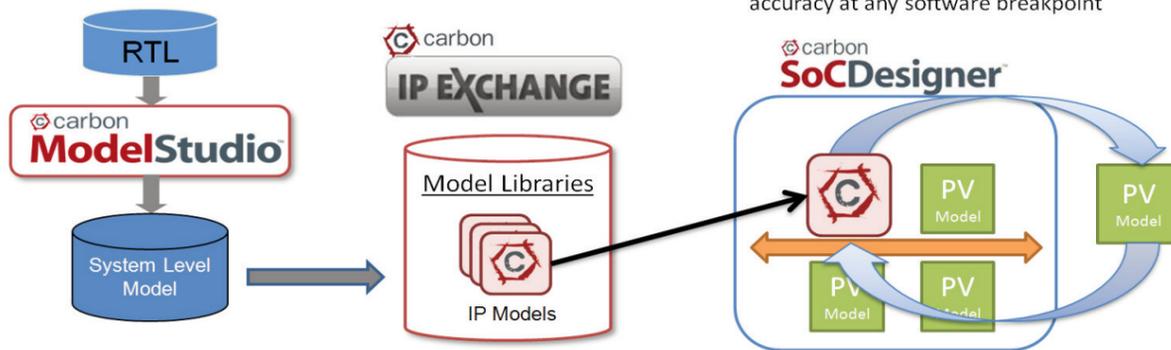
- 100% accurate models compiled directly from RTL
- Leverage 70-80% of design that is re-use of existing or 3rd party IP
- Industry's only automated model generation solution

Model Access

- 100% accurate ARM and MIPS IP Models
- ARM Fast Models
- SoC IP from industry leaders
- 24/7 access for configuration, compilation and download

Architectural Analysis and Software Development

- 100% accuracy for architectural analysis and firmware development
- 100s of MIPS speed for application software development
- Automatic creation of ARM Fast Model platform from 100% accurate models
- Switch from 100s of MIPS to 100% accuracy at any software breakpoint



INCUSOLUTION Local Distributor
TEL : 070-4047-4060 | FAX : 070-8610-7948

www.incusolution.com
E-mail : sales@incusolution.com

MPW (Multi-Project Wafer)															
MPW 설계 현황					MPW 칩 제작 현황										
공정	MPW회차	제작가능 면적 (면적)mm ² x칩수 /회별	설계 참여 팀수	실제제작면적 (면적)mm ² x칩수	DB마감	Die-out	비고	구분	공정	제작가능면적 (면적)mm ² x칩수	제작 칩수	제작면적 (mm ² x칩수)	Die-out 예정일	비고	
삼성 65nm (년3회)	1	119		21	(4x4)x21	13.3.15	13.8.15	DB 검토	114회 (12-7)	삼성 0.13	(4x4)x48	32	(4x4)x32	2012. 1.25	제작중
	2	121	(4x4)x 48	27	(4x4)x27	13.7.5	13.12.6	설계중		동부 0.11	(5x2.5)x30	30	(5x2.5)x25 (2.5x2.5)x 5	2013. 2.6	PKG 제작중
	3	126		9	(4x4)x9	13.11.8	14.4.11	정규모집예정			116회 (12-9)	TJ.0.18 CIS	(2.5x2.5)x4	4	(2.5x2.5)x 4
MH 0.18um (년4회)	1	118		24	(4.5x4)x16 (4.5x2)x8	13.2.18	13.7.22	칩제작중	M/H 0.18	(4.5x4)x20		20	(4.5x4)x19	2013. 3.4	PKG 제작중
	2	120	(4.5x4)x 20	21	(4.5x4)x19 (4.5x2)x2	13.05.06	13.10.04	설계중		117회 (12-10)	M/H 0.35	(5x4) x 20	20	(5x4)x18	2013. 3.4
	3	122		19	(4.5x4)x19	13.7.29	13.12.24	설계중	삼성 65n		(4x4)x20(서버)	21	(4x4)x19(서버)	2013. 5.3	제작중
	4	125		8	(4.5x4)x8	13.10.21	14.3.25	정규모집예정		* M/H : 매그나칩/SK하이닉스, TJ : TowerJazz * 일정은 사정에 따라 다소 변경될 수 있습니다. * 기준 : 2013. 3. 29					
MH 0.35um	1	121		20	(5x4)x20	13.6.17	13.10.4	설계중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	2	127	(5x4)x 20	3	(5x4)x3	13.12.2	14.3.25	정규모집예정	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
동부 0.11nm	1	119	(5x2.5)x 24	28	(5x2.5)x20 (2.5x2.5)x8	13.3.20	13.7.31	DB검토	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	2	125		10	(5x2.5)x10	13.9.11	14.1.22	정규모집예정	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
동부 0.18um BCD (년4회)	1	120		4	(5x2.5)x4	13.05.15	13.08.28	설계중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	2	121		4	(5x2.5)x4	13.6.26	13.10.9	설계중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
TJ SiGe (년1회)	3	123	(5x2.5)x 4	3	(5x2.5)x1x2 (2.5x2.5)	13.8.21	13.12.4	후기모집예정	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	4	126		0	0	13.11.13	14.2.6	정규모집예정	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
동부 0.35um BCD (년4회)	1	118		6	(5x2.5)x6	13.2.27	13.6.12	칩제작중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	2	120	(5x2.5)x 6	10	(5x2.5)x20 (2.5x2.5)x10	13.05.01	13.08.14	설계중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
TJ CIS (년2회)	3	123		1	(5x2.5)x1	13.8.14	13.11.27	선정평가중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	4	125		2	(5x2.5)x2	13.10.23	14.2.5	정규모집예정	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
TJ BCD (년2회)	1	120		2	(5x5)x1 (5x2.5)x1	13.05.20	13.09.16	설계중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	2	125	(2.5x2.5)x4	0	0	13.10.21	14.2.17	정규모집예정	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
TJ RF (년2회)	1	120		4	(2.5x2.5)x4	13.05.20	13.09.16	설계중	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						
	2	125	(2.5x2.5)x4	2	(2.5x2.5)x2	13.10.21	14.2.17	정규모집예정	* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)						

IDEC 인사동정

IDEC 본 센터의 이승자 선임연구원은 개인적인 사정으로 3월 30일 퇴사하게 되었습니다. 그간의 노고에 진심으로 감사드리며, 늘 가정에 행복과 기쁨이 충만하기를 소망합니다.

신규채용



성명 : 구재희
담당업무 : 교육관련 업무, 회계업무
E-mail : kjh9@idec.or.kr

* 문의 : 석은주 (042-350-8538, eunjuseok@idec.or.kr)

2013년 4월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

IDEC 강좌 일정 |

센터명	강의일자	강의제목	분류
한양대	4월 3일	물체 인식과 추적 기법	세미나
KAIST	4월 11일-12일	서 신호 처리용 아날로그 프론트엔드 설계기법	설계

- 강좌일 : 4월 11일-12일**
- 강좌 제목 : 센서 신호 처리용 아날로그 프론트엔드 설계기법**
- 강사 : 고희호 교수(충남대학교)**

[강좌개요]

본 강좌에서는 센서 신호 처리용 인터페이스 회로를 설계하기 위하여 저항형/용량형 센서의 모델링 기법, 저잡음 아날로그 프론트엔드 회로, 산포 보정을 위한 교정 회로 등을 강의/실습함으로써, 실제 센서의 신호 처리에 필요한 회로 설계 능력을 배가하는데 목적을 둔다.

- 저항/용량/전압/전류 등 각종 센서 출력의 모델링 기법
- Correlated Double Sampling 및 Chopper stabilization 기법을 이용한 저잡음 아날로그 프론트엔드 설계 기법
- 센서 산포 보정을 위한 calibration 회로 설계 기법

[수강대상]

컴퓨터 비전 입문자

[강의수준]

· 초급

[강의형태]

· 이론

[사전지식, 선수과목]

· 기초 아날로그 회로 설계 지식
· Cadence tool (schematic 및 spectre) 기본 사용법

* 문의 : 한양대(에리카) IDEC 유상연 (031-501-5622, hyuipc@gmail.com)

IDEC, 운영위원 선정

반도체설계교육센터(IDEC)는 2013년도 IDEC 운영위원으로 총 8명을 선정했다. 이번에 선정된 운영위원은 기존 3명과 신규로 선정된 5명으로써 2016년까지 총 3년의 임기기간을 갖고 시스템반도체설계인력양성을 위한 IDEC의 모든 제반 사업 검토 및 결정을 하게 된다.

운영위원명단 |

 성명 : 김재하 교수 소속 : 서울대학교 전기컴퓨터공학부 담당분야 : EDA Tool E-mail : jaeha@snu.ac.kr	 성명 : 김지훈 교수 소속 : 충남대 전자공학과 담당분야 : 교육 E-mail : jihoonkim@cnu.ac.kr
 성명 : 김철우 교수 소속 : 고려대학교 전기전자전파공학부 담당분야 : MPW E-mail : ckim@korea.ac.kr	 성명 : 남병규 교수 소속 : 충남대학교 컴퓨터공학과 담당분야 : 뉴스레터 E-mail : bgnam@cnu.ac.kr
 성명 : 류승택 교수 소속 : KAIST 전기및전자공학과 담당분야 : 교육 E-mail : stryu@ee.kaist.ac.kr	 성명 : 심재윤 교수 소속 : 포항공과대학교 전자전기공학과 담당분야 : WG/지역센터 E-mail : jysim@postech.ac.kr
 성명 : 조경록 교수 소속 : 충북대학교 전기전자컴퓨터 공학부 담당분야 : Chip Design Contest E-mail : krcho@cbu.ac.kr	 성명 : 조성환 교수 소속 : KAIST 전기및전자공학과 담당분야 : MPW E-mail : chosta@ee.kaist.ac.kr

* 문의 : 김해리 (042-350-4045, hrkim@idec.or.kr)

LED 구동회로 기술 동향



전북대학교 전자공학부
 정항근 교수
 연구분야 : 아날로그 집적회로 설계
 E-mail : hgjeong@jbnu.ac.kr

LED 구동회로

서론

1993년 Nichia의 Nakamura에 의하여 고효도 청색 LED 제조 기술이 개발되면서 LED로 백색광을 만들 수 있게 됨에 따라 조명 분야 응용이 가능하게 되었다. LED는 저전력 소모, 긴 수명의 장점을 가지고 있으나, 아직 백열등이나 형광등에 비하여 가격이 높아서 광범위한 사용은 이루어지지 않고 있다. 그러나 Si 결정을 기판으로 사용하는 기술의 개발 등을 통하여 LED 가격이 지속적으로 하락하는 추세를 보이고 있고, 정부의 에너지 절감 및 이산화탄소 배출 감축 정책에 따라 백열등의 생산과 판매를 2014년부터 전면적으로 금지할 계획으로 있어서 조만간 LED 조명의 사용이 크게 증가할 것으로 전망된다.

세계적으로도 각국 정부는 백열등을 LED 조명장치로 교체하는 정책을 추진하고 있다. 유럽은 2011년 9월부터 60W 백열등 판매를 금지하기 시작하였으며, 미국도 작년부터 100W, 올해부터 75W 백열등 판매를 금지하고 있어, LED 조명장치의 시장규모는 2015년에 21조 원, 2020년에 41조원에 이를 것으로 전망되고 있다.

LED 조명의 보급을 촉진하기 위해서는 무엇보다도 조명장치 원가의 절반을 넘어서는 광원의 저가화가 중요하며, 그 다음으로 원가의 약 1/4에 달하는 구동회로의 원가를 낮추는 것이 중요하다. 또한 LED의 저전력소모 장점을 살리기 위하여 구동회로는 높은 효율을 갖추어야 하며, 특히 LED의 긴 수명에 부합하는 높은 신뢰도를 가져야 한다.

본 고에서는 LED 구동회로에 초점을 맞추고, 설계시 고려 사항을 살펴 본 다음 주요 이슈인 구동회로 방식, 역률보정 방식, 조광 방식을 살펴본다. 이어서 구동회로로서 가장 많이 사용되는 플라이백 회로에 대하여 살펴보고 결론을 맺는다.

LED 구동회로 설계 시 고려 사항

LED가 발생하는 광량은 인가되는 전력에 거의 비례한다. LED의 전압은 전류에 따라 크게 변하지 않으므로, 원하는 광량을 얻기 위해서는 전류로 구동하는 것이 편리하다. 하나의 LED로 원하는 광량을 얻을 수 없을 때에는 다수의 LED를 직렬 혹은 병렬로 연결하여 사용하여야 한다. 이 때 LED 특성이 약간 불균일하여도 비슷한 광량을 얻기 위해서는 직렬 연결이 바람직하나,

구동전압이 높아지며, 직렬 연결된 LED 중 하나만 개방되어도 전체 LED에 전력 공급이 중단되는 단점이 있다. 따라서 대용량 LED 조명장치에서는 직렬과 병렬을 병용하는 방법이 많이 사용되고 있다. LED 조명 장치는 미국과 유럽의 관련 규격을 충족하여야 한다. 주요 항목에 대한 규격을 다음 표에서 볼 수 있다.

항목	참조	기준
역률	Energy Star Program Requirements for Solid-State Lighting Luminaires, Version 1.1	>0.7 (주거용) >0.9 (상업용)
고조파 왜곡률	ENIEC61000-3-2 Class C (Lighting) KS C7651/2/3 (IEC61000-3-2)	class C(25W) class D(25W)
조광	Energy Star Program Requirements Product Specifications for Luminaires, Version 1.0	최대밝기 기준 35%~100%
수명	Energy Star Program Requirements for Solid-State Lighting Luminaires, Version 1.1	실내: 25K hrs 실외: 35K hrs 상용: 35K hrs
조광 주파수	Energy Star Program Requirements for Solid-State Lighting Luminaires, Version 1.1	>120Hz
전자파방해	Energy Star Program Requirements for Solid-State Lighting Luminaires, Version 1.1	FCC 47 CFR part 15

구동회로의 신뢰도를 높이기 위해서는 전해 커패시터를 사용하지 않는 방식이 필요하며, 또한 접지를 분리하기 위하여 흔히 사용하는 광전결합소자도 다른 방식으로 대체하는 것이 바람직하다.

구동 회로 방식

선형 레귤레이터

선형 레귤레이터는 그림 1과 같이 입력과 출력 사이에 직렬로 가변 전압 강하 역할을 하는 트랜지스터를 삽입하고, 부계환을 걸어 출력 전압이 원하는 값이 되도록 트랜지스터를 제어하는 방식이다. 선형 레귤레이터는 전원 잡음이 작아 우수하나, 입력전압과 출력전압 차이가 클 때에는 트랜지스터에서 많은 전력이 소모되어 효율이 낮아지는 단점이 있다.

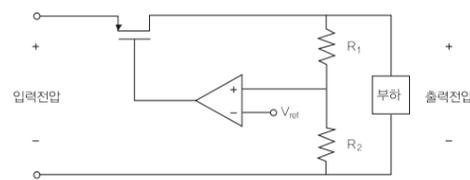
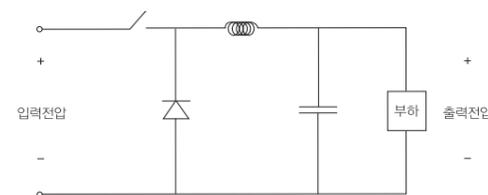


그림 1. 선형 레귤레이터

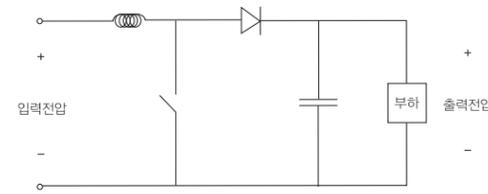
스위칭 레귤레이터

손실이 없는 스위치와 LC 소자를 사용하여 입력 전압을 원하는 전압으로 변환하는 방식이 스위칭 레귤레이터이다. 스위칭 레귤레이터는 변압기를 사용하여 접지를 격리할 수 있는 격리형 구조와 비격리형 구조로 분류할 수 있다. 기본적인 비격리형 스위칭 레귤레이터로서는 인덕터와 커패시터의 배열에 따라 그림 2와 같이 전압을 낮추

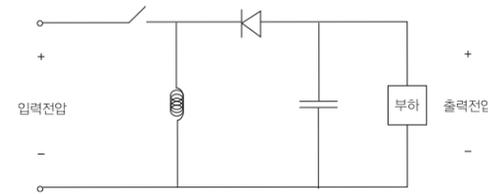
는 벡 컨버터, 올리는 부스트 컨버터, 낮추거나 올리는 벡-부스트 컨버터 등이 있다. 변압기를 사용하는 방식은 접지를 분리할 수 있기 때문에 안전에 있어서 유리하고, 전압을 쉽게 올리거나 낮출 수 있을 뿐 아니라, 복수의 출력을 얻는 것이 용이하지만, 부피와 가격 면에서 불리하다.



(a) 벡 컨버터



(b) 부스트 컨버터



(c) 벡-부스트 컨버터
 그림 2. 기본적인 스위칭 레귤레이터

역률보정 방식

저항성 부하의 경우 부하에 흐르는 전류의 파형이 부하에 걸린 전압 파형과 같아 선로에서 불필요한 전력 손실이 발생하지 않는다. 흔히 사용하는 그림 3과 같은 브리지 정류기 출력에 커패시터 필터를 달면, 다이오드에 흐르는 전류의 최대치는

그림 4와 같이 전압의 최대치보다 약간 앞서게 되어 전압과 전류 사이에 위상 차이가 나게 되며, 짧은 시간 동안만 전류가 흐르기 때문

에 상당한 고조파가 발생하며, 이 경우 역률 PF는 다음 식과 같이 정의된다.

$$PF = \frac{1}{\sqrt{1 + THD^2}} \cos\phi$$

여기에서 THD는 전체 고조파왜곡율이며, i_n 는 기본파 전압과 전류의 위상차이다.

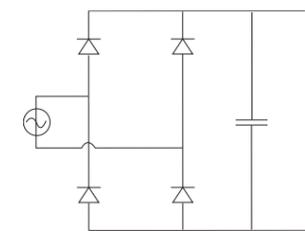


그림 3. 전파 정류회로

커패시턴스가 충분히 큰 경우에는 전압과 전류 사이의 위상 차이는 크지 않으나, 고조파 성분으로 인한 역률 저하가 많이 발생할 수 있다. 역률을 개선하기 위해서는 수동회로를 사용하는 방법과 능동회로를 사용하는 방법이 있다.

능동회로를 사용하는 방법에는 연속전류모드의 경우 2개의 피드백 루프와 승산기를 사용하여 구현할 수 있으나, 회로가 복잡하여 저가의 구동회로에 적합하지 않아, 이를 단순화한 방식으로서 단일 사이클 제어 방식이 개발되었다. 그러나 실제 가장 널리 사용되는 방식은 그림 5와 같이 DCM 또는 BCM 모드로 부스트 컨버터를 동작시킴으로써, 전류의 평균 값이 입력 전압에 비례하도록 하는 방식이다.

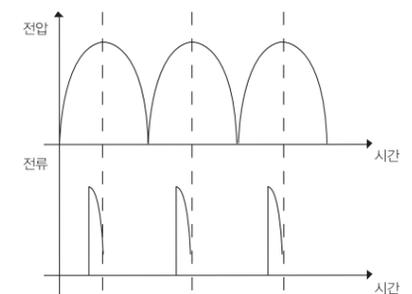
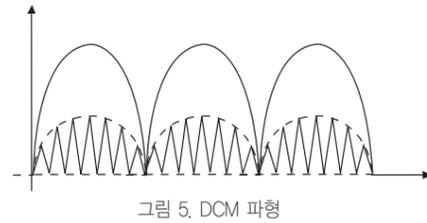


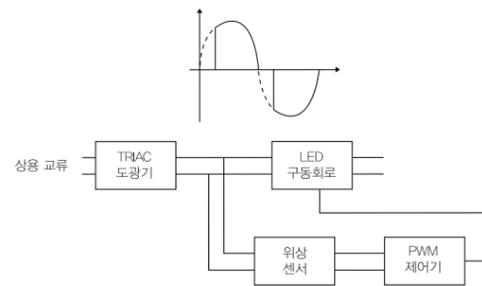
그림 4. 커패시터 필터가 달린 전파 정류회로의 충전 전류



조광 방식

LED의 밝기 조절은 구동 전류의 크기를 바꾸어 조절할 수 있으나, 구동 전류 변화에 따른 피크 파장의 천이 현상을 피하기 위하여 펄스 전류로 구동하고 전류의 크기는 고정하고 펄스 폭을 바꾸어 밝기를 조절하는 방식을 많이 사용한다. 이 때 펄스의 주파수는 플리커 현상을 피하기 위하여 120Hz보다 높은 주파수를 사용하면 되지만, 고속 카메라용 조명에서는 셔터 속도를 고려하여 높은 조광용 펄스 주파수를 사용하여야 한다.

그러나 LED 조명 장치로 기존의 백열등을 대체하였을 경우 백열등에 사용하여 오던 기존의 조광기를 사용할 수 있도록 호환성을 주는 것이 필요하다. 이를 위해서는 그림 6과 같이 기존에 트라이악 소자에서 위상 제어가 되어 들어오는 파형을 감지하여 그에 상응하는 조광용 PWM 신호를 생성하는 기능이 요구된다.



플라이백 변환기

플라이백 회로는 그림 7과 같이 벡-부스트 변환기에 변압기를 적용한 형태로 이해할 수 있다. 플라이백 회로의 동작을 간략히 설명하면 다음과 같다. 먼저 그림 7(d)의 스위치가 닫히면 변압기의 1차 코일에 전류가 증가하면서 자화 인덕턴스에 에너지가 저장된다. 이 때 변압기의 2차 코일에는 다이오드가 역방향 바이어스되어 전류가 흐르지 않는다. 스위치가 열리면 1차 코일의 자화 인덕턴스에 흐르고 있던 전류가 변압기의 1차 코일에 흘러 2차 코일에 유도되는 전압의 극성이 바뀌어 다이오드는 순방향 바이어스되고, 1차 코일의 자화 인덕턴스에 저장되었던 에너지가 2차 코일로 전달된다.

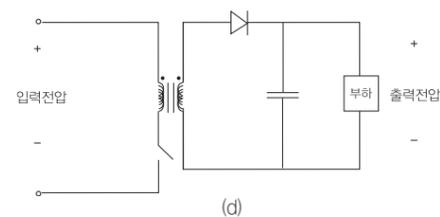
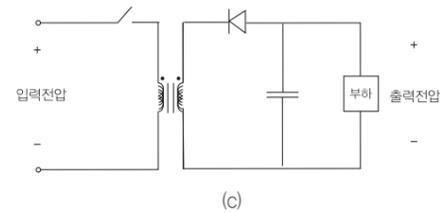
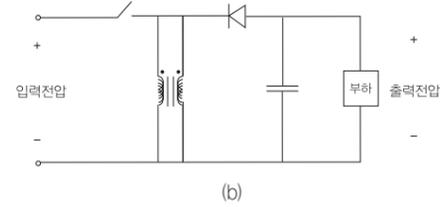
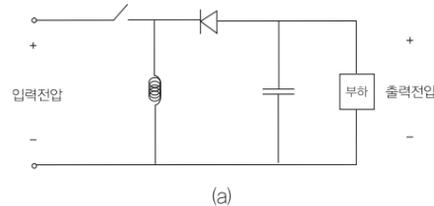


그림 7. 벡-부스트 컨버터로부터 플라이백 컨버터의 유도

플라이백 방식은 회로가 간단하여 저가에 유리하며, 변압기를 사용하므로 접지 격리가 가능하여 LED 조명용 구동회로로 널리 사용되고 있다. 전류 구동모드로는 연속모드와 불연속모드가 있다. 연속모드는 듀티가 50% 이상인 경우 전류제어모드에 사용되는 전류궤환루프에 슬로프 보상이 필요하다는 단점이 있으며, 불연속모드는 전류의 RMS 값과 첨두 값이 높고, 인덕터의 플럭스가 크게 변하는 단점이 있다.

LED 구동회로를 2단으로 구현하는 경우에는 첫 단계에 부스트 변환기를 DCM 모드로 동작시켜 높은 역률을 얻고, 둘째 단계에 플라이백 변환기를 사용한다. 이 방식은 전력 변환 효율이 저하하고 가격이 높아 지지 때문에 최근에는 두 단을 통합하여 구현하는 추세이다.

또한 접지를 격리하는 경우 광전결합소자를 사용하는 대신에 1차에 보조 코일을 감아 2차 코일에 연결된 부하의 상태를 감지하는 방식인 primary side sensing 방식을 많이 채택하고 있다. 또한 스위치가 꺼질 때 스위치에 걸리는 고압으로부터 트랜지스터를 보호하기 위하여 그림 8과 같은 스너버(snubber) 회로가 필요하다.

한편 스위치가 꺼질 때, 변압기의 자화 및 누설 인덕턴스와 스위치의 기생 커패시턴스에 의하여 발생하는 공진 현상을 고려하여, 스위칭 손실과 전자파 방해를 감소시키는 유사공진(Quasi Resonance) 방식을 사용하는 방법도 사용되고 있다. 즉 스위치에 걸리는 전압이 공진 과정에서 가장 낮은 전압에 도달하였을 때 스위치를 닫는 방식을 사용하는 것이다.

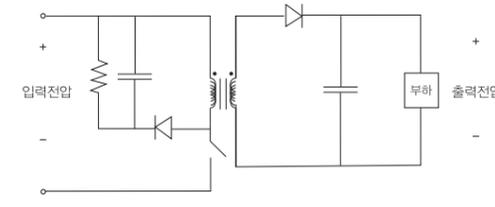


그림 8. RCD 스너버

큰 구동 전력이 필요할 때에는 그림 9와 같은 half bridge LLC resonant converter가 사용되는 추세이다. 대용량 구동 회로의 경우에는 가격에 제한을 덜 받기 때문에 좀더 gydbfi 좋은 복잡한 변환기 방식을 사용할 수 있다. 또한 가격을 낮추고, 신뢰도를 높이기 위하여 상용 교류 전원을 직류로 변환하지 않고 그림 10과 같이 직접 LED를 구동하는 방식도 있다. 이 경우에 발생할 수 있는 플리커 현상과 입력 교류 전압의 변동에 안정적인 동작을 보장하는 여러 회로 기술이 개발되고 있다.

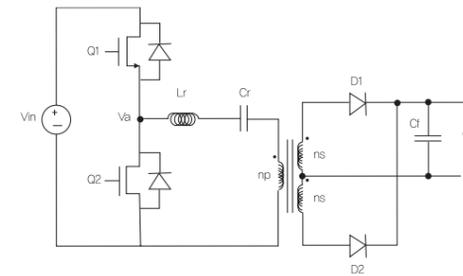


그림 9. Half Bridge

결론

LED 구동회로는 LED 조명 장치의 가격 경쟁력과 신뢰도에 큰 영향을 주는 요소이다. 중저전력용 구동회로에서는 접지 격리 특성, 가격 경쟁력 등 측면에서 유리한 플라이백 방식이 널리 사용되고 있으며, 고효율과 저가격을 위하여 역률보정회로와 컨버터 기능을 결합하여 스위치를 하나만 사용하는 방식으로 발전하였다. 신뢰도가 상대적으로 떨어지는 광전결합소자 대신에 보조코일을 사용하여 부하 상태를 감지하는 primary side sensing 기술도 많이 적용되고 있으며, 전력변환효율과 전자파방해 특성의 개선을 위하여 유사 공진 방식도 적용되고 있다. 고전력용 구동회로에서는 LLC 공진형 컨버터가 사용되고 있으며, 저가형 구동회로로서 교류 직접 구동 방식도 개발되고 있다.

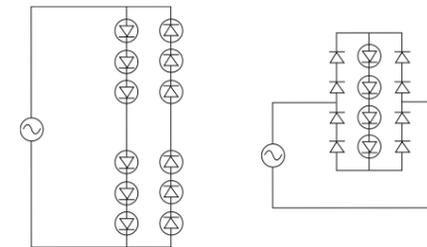
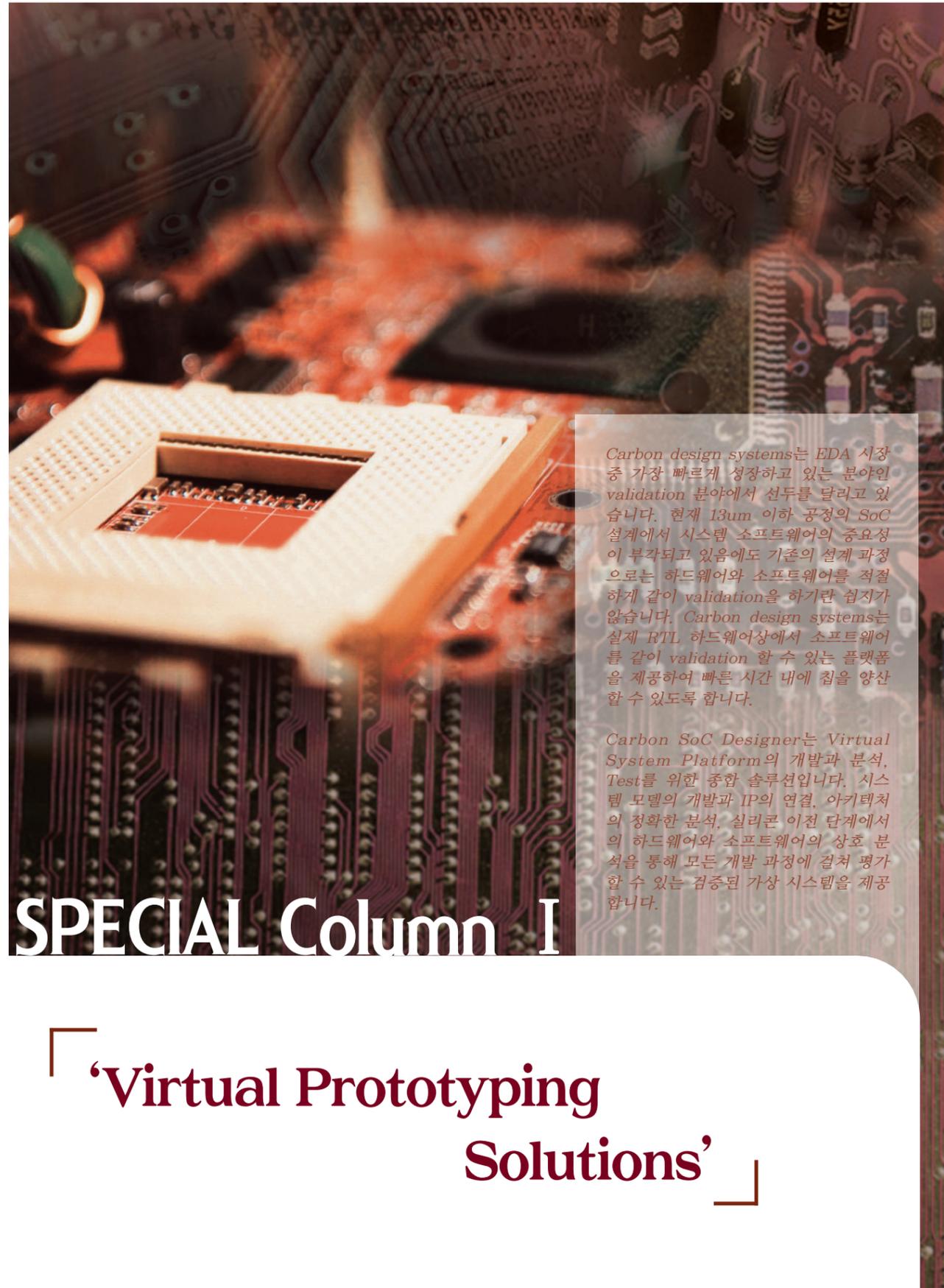


그림 10. AC 구동방식

SPECIAL Column I

「Virtual Prototyping Solutions」



Carbon design systems는 EDA 시장 중 가장 빠르게 성장하고 있는 분야인 validation 분야에서 선두를 달리고 있습니다. 현재 13um 이하 공정의 SoC 설계에서 시스템 소프트웨어의 중요성이 부각되고 있음에도 기존의 설계 과정으로는 하드웨어와 소프트웨어를 적절하게 같이 validation을 하기란 쉽지가 않습니다. Carbon design systems는 실제 RTL 하드웨어상에서 소프트웨어를 같이 validation 할 수 있는 플랫폼을 제공하여 빠른 시간 내에 칩을 양산 할 수 있도록 합니다.

Carbon SoC Designer는 Virtual System Platform의 개발과 분석, Test를 위한 종합 솔루션입니다. 시스템 모델의 개발과 IP의 연결, 아키텍처의 정확한 분석, 실리콘 이전 단계에서의 하드웨어와 소프트웨어의 상호 분석을 통해 모든 개발 과정에 걸쳐 평가 할 수 있는 검증된 가상 시스템을 제공합니다.

Introduction

Carbon design systems는 EDA 시장 중 가장 빠르게 성장하고 있는 분야인 validation 분야에서 선두를 달리고 있습니다. 현재 13um 이하 공정의 SoC 설계에서 시스템 소프트웨어의 중요성이 부각되고 있음에도 기존의 설계 과정으로는 하드웨어와 소프트웨어를 적절하게 같이 validation을 하기란 쉽지가 않습니다. Carbon design systems는 실제 RTL 하드웨어 상에서 소프트웨어를 같이 validation 할 수 있는 플랫폼을 제공하여 빠른 시간 내에 칩을 양산 할 수 있도록 합니다.

Carbon SoC Designer는 Virtual System Platform의 개발과 분석, Test를 위한 종합 솔루션입니다. 시스템 모델의 개발과 IP의 연결, 아키텍처의 정확한 분석, 실리콘 이전 단계에서의 하드웨어와 소프트웨어의 상호 분석을 통해 모든 개발 과정에 걸쳐 평가 할 수 있는 검증된 가상 시스템을 제공합니다.



그림1.

Products

Carbon Model Studio

Complete Automation Model Generation Solution
Carbon Model Studio은 hardware behavior을 정확히 구현하는 software model의 automatic generation, validation과 execution을 위한 complete solution입니다. Carbon Model Studio은 전반적인 design lifecycle에서 사용될 수 있습니다. Carbon models을 사용하여 다음과 같은 작업이 가능합니다.

- Accurate architectural analysis
- Presilicon software integration
- Secure external model distribution



그림2. Simulating a Virtual Prototype with Carbon SoC Designer Plus

Rapid Development of IP Models

근래의 SoC design에서는 기존 project로부터 다시 활용되거나 3rd party에 의해 제공되는 IP이 전체 design의 80%정도 수준에 이르고 있습니다. Carbon Model Studio을 이용해 사용자는 완벽하고 정확한 virtual platforms을 생성하기 위해 이러한 IP을 준비할 수 있습니다.

Automatically compiles RTL into high-speed software models
Straightforward GUI manages model creation and validation
Easy configuration management for model variants

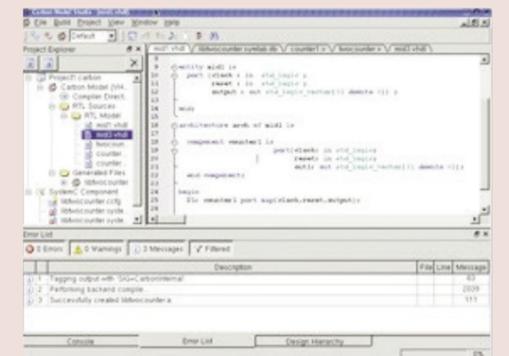


그림3. Generating a Component with Carbon Model Studio

Platform Integrations

사용자가 결정한 system environments에서 사용자의 hardware models을 사용할 수 있는가의 여부는 중요합니다. Carbon Model Studio은 어떤 system simulation platform도 지원할 수 있도록 가장 기본에서부터 구성되었습니다. 각각의 platform에 맞는 unique models을 개발할 필요가 없습니다.

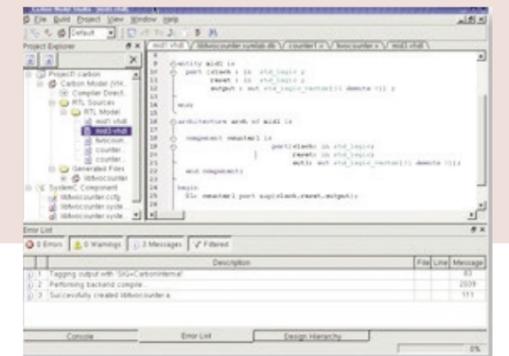


그림4. Model creation is fast and easy

One Model - Many Uses

Carbon Model Studio가 다양한 platform integrations을 제공하기 때문에 사용자는 여러 development environments에서 Carbon Models을 사용할 수 있는 다양성을 확보할 수 있습니다. Software engineers는 Programming을 위해 data-book의 관점에서 Device에 집중 할 수 있습니다. Architects는 buses, interfaces 그리고 transactions에 접근할 수 있습니다. Hardware engineers는 waveform dumping을 포함하여 RTL 내부에 대한 full debug ability와 visibility을 갖게 됩니다. 사용자의 모든 team 구성원들이 각 environments에 맞추어 issues를 porting할 필요 없이 문제를 해결하는데 전념할 수 있습니다.

Carbon SoC Designer

Complete Virtual Platform Development Solution Carbon SoC Designer는 Virtual System Platform의 개발과 실행 및 분석을 위한 가장 완벽한 솔루션입니다. Carbon SoC Designer는 전반적인 Design Lifecycle동안에 사용되며 다음과 같은 Virtual Platform의 작업을 합니다.

- System model development and IP integration
- Accurate architectural analysis
- Pre-silicon hardware/software integration

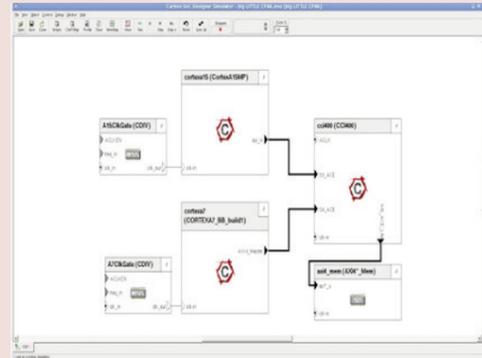


그림4. ARM big.LITTLE bare metal CPAC

Rapid Development of Virtual Platforms

SoC Designer를 통해 Virtual Platform을 쉽게 만들 수 있습니다. SoC Designer의 easy-to-use GUI환경을 통해 사용자가 원하는 Virtual Platform의 구성 및 설정을 빠르고 쉽게 처리할 수 있습니다. 최근 Virtual Platform의 제작에 있어서 keypoint는 Model에 있으며, SoC Designer는 이러한 다양한 형태의 Model 구성에 대해서 다음과 같은 지원과 연결을 합니다.

Flexible SystemC model support for easy creation and integration
High performance cycle-accurate and implementation-accurate models compiled by Carbon Model Studio
Spirit IP-Xact support for easy model exchange

Platform debug

Model을 통한 System의 구성은 가상 System solution의 일부일 뿐입니다. 핵심은 Platform을 실행하고 전체 시스템의 동작을 검증하고 분석하는 부분입니다. SoC Designer는 각 사용자 별로 구성이 가능하며 최적화된 Interface를 통해 하드웨어와 소프트웨어 엔지니어가 동시에 사용할 수 있는 환경을 제공하면서 model 및 platform의 상세한 접근과 동작의 제어가 가능한 환경을 제공합니다. 소프트웨어 엔지니어는 load되어 있는 S/W Source Code를 보는 것과 동시에 Breakpoint의 설정과 Register 및 메모리의 분석이 가능하며, 하드웨어 엔지니어는 Signal의 분석과 Waveform의 Dump를 하면서 전체 시스템의 동작을 추적하는 환경을 제공합니다. 특히 Run-time중 Performance의 분석을 제공하여 사용자가 System의 구동 중 동작에 대한 즉각적인 Feedback을 할 수 있는 기능을 제공합니다

Architectural Analysis

System Architecture의 분석과 개발에 필요한 accuracy한 Model을 구성하는 것은 시스템의 특성을 분석하는 데 매우 중요합니다. 특히 복잡한 버스 구조나 Multi-core 환경에서는 필수적입니다. SoC Designer는 accuracy의 혼합과 Performance, flexibility를 제공하여, 디자인 단계에서의 중요한 결정단계에 핵심적인 판단 정보를 제공합니다. 과거의 ad-hoc Model을 통한 예측과 단순 계산이나 경험을 근간으로 한 것이 아닌 좀 더 정확하고 신뢰성 있는 개발의 진행이 가능합니다.

Create cycle-accurate system models required for detailed architectural analysis and explore the performance impact of hardware/software trade-offs

Measure interconnect performance of complex bus architectures using actual system behavior to drive traffic

Quickly and easily make changes and explore design space alternatives before committing to an implementation

Hardware/Software System Validation

System의 분석에는 전체적인 통합 작업이 필요하기 때문에 Hardware와 Software의 양측에서 보장된 정확한 모델이 필요합니다. Cycle-Accurate

기반의 Virtual Platform은 실제 Silicon chip 단계 이전에 Software와 Hardware의 검증에 지원합니다. 특히 FPGA나 Silicon 이전 단계에서 Driver와 Firmware 개발을 위한 환경을 제공합니다.

Speed system integration time by debugging your software on virtual platforms before physical prototypes are available

Reduce risk by validating hardware implementations using actual system software

Eliminate physical prototype availability as a bottleneck to software development

Accelerate the cycle of debugging, implementing hardware or software changes, and then re-executing the system

Carbon SoC Designer Plus(Carbon IP Exchange)

Carbon SoC Designer Plus는 사용자에게 무제한의 Access가 가능한 Carbon IP Exchange (CX)를 제공하고 있습니다. Carbon IP Exchange는 Carbon의 IP Partner가 제공하는 Virtual System Prototype을 구축하기 위한 다양한 모델을web Portal을 통해서 지원하고 있습니다. Model은 Cx에서 손쉽게 설정과 빌드, 다운로드 및 관리를 할 수 있고 SoC Designer plus로 직접 이동이 가능합니다.

Carbon IP Exchange의 다양한 이점은 아래와 같습니다.

Quality - Model은 검증되고 관리된 "Clean" 환경에서 생성되어 제공됩니다. 또한 SoC Designer Plus와의 연동에 대해서 검증됩니다.

Usability - Model의 설정에 대해서 사용자의 오류를 미리 차단하고 자동적으로 빌드가 될 수 있도록 단순하면서도 연결된 질문 방식으로 진행됩니다. RTL이나 디자인의 속성을 몰라도 유저가 원하는 모델을 구성할 수 있습니다.

Enhanced Customer Satisfaction - Carbon Exchange의 서비스는 사용자가 필요할 때 언제든지 지원할 수 있도록 구성되어 있습니다(24 Hour / 7 Day). 사용자는 손쉽게 필요한 모델에 대해서 구성하고 그 상태를 확인할 수 있습니다.

IP Management - Cx의 기술 지원은 사용자가 구성했던 Model에 대한이력과 구성 설정에 대해서 관리하고 새로운 Version이 나왔을 때 사용자의 품질개량을 위해 Upgrade를 알려줍니다. 또한 구성된 모델에 대해서 사용자의 그룹 및 사업체 단위로 통합 관리 및 구성 설정 관리를 지원합니다.



인큐솔루션(주)
주소 : 서울 서초구 양재동 114 덕산빌딩 401
Tel : 070-4047-4060
http://www.incusolution.co



IDEC MPW 설계공모전 2013

국내 대학(원)생의 SoC 설계 아이디어를 국내외 Foundry를 통해 구현해 볼 수 있는 기회를 드립니다.



2013년 MPW 공업 지원 내역

회사	공정	공급내역	size	공모건수	Package
삼성	05nm	RFCMOS 1-poly 6-metal(119회), 126회 CMOS 1-poly 7-metal(121회)	4m x 4m	3	208pin GFP
	0.35um	CMOS 2-poly 4-metal (Optional layer(IDNW,HR,BJT,CPOL) 추가)	5m x 4m	2	Design-146pin Package:저력-208pin GFP
메그나칩/하이닉스	0.18um	CMOS 1-poly 4-metal (metal을 Thick metal(TKM)로만 사용가능) (Optional layer(IDNW,HR,BJT,MM) 추가)	4.5m x 4m 4.5m x 2m	4	Design-200pin Package:저력-208pin GFP
	0.11um	RFCMOS 1-poly 4-metal (Top:UTM)	5m x 2.5m	2	208pin GFP
동부하이텍	0.18um BCDMOS	CMOS 1-poly 4-metal TM	5m x 2.5m	4	지원하지 않음
	0.35um BCDMOS	CMOS 2-poly 4-metal TM		2	
TowerJazz	0.18um CIS	CMOS 1-poly 4-metal	2.5m x 2.5m	4	지원하지 않음
	0.18um RFCMOS	RFCMOS 1-poly 4-metal		2	
	0.18um BCDMOS	CMOS 1-poly 3-metal(MT)		4	
	0.18um SiGe	SiGe BCDMOS 1-poly 6-metal		1	

2013년 공정 지원 변경 내역
* 삼성 공정 : ① 0.13um 공화 치의 중단 ② 삼성 05nm 3회 지원 (2회-3회)
* 동부 공정 : ① 0.11um-지원 축소 ② 0.35um 축소 (이하-4회) - 0.18um공정 (3회-4회)
* 동부 BCD 공정 _ PKG 지원 중단 (기존 : 146pin 제작 지원함)

2013년 MPW 진행 일정

구분	공정사	공정	제작 일수	우선모집		후기모집		후기	DB연달 (Tape-out)	DB연달 (Fab-in)	Die-out
				신청마감	신청발표	신청마감	신청발표				
118회 (13-01)	M/H	0.18um	20		12.12.07	12.12.20			13.02.18	13.03.04	13.07.22
	동부	0.35um	3		12.12.07	12.12.20			13.02.27	13.03.13	13.06.12
119회 (13-02)	T/J	0.11um	12		12.12.07	12.12.20			13.03.12	13.03.19	13.07.01
	삼성	0.18um(RF 지원)	48		12.12.07	12.12.20			13.03.20	13.04.10	13.07.31
120회 (13-03)	동부	0.35um	3		12.12.30	13.01.16			13.03.15	13.04.05	13.08.15
	M/H	0.18um	20		12.12.30	13.01.16			13.05.01	13.05.15	13.08.14
121회 (13-04)	T/J	0.18um(CIS)	1		12.12.30	13.01.16			13.05.06	13.05.20	13.10.04
	동부	0.18um	2		12.12.30	13.01.16			13.05.06	13.05.13	13.09.16
121회 (13-04)	M/H	0.35um	20		12.12.30	13.01.16			13.05.15	13.05.29	13.08.28
	T/J	0.18um(RF)	1		12.12.30	13.01.16			13.05.20	13.05.27	13.09.16
122회 (13-05)	M/H	0.18um	20		12.12.30	13.01.16			13.06.17	13.07.04	13.10.04
	동부	0.18um	2		13.01.30	13.02.15	13.03.04-		13.06.26	13.07.10	13.10.09
123회 (13-06)	동부	0.18um	2	12.12.05	13.01.30	13.02.15	13.04.01-		13.07.05	13.07.26	13.12.04
	동부	0.35um	3		13.01.30	13.02.15	13.04.01-		13.07.29	13.08.12	13.12.24
124회 (13-07)	동부	0.11um	12		13.02.28	13.03.15	13.05.02-		13.08.14	13.08.28	13.11.27
	T/J	0.18um(CIS)	1		13.03.30	13.04.15	13.06.03-		13.08.21	13.09.04	13.12.04
125회 (13-08)	T/J	0.18um(RF)	1	13.1.30	13.04.30	13.05.17	13.07.01-		13.09.11	13.10.02	14.01.22
	M/H	0.18um	20		13.04.30	13.05.17	13.07.01-		13.10.21	13.10.28	14.02.17
126회 (13-09)	동부	0.35um	3		13.04.30	13.05.17	13.07.01-		13.10.21	13.11.04	14.03.25
	삼성	0.18um	2	13.02.28	13.05.30	13.06.17	13.08.01-		13.10.23	13.11.04	14.02.05
127회 (13-10)	동부	0.18um	2		13.05.30	13.06.17	13.08.01-		13.11.08	13.11.29	14.04.11
	M/H	0.35um	20		13.05.30	13.06.17	13.08.01-		13.11.13	13.11.27	14.02.26

* 표기 : 11년, 월, 일 기 M/H는 메그나칩/SK하이닉스 3기 T/J= TowerJazz
* 모집 : 우선(50%), 정규(50%) 모집을 원칙으로 하며, 정규에 마감일 만만 공정한 후기모집을 실시
* 설계설명회 개최는 정규 모집 마감후에만 개최
* Package 제치는 'Die chip out' 이후 1개월 소요
* 위의 일정은 상황에 따라 다소 변경될 수 있음.

참여대상

IDEC Working Group(WG)대학의 학생 및 대학원생

Multi Project Wafer Design Contest 2013



ISSCC는 2013년 2월 17일부터 21일까지 샌프란시스코에서 개최되었는데, 올해는 60주년으로 이제 환갑을 맞이한 반도체 회로 설계의 역사를 느낄 수 있는 매우 의미 있는 행사로써, Conference Theme은 "60 YEARS OF (EM) POWERING THE FUTURE"이었다. 특별히 기념할 일은 조규형 교수와 유희준 교수가 지난 60년 동안 학회 논문에 가장 많이 이바지한 16인을 선정되어 수상하였고, 한국 반도체 설계의 세계적인 위상을 확인하는 자리가 되었다. 본 기고문은 참석하였던 아래의 전문가들이 분야별로 세션의 주요 기술 동향을 참가 후기 형식으로 정리하였다.

- 이중욱 교수(경희대) : Harvesting & Wireless Power
- 조성환 교수(KAIST) : PLL and Clock Generation
- 류승탁 교수(KAIST) : Nyquist Data Converter
- 신현철 교수(광운대) : Biomedical Circuits
- 채영철 교수(연세대) : Image Sensor
- 전정훈 교수(성균관대) : Wireline TRx
- 김태욱 교수(연세대) : Wireless TRx
- 남병규 교수(충남대) : Processor and Digital Circuits
- 김중선 교수(홍익대) : Memory Circuits

연세대학교 글로벌융합공학부
 김시호 교수
 연구분야 : 지능형 자동차 & 전기 자동차 전장시스템
 E-mail : shiho@yobsei.ac.kr

SPECIAL Column II

ISSCC 2013 참가 후기 및 기술 트렌드

Harvesting & Wireless Power session

경희대학교 전기전자전파공학부
 이중욱 교수
 연구분야 : 무선전력 전송, 에너지 하베스팅, RFID
 E-mail : jwlee@khu.ac.kr

우리 주위에 다양하게 존재하는 에너지원에서 전력을 얻어 다양한 무선기기를 구동하는 기술은 여전히 전 세계적으로 많은 관심을 끌고 있다. 기존에 많이 연구되어 왔던 센서 네트워크의 성공 여부도 이러한 전력 공급 문제에 많이 의존한다. 최근에는 이런 무선전력으로 구동되는 스마트폰에도 이러한 효과적인 전력 공급 문제가 연구되고 있다.

높은 효율로 무선 전력을 받기 위해서는 정류기 설계가 핵심요소인데, ISSCC 2013 세션 4 (Harvesting & Wireless Power session)에는 총 8편의 논문이 발표되었다. 첫째 및 두 번째 논문은 무선 전력 충전에 대한 신기술을 소개하고 있다.

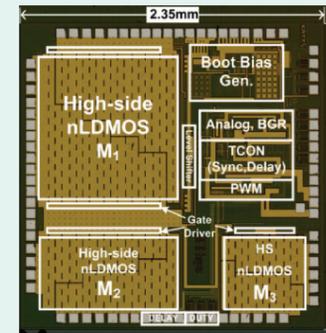


그림 1. 공진형 전력 전송 시스템에서 무선충전을 제어할 수 있는 수신단 칩

첫째 논문은 최근 많은 관심을 끌고 있는 6.78MHz 공진형 전력 전송 시스템에서 효과적으로 무선충전을 제어할 수 있는 수신단을 소개하고 있으며, 0.35 μ m BCD 공정으로 제작되어 6W의 전력을 86%의 효율로 전송할 수 있다.

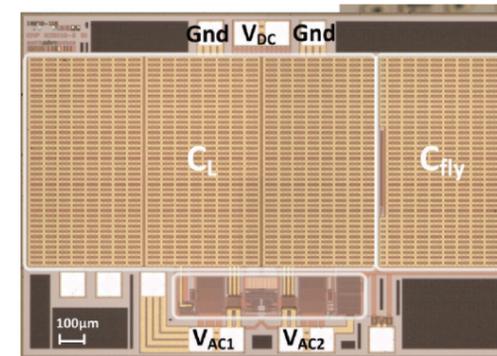


그림 2. 공진형 전력 전송 시스템에서 무선충전을 제어할 수 있는 수신단 칩

두 번째 논문은 입력 전력의 크기에 따라 1X 또는 2X의 가변 전압비율로 정류할 수 있는 새로운 회로를 소개하고 있다. 누설 전류를 차단할 수 있는 능동 다이오드를 MOSFET으로 구성하고, 이 MOSFET의 게이트 입력은 비교기를 이용하여 스위칭하는 테크닉을 사용하였다.

이 정류기는 13.56MHz에서 동작하며 0.35 μ m CMOS 공정으로 제작되었

으며 32mW의 출력을 84.2%의 효율로 전송할 수 있다 (그림 2). 그 외에 태양광이나 진동에너지를 최적 에너지 추출 기법으로 얻을 수 있도록 해주는 논문이 6편이 추가로 발표되었다.

이들 논문 중에는 기존에 사용되었던 최적 에너지 추출 알고리즘에 사용되었던 복잡하고 전력 소모가 많은 디지털 제어 기법을 저전력의 아날로그/혼성회로 기법으로 구현한 의미 있는 결과를 제시하고 있다.

매년 새로운 아이디어와 설계기법이 도입되어 이 분야의 전 세계적으로 높은 관심을 나타내고 있음을 알 수 있다.

PLL and Clock Generation

KAIST 전기 및 전자공학과
 조성환 교수
 연구분야 : PLL and CMOS Sensors
 E-mail : chosta@ee.kaist.ac.kr

전통적으로 clock 및 frequency generation과 관련된 회로는 ISSCC의 여러 분야에서 다루어진다.

Analog 분야에서는 PLL, DLL 및 이들의 구성 요소의 성능을 높이는 analog technique을 주로 다루는 반면, RF 분야에서는 wireless application에 특성화된 GHz 대역의 LC-oscillator를 이용한 low-phase noise, low-spur frequency synthesizer를 다루고, wireline 분야에서는 high-speed link에 응용될 수 있는 low-jitter PLL, DLL technique을 다루고 있다.

최근 들어서는 High-performance digital 분야에서 microprocessor 및 DSP의 clock generation에 쓰이는 ring-oscillator를 이용한 all-digital PLL을 다루고 있고 이 밖에도 memory 분야에서 high-speed memory interface에 관련된 PLL/DLL 회로를 심심치 않게 볼 수 있다.

올해에는 PLL 및 clock/frequency generation 관련 논문이 크게 세 session - #14, #20, #23 - 에 소개되었다. (이 session에서만 PLL 관련 회로를 찾을 수 있는 것은 아니다.) Session 14에서는 digital PLL을 주로 소개하고 있는데 이중 주목할 만한 논문은 14.2, 14.3 및 14.4이다.

특히 이 중 14.2에서는 pixel clock generation에 쓰이는 PLL을 두 개의 loop를 사용하여 구성했으며 이를 standard cell을 사용하여 automatic synthesis를 했다는 것이 인상 깊다.

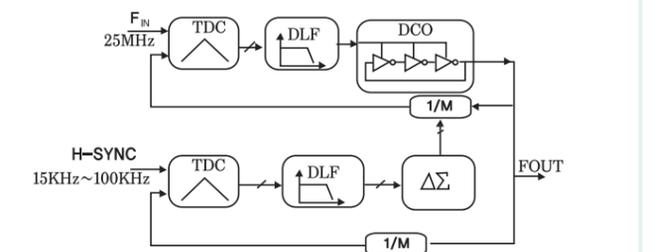


그림3. (14.1) 28nm로 합성된 ADPLL

(그림 1) 14.3의 경우 spread-spectrum clocking을 위하여 random modulation을 사용했고, 14.4의 경우 phase-interpolation을 사용하여 phase-to-digital converter의 resolution을 높여 jitter를 낮추었다.

Session 20에서는 low-noise VCO들이 여러 편 소개되고 PLL 관련해서는 60GHz 통신을 위한 주파수 합성기가 20.4, 20.5에서 각각 reference spur가 기존 대비 30dB 적은 ADPLL 및 In-phase injection coupling을 통해 QVCO noise를 낮춘 PLL이 소개되었다.

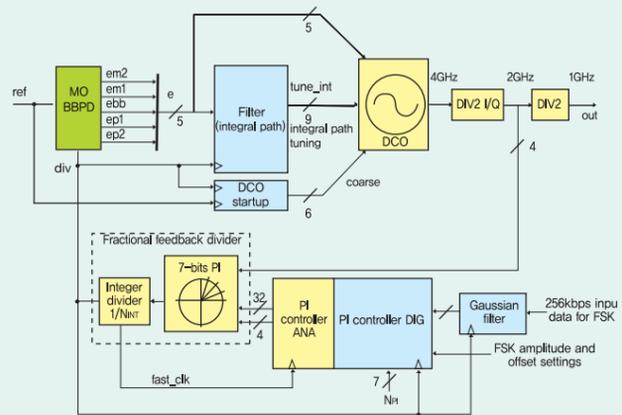


그림 4. (20.6) BBPD 및 fractional-divider를 이용한 ADPLL

이외에도 fractional-divider와 Bang-bang PD를 사용한 ADPLL(그림 2) 및 DTV tuner를 위한 low-noise PLL이 20.6 및 20.7에서 각각 소개되었다. Session 23에서는 PLL이 두 편 소개되고 있는데 23.8에서는 injection-locked PLL에서 VCO에 injection 하는 timing을 스스로 맞출 수 있는 analog PLL과 23.9에서는 ring-oscillator를 이용한 fractional-N PLL에서 delta-sigma modulator의 fractional-spur를 줄이는 segmentation 기법이 소개되었다.

종합적으로 보았을 때 예년과 마찬가지로 ADPLL이 계속 주목받고 있고 low-noise technique으로는 injection-locking으로 좋은 결과를 얻는 추세이다. 불행히도 올해에는 작년과 달리 PLL의 FoM에서 새로운 기록을 보지는 못하였다.

Data Converter (Nyquist-rate ADC)

KAIST 전기 및 전자공학부
 류승탁 교수
 연구분야 : Analog, Data converter
 E-mail : stryu@kaist.ac.kr

2013년 ISSCC의 data converter 관련 세션에서는 총 15편의 data converter 관련 논문이 발표되었다. 구조별로는, SAR, Flash, pipelined, over sampling, DAC가 각각 7편, 1편 (paper #2.4를 포함하면 2편), 2편, 3편, 2편씩 발표되었다. 본 절에서는 Nyquist ADC의 경향에 대해서만 정리하기로 한다.

발표된 논문 중 절반에 가까운 7편의 논문이 SAR ADC를 기반으로 하는 것이어서, 2000년대 후반부터 시작된 SAR ADC를 이용한 저전력화 및 고속화에 관한 연구 trend가 여전히 계속되고 있음을 보여주었다. 특히 capacitor matching calibration 없이 설계된 13b와 14b ADC

(#15.3, #26.6)는 현재 CMOS 공정의 capacitor 매칭의 우수성을 잘 보여주었고, 이제까지의 논문들에서 12b 해상도 수준에 머물러 있던 SAR ADC의 해상도를 더욱 끌어올리는 성과를 달성하였음에 의의가 있다고 하겠다.

더불어, IMEC에서 발표한 12b ADC (#15.2)는 250aF를 unit capacitor로 이용함으로써, 12b 해상도의 성능이 kT/C noise 제약수준에 도달하는 정도의 가벼운 hardware로 설계될 수 있음을 보여주어, 그 저전력 우수성과 함께 주목을 끌었다.

SAR ADC의 고속화 측면에서도 눈에 띄는 결과를 발견할 수 있었는데, IBM과 EPFL에서 발표한 8b SAR ADC (#26.4)는 단일 채널만을 이용하면서도 1.2GS/s의 고속으로 동작할 수 있는 설계기법을 보여주었다.

NXP에서는 자신들이 ISSCC2011에서 발표했었던 다중 채널 병렬화를 이용한 10b 2.6GS/s 64x time-interleaved ADC를 개선하여 11b 3.6GS/s의 우수한 결과를 얻었다 (#26.2).

SAR ADC에서의 비교기 노이즈에 의한 ENOB 제약을 극복하기 위한 연구 결과들도 눈에 띄는데, IMEC과 Panasonic에서는 LSB 근처의 bit 결정에서 voting 및 adaptive averaging을 이용한 여러 번의 결정을 통하여 SNR을 향상했다 (#15.2, #15.3).

KAIST에서는 고속 2b/cycle SAR ADC의 여러 여러 요소에 의한 해상도 저하를 극복하기 위하여 2b to 1b/cycle reconfiguration 기법을 제안하여 9b ADC에서 state-of-the-art 수준의 10b ADC의 성능에 가까운 SNDR를 얻을 수 있었다 (#26.5).

Flash ADC는 6b 10.3GS/s 사양의 ADC가 Broadcom에 의해서 두 편이 발표되었는데 (#26.1, #2.4), 모두 10Gbps Ethernet 구현을 위한 것이었다.

Pipeline ADC에서는 낮은 사양 opamp의 이득 및 비선형적 에러를 작은 error amp로 제거할 수 있는 기법을 제안하여 14b ADC를 구현하였다.

이 결과는, 증폭기 에러의 효과적인 보상기법이란 기본적 의미 외에도, 현재의 공정이 capacitor matching 수준을 14b 정도까지 제공할 수 있음을 보여주는 것이기도 하다.

Agilent에서는 자신들이 2002년에 발표했었던 전류모드 pipeline ADC를 개선하여 측정기용 14b 2.5GS/s의 고속 고해상도 ADC를 발표하였는데 (#26.3), 이것이 아주 우수한 사양임은 분명하나 현재 기술적 흐름과는 조금 거리가 있는 24W라는 과도한 전력소모가 단점이다.

올해 ISSCC에서 발표된 ADC들의 전반적 성능 추이를 확인하기 위해서는 IEEE Solid-state Circuits Magazine Winter 2013호의 ISSCC trends를 참고하면 도움이 될 것이다.

Biomedical Circuits

광운대학교 전자융합공학과
 신현철 교수
 연구분야 : CMOS RF/아날로그 회로, PLL
 E-mail : hshin@kw.ac.kr

의공학 관련 논문은 Technology Direction Subcommittee와 Imager/MEMS/Medical/Display Subcommittee에서 각각 제공한 두 개의 세션에서 발표되었다.

Session 6에서는 건강 상태 진단과 처방을 위한 회로가 많이 발표되고, 주요 논문으로는 임피던스 센서를 내장한 패치 형태의 피부투과형 약물주입 이온토포레시스 제어 회로, 간질 발생 검출 위한 EEG 신호 처리 회로, Through-Silicon-Via 기술을 적용한 16 채널 신경 프로브, 의수 제어를 위한 2V 유기 트랜지스터 기술 기반 표면 근전도 측정회로 등이 있다.

그 외에도 유기 트랜지스터 기술을 이용한 ADC도 발표되었다. Session 16의 전반부 4개의 논문은 신경 인터페이스 회로에 관한 것이다.

간질 질환 검출 및 전기 신호를 통한 억제를 위한 페루프 신경 제어 SoC, 455개의 능동 전극과 52개의 검출 채널을 집적한 CMOS 신경 프로브, 0.45V의 저전압에서 동작하는 100채널 신경 신호 기록 회로, 전력 소모를 줄이기 위해 Action Potential의 변화가 있을 때만 검출해서 무선으로 전송 기록하는 회로가 발표되었다.

인공 망막을 위한 SoC가 두 편 발표되었는데, 그중에서 UCLA에 의한 1024채널 SoC가 주목을 받았다. Sensionics 라는 회사에서는 체내 이식형 상시 혈당 모니터링 시스템을 위한 소형 Fourimeter SoC가 발표되었는데 상용화에 근접한 제품으로 주목받았다.

또한, 체내 이식형 페이스메이커를 위한, 바이오 임피던스 검출 및 아날로그 특징 추출 기능을 갖는 심전도 신호 처리 회로도 발표되었다.

주요 논문을 발표한 기관으로는 한국의 KAIST, 벨기에 IMEC, Singapore, 네덜란드 아인트호벤 대학 등과 미국의 UCLA, Stanford, Caltech 등이 있었다.

Image Sensors 분야

연세대학교 전기전자공학과
 채영철 교수
 연구분야 : Sensor Interfaces, Delta-Sigma ADCs, CMOS Imager
 E-mail : ychae@yonsei.ac.kr

Image sensor 분야는 과거 consumer electronics 위주의 논문에서 wireless sensor node, medical imaging, 3D imaging 등 다양한 형태로 분화되는 모습을 보이는 것이 가장 큰 특징이다.

또한, 이미지 센서 공정기술 측면에서는 3D stack 구조가 mass production이 가능한 정도로 발전된 모습을 보여주었다.

Image sensor 세션의 첫 두 논문은 University of Michigan에서 발표한 논문으로 wireless sensor network (WSN)에 사용이 가능한 저전력 sensor node를 위한 imager에 관련된 논문이다.

그 중 첫 번째 논문 "A 3.4 uW CMOS image sensor with embedded feature-extraction algorithm for motion-triggered object-of-interest imaging"은 WSN 용 센서를 위해서 움직임에 의해서 trigger되는 object-of-interest mode를 지원하는 센서를 개발하였고, 이를 이용해 물체를 인지하고 tracking 하려고 하였다.

평상시의 sleep mode에서는 센서는 1b의 motion sensing frame만을 제공하고, 이때 움직이는 물체가 인식되었을 때만 센서가 8bit mode로 전환되어 물체를 인식하고 tracking 하는 방식을 택하였다.

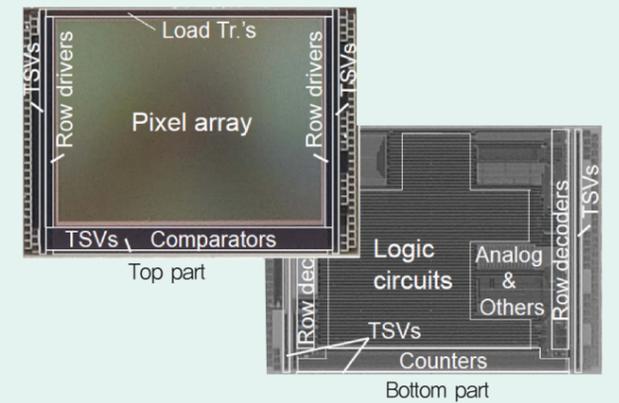


그림5. Floor plan of the chips, from Sony.

3D fabrication technology를 이용한 imager에 관한 논문이 두 편이 발표되었고, 그 중 Sony에서 발표한 논문은 "A 1/4-inch 8M pixel back-illuminated stacked CMOS image sensor"이다.

기본적인 idea는 BSI 기반의 pixel layer와 나머지 모든 circuit layer를 분리하고 이 두 layer를 TSV를 이용하여 연결하는 것이다.

Top layer는 pixel과 addressing 회로 그리고 comparator까지를 포함하고, 나머지 부분에 해당하는 부분은 두 번째 layer에 배치하였다 (그림 1). 모든 column마다 TSV를 포함한 것으로 파악되나 이에 대한 직접적인 언급은 없었다.

Top layer의 경우 90nm 공정을 사용하였고, bottom layer의 경우 logic에 더욱 적합한 65nm 공정을 사용해 더 많은 gate 수의 (2.4 M gates) ISP를 탑재하였다.

그리고 CFA의 경우 RGBW format을 사용하였고, 이를 이용해 long exposure와 short exposure를 합쳐서 WDR을 구현하였다. 1.12um pixel pitch에 5000e full well capacity를 가지고, 30fps에서 RN은 2.2 electron 수준이다.

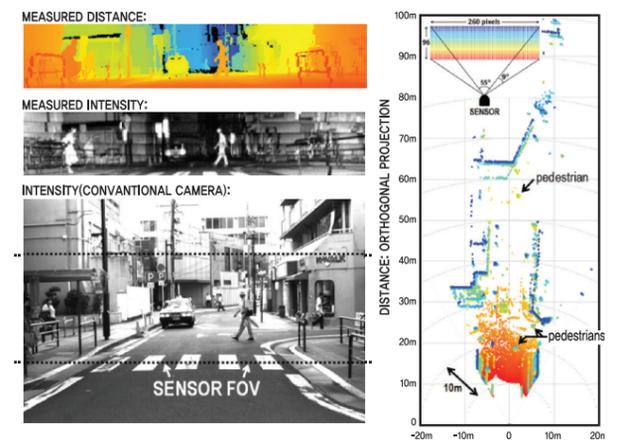


그림6. Measured distance map (100m), from Toyota R&D.

3D Depth sensor와 관련된 3편의 논문이 발표되었으며, 그 중 도요타 R&D에서 발표한 "A 0.18 μ m CMOS SoC for a 100m range, 10 fps 200x96 pixel Time of Flight depth sensor" 은 SPAD 기반의 ToF 센서로서 무인주행을 위한 Lidar system을 대체하기 위해 개발되었다. 동작 원리는 arrival time에 따른 시간상의 histogram을 만들고 (TCSPC 방식), 이 정보를 이용하여 깊이 정보를 추출해 내었다.

Frame rate가 다소 낮은 10fps 를 구현하였으나, 이 또한 제공하는 공간해상도에 비해 달성하기 쉽지 않은 spec이다.

3D센서의 성능은 100m의 거리에서 15cm 이내의 오차를 가졌으며, 이때 사용한 optical power는 불과 수십 mW 수준이었다 (그림 2).

전체 chip은 sensor뿐만 아니라, memory, DSP, TDC 등 3D 센서 연산에 필요한 모든 block을 single chip에 구현하였다. 발표된 논문은 지금까지 보고된 3D 센서 중에서 가장 우수한 센서 중의 하나이다.

Wireline TRx 분야



성균관대학교 정보통신대학 반도체시스템공학과
 전정훈 교수
 연구분야 : Communication ICs and Systems, Power ICs
 E-mail : jhchun@skku.edu

Wireline Transceiver 관련 논문은 4개 세션(S.2, S.7, S.17, S.23)에 총 31편이 발표되었다. 설계의 제약 조건이 다르므로 근거리 링크(S.23)와 메모리 인터페이스(S.7)를 초고속 인터페이스(S.2, S.7)와 분리하여 별개의 세션으로 할당하였다.

본 절에서는 4개 세션의 논문 중 clock generation에 중점을 둔 논문을 제외한 transceiver 설계에 관련한 논문들을 리뷰한다.

Session 2(Ultra-High Speed Transceivers and Equalizers)에서 발표된 8편의 논문 중 4편이 고속 DFE 설계 기술을 중점적으로 기술하였다.

이 중 UC Berkeley(#2.2)에서 발표한 66Gb/s에서 동작하는 저전력 (0.7 pJ/bit) 3-tap DFE 구조가 주목을 받았으며, Rambus사(#2.8)에서는 1-tap prDFE loop을 간략화한 기존 설계 기법을 확장하여, 2-tap으로 확장한 결과를 발표하였다.

Fujitsu Lab(#2.1)은 고속 인터페이스에서 간과되어온 저주파 대역의 신호 감쇄를 보상하는 low-frequency equalizer를 32Gb/s 수신기에 집적한 결과를 발표하였다.

또한, 2편의 논문이 transmitter에 관한 것이었는데, 이 중, UCLA(#2.6)의 논문은 최적화된 multiphase sampling을 사용하여 serializer 최종 단의 multiplexing stage의 timing 제약을 해결한 구조를 제안하였다.

Session 7(Optical Transceivers and Silicon Photonics)에서는 우선 silicon photonic transceiver 관련 연구(#7.5, #7.7)가 눈에 띄는데, 이 중 펜실베이니아대학(#7.7)의 연구 결과는 optical device의 성능 향상으로 주변회로의 복잡도를 낮출 수 있음을 보여준다.

NTU(#7.3)는 100Gb/s Ethernet chipset을 65nm 공정으로 구현하여 주목을 받았으며, 토론토대(#7.4)는 blind baud rate 동작을 실현

하여 10Gb/s Mueller-Muller CDR에 적용한 결과를 발표하였다.

Session 17(High-performance DRAM Interfaces)은 4편의 논문이 발표된 소규모 세션으로, 이 중 POSTECH(#17.2)에서 termination 저항의 크기를 4배 증가시켜 전력소모를 절감하고, 이에 의해 유발된 반사파를 equalizer를 통해 제거하는 논문을 발표하여 관심을 받았다.

Session 23(Short Reach Links, XCVR Techniques, & PLLs)에서도 상당수의 논문이 인터페이스 회로의 저전력화에 중점을 두고 있다.

IBM(#23.1)의 on-chip signaling 구조는 기존에 논리회로 등을 스테킹하여 사용하던 컨셉을 확장하여 AC-coupling 된 transmitter에 적용하여 전하 재활용을 통해 전력손실을 최소화하였다.

Nvidia(#23.3)는 단일 패키지 안에 집적된 칩 간의 인터페이스를 위한 single-ended link 구조를 제안하였다.

특히 signal integrity에 관한 체계적 접근과 ground-referenced signaling의 간단한 구조로 많은 주목을 받았다.

wireless 분야의 동향



연세대학교 전기전자공학과
 김태욱 교수
 연구분야 : RF 회로, wireless 회로
 E-mail : taewook.kim@yonsei.ac.kr

ISSCC에서 발표된 올해의 wireless 분야 동향을 살펴보면 최근 계속 돼 오는 wireless 분야의 발전 방향 즉 고집적, 다중밴드, 경량화, 고주파화(밀리미터대역) 등의 비슷한 연장선 상에서 논문이 발표되었다.

또한, RF 기술을 활용하여 새로운 시스템에 도전하는 것도 눈에 띄었다.

우선 휴대용 Cellular 송수신기의 소형화를 위해 수신기에서는 SAW 필터 등을 제거하여 외부 컴포넌트 수를 줄여서 간단하게 만드는 연구들 과거에 이어 지속해서 발표되었으며 다중 밴드에서 사용 가능한 광대역 수신기에서 발생할 수 있는 reciprocal mixing을 제거하는 연구도 소개되었다.

송신기에서는 기존 화합물 반도체를 사용하던 파워앰프를 집적하기 위해 CMOS로 구현하는 노력이 이루어졌다. 스탠퍼드 대학에서 발표한 5GHz 대역의 병렬 스택구조 파워앰프는 출력파워를 30dBm 까지 올려서 CMOS 파워앰프의 집적 가능성을 높여주었다.

디지털의 도움을 받아 아날로그 회로의 부족한 점을 보완해 수신기의 성능을 향상하는 연구도 지속하여 spur를 줄이거나 IIP2 등을 향상하는 등 새로운 결과들이 발표되었다.

밀리미터 대역의 송수신기 연구에서는 점점 높은 주파수로 올라가는 연구가 지속하여서 260GHz 소스, 증폭기 등이 발표되었으며 210GHz VCO 등이 발표되었다.

100GHz 대역을 사용하는 이미징 레이더도 여러편 발표되었다. 60GHz 대역의 근거리 개인통신망용 송수신기도 대학과 기업들에서 발표하였다.

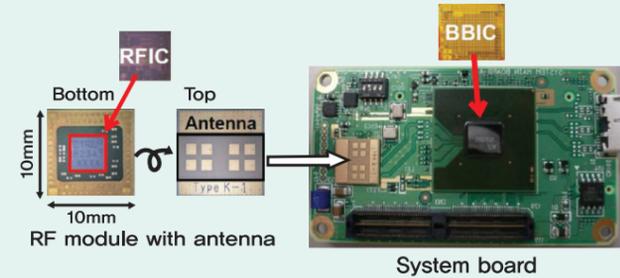


그림 7. 파나소닉 사에서 개발한 60GHz 근거리 개인통신망 회로 보드 13.1

특히 일본 파나소닉사에서는 60GHz 대역의 송수신기를 개발하여 발표와 함께 데모도 진행하였으며 1G bps 정도에 이르는 전송속도와 컴팩트한 사이즈 그리고 1W 정도의 적은 전력소모를 보여주어서 스마트폰 등의 휴대기기에 집적될 가능성을 높여주는 결과를 보여주었다.

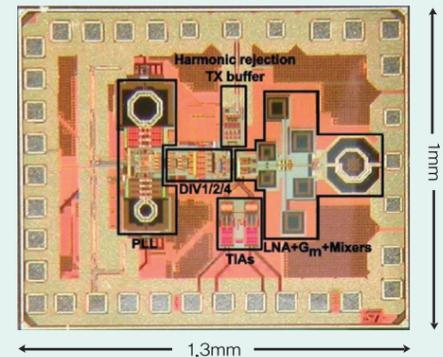


그림 8. 이탈리아 Pavoda 대학에서 발표한 유방촬영용 이미징 레이더

또한, 기존의 RF 기술을 이용하여 여러 가지 새로운 응용 시스템을 만드는 연구도 진행되어 여러 건의 흥미로운 결과를 보여주었다.

그러한 시스템의 예로는 UWB 를 이용하여 유방암을 진단하는 시스템, 임펄스를 이용한 레이더, 밀리미터 웨이브를 이용한 근접 센서 등이 있다.

Processor and Digital Circuits



충남대학교 컴퓨터공학과
 남병규 교수
 연구분야 : 모바일 AP, 모바일 GPU, 임베디드 CPU, 임베디드 SW, SoC 설계
 E-mail : bgnam@cnu.ac.kr

최근 멀티미디어와 이동통신 기술의 발달 덕분에 모바일 기기에서의 사용자 간 통신과 엔터테인먼트를 위한 영상과 오디오의 품질이 크게 향상되고 있다.

이처럼 증가하는 멀티미디어 응용의 성능요구를 만족시키기 위해 임베디드 CPU의 성능이 꾸준히 발전되어왔으며, 멀티미디어 전용 프로세서를 통한 에너지 효율적인 신호처리 기술을 발전시켜오고 있다.

현재도 모바일 기기의 기능에 대한 사용자들의 요구가 지속해서 증가하고 있으므로 아키텍처, 회로 및 공정 기술 등 다양한 기술적 진보를 통해 에너지 효율적인 설계 기술을 더욱 향상해 가고 있다.

Application Processor Trends in Smart Phone

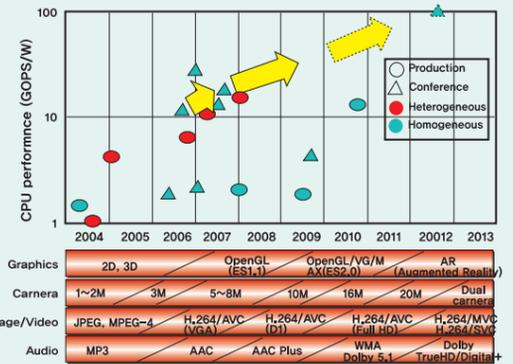


그림 9. Application processor trends in smart phones.

애플리케이션 프로세서의 CPU 성능은 그림 10에 나타난 바와 같이 계속하여 발전해오고 있으나, 휴대용 단말기의 제한된 발열 및 전력 환경으로 인해 CPU의 성능은 올리면서도 발열과 전력 소모량은 일정하게 유지해오고 있다.

결국, CPU의 클럭 속도를 상승시키고 코어 수를 늘리며, 메모리의 대역폭을 증가시킴으로써 CPU의 성능을 계속하여 향상할 수는 있지만 이에 따른 전력소모의 증가를 상쇄할 수 있는 설계가 필요하게 된다.

특히, 그래픽스, 이미지, 비디오 분야와 같은 멀티미디어 응용에 대해서는 CPU나 프로그래머블 코어의 발전속도가 연산 요구량의 증가속도를 따라가지 못하는 문제점이 발생하므로, 이를 해결하기 위해 세미 프로그래머블 (semi-programmable) 및 하드와이어드 (hardwired) 코어의 설계가 요구되고 있다.

이처럼 모바일 기기를 위한 멀티미디어 응용의 성장 트렌드에 맞추어 SoC가 발전하기 위해서는 회로, 아키텍처 그리고 시스템적인 혁신이 지속해서 필요하며, 나아가 물체인식 및 증강현실 처리와 같은 새로운 멀티미디어 애플리케이션을 지원하기 위한 전용코어의 개발이 필요할 것으로 내다본다.

Video/DTV Trends

Video Codec (Standard)	MPEG-2	MPEG2(HD) H.264/AVC(VGA)	H.264/AVC (D1/Full-HD)	H.264/MVC H.264/SVC	H.265/HEVC
Application	DVD-Recorder	DTV	Blu-ray Recorder	3DTV	Digital Cinema Holographic Recorder
Pixelformat	480i	1080i / 720P / 480P	4Kx2K		
Bitrate (bps)	~10M	~20M	~50M	~300M	
Memory	DDR-333	DDR2-667~800	DDR3-1333/Wide IO DRAM		
Technology	130n	90n	45n	28n	

그림 10. TV and Video trends.

비디오와 디지털 TV는 그림 2에 나타난 바와 같이 점차 대형화되어가면서 비디오의 비트 레이트 (Bit Rate)와 해상도, 그리고 프레임 레이트 (Frame Rate)가 점차 증가하고 있다.

특히, 3D 및 다중 시점 비디오 등 고해상도 스트림 응용에 대한 요구가 계속 증가할 것으로 전망되어 이러한 대량의 고품질 비디오를 처리하기 위한 전용의 고성능, 저전력 프로세서 아키텍처와 높은 대역폭의 외부 DRAM 인터페이스가 필수적이 된다.

또한, 이러한 동향에 따라 모바일 비디오도 고해상도의 비디오 스트리밍, 인코딩, 디코딩을 저전력으로 구현해야 하며, Wide I/O를 통한 비디오 엔진과 DRAM 사이의 고속, 저전력 인터페이스를 제공해야 할 것으로 전망된다.

Memory Circuits



홍익대학교 전자전기공학부
김중선 교수
연구분야 : Analog and Mixed-Signal IC Design, I/O Interface, Clocking Circuits, PMIC design
E-mail : js.kim@hongik.ac.kr

2013년도 ISSCC에서도 주류 메모리 기술의 발전은 수그러지지 않고 계속되어, Embedded SRAM, DRAM 및 FLASH 메모리들에서 지속해서 Device Scaling이 계속되는 것을 볼 수 있었다.

그러나 도전에 직면한 주요 Scaling 기술들의 한계 덕분에 증가한 소자 가변성 (device variability)의 보상을 위해 스마트한 알고리즘과 오류정정 기술들의 사용이 계속해서 증가한 것을 볼 수 있었다.

또한, 로직 공정에서는 FinFET과 같은 새로운 소자를 SRAM에 채택하였다. 한편, 새로운 이머징 메모리 기술들은 지속적인 발전을 통해 PCRAM 과 ReRAM 들의 제품 소개가 있었고, STT-MRAM은 차세대 메모리로서 독립적인 제품과 임베디드 제품군 모두에서 강력한 선두주자로 나서기 시작함을 볼 수 있었다.

- ISSCC 2013에서 주목할 만한 Memory 관련 논문들은 다음과 같다.
- 32Gb ReRAM test chip developed in 24nm CMOS
 - The first ever 128Gb 3b/cell NAND Flash design in 20nm planar-cell CMOS
 - A 45nm 6b/cell charge-trapping Flash memory using LDPC-based ECC demonstrates 10-year error free operation.
 - A highly efficient 6.4Gb/s near-ground single-ended low-common mode transceiver for memory interface
 - A highly efficient SRAM operating at 0.6V used statistically-gated sense amplifiers

메모리 제품 군에 따른 보다 자세한 사항을 정리하면 다음과 같다.

SRAM

SRAM의 도전 과제는 매 공정 세대마다 두 배씩 면적을 줄이는 Moore의 법칙을 계속 따라가면서도 최소전원전압(Vccmin)과 누설전류 및 동적 파워의 지속적인 감축에 있다.

22nm 공정부터는 FinFET과 fully-depleted SOI 같은 새로운 트랜지스터들의 사용이 지속적인 bit-cell 면적의 스케일링과 저전력 특성의 핵심 요소가 되었다. 동작 전원전압의 감축을 위해 6개 이상의 트랜지스터를 사용하는 새로운 SRAM bit cell이 소개되었다.

8T register file cell이 저전압 동작을 위한 제품으로 소개되었고, dynamic voltage-frequency scaling (DVFS) 실현을 위해 dual-supply rail SRAM이 효과적인 해결책으로 등장하였다.

DRAM

DRAM 분야에서 예년과 달리 특이한 점은 전통적인 최신 DRAM Core 자체에 대한 논문 발표가 없었으며, 대신 High-Speed I/O for

DRAM이라는 세션으로 개최되었다는 점이다.

메인 메모리와 프로세서 동작 주파수 간의 Bandwidth Gap을 줄이기 위해, DRAM I/O의 data rate도 지속해서 증가하고 있는데, 현재 GDDR5와 DDR4 메모리의 I/O는 각각 7Gb/s/pin과 3Gb/s/pin의 전송속도를 가진다.

더 높은 데이터 전송속도를 얻기 위해 Crosstalk/Noise/Skew cancellation 같은 Signal-Integrity 기술과 이퀄라이저/프리엠퍼시스 같은 Speed Enhancement 기술들이 개발됐다.

이러한 기술들은 메모리 I/O의 스피드를 10Gb/s/pin을 향해 나아가게 만들고 있다. 또한, Data-Center와 모바일 메모리 분야에서는 저전력 소모를 추구하고 있다.

이번 ISSCC에서는 메모리 인터페이스 파워소모를 혁신적으로 감축하면서도 고속 데이터 전송을 위해 Near-Ground 시그널링 기술과 터미네이션 임피던스 최적화 기술 및 decision feedback 이퀄라이제이션 기술 등이 소개되었다.

Nonvolatile Memories

차세대 이머징 Nonvolatile memories (NVMs) 들은 Phase-Change Memory (PRAM), Ferroelectric RAM (FeRAM), Spin-Torque-Transfer Magnetic RAM (STT-MRAM), 그리고 Resistive Memory (ReRAM) 들을 포함하는데, 이들은 high-cycling 능력 (=동작 lifetime)과 저전력 read/write 동작을 모두 달성할 수 있는 잠재능력을 갖추고 있다.

최근, 무선 전화기 같은 일부 상업용 응용분야에서 PRAM이 사용되어 이머징 메모리의 신뢰성과 가격경쟁력이 현실성 있게 되고 있음을 보여준 바가 있다. 특히 올해 ISSCC에서는 24nm 공정의 cross-point array 구조를 가지는 32Gb ReRAM이 발표되었다.

가로 이를 보상하기 위해 복잡한 제어 알고리즘의 개발이 필요하게 되었는데, 이들 중 ECC와 데이터 메니지먼트 기법과 같은 일부 알고리즘들은 전체 시스템 신뢰성의 향상을 위해 NAND 실리콘 외부인 메모리 컨트롤러에서 구현 된다.

현재의 NAND 메모리 덴시티를 더욱 확장하기 위한 미래의 가능한 해결책으로 3D-stacked NAND vertical gate 등이 선보이고 있다.

특허청 공고 제2013-50호

유공자 포상 신설

제4회 대한민국-IC포럼 설계경연대회

신청방법

참가 신청서 또는 포상 신청/추천서를 작성하여 특허청 홈페이지, 우편 또는 E-mail로 신청

- 홈페이지 : www.kipo.go.kr/semicon-design
- 우 편 : 대전광역시 서구 청사로 189, 정부대전청사 4동 602호
표준특허반도체산업팀 (우)302-701
- E-mail : semicon-ip@kipo.go.kr

신청자격, 대상

반도체 설계 공모전

신청자격 : 내국인으로서 반도체설계의 연구 또는 개발업무에 종사하는 반도체설계 관련 기업·연구소·대학의 개인 또는 팀 (3인 이하)

응모대상 : 공고일 현재 정부시상 또는 동 설계대전에서 수상한 사실이 없으며, 설계결과물 제출기한까지 반도체 설계가 완성된 작품

유공자 포상

공 로 상 : 공고일 현재 만 50세 이상인 자로서 반도체 설계 분야에서 20년 이상 재직하며, 국내 반도체 설계 관련 산업과 기술을 진흥함으로써 국민경제의 발전에 이바지한 자

특 별 상 : 국내 반도체설계 분야의 진흥, 인력양성 및 지식재산 창출에 기여한 기업 또는 개인

신청기간

반도체 설계 공모전

참가신청 : 2013. 3. 26(화) ~ 2013. 4. 28(일)

설계결과물 설명서 제출기한 : 2013. 7. 28(일)

유공자 포상

신청접수 : 2013. 3. 26(화) ~ 2013. 7. 28(일)

선정절차

반도체 설계 공모전

선정방법 : 산·학·연·관 전문가 중에서 7인 이하로 구성된 심사위원회에서 평가 후 선정

선정절차

- 예선심사 : 설계결과물 제출서의 서류평가
- 본선심사 : 설계결과물 시연 및 발표를 통한 종합평가

예선결과 (8월 예정), 본선결과 (9월 예정) 등은 특허청 홈페이지에 게시 및 별도 통보 예정

유공자 포상

선정방법 : 산·학·연 전문가, 특허청 및 유관단체 인사 중에서 5인 이하로 구성된 포상추천 심사위원회(8월 예정) 추천 대상자 중 평가 후 선정(9월 예정)

선정기준 : 반도체설계 분야의 진흥, 인력양성 및 지식재산 창출 공헌도 등을 고려하여 평가

주 최 : 특허청

공동 주관 : 특허청 · 한국반도체산업협회

후 원 : 산업통상자원부 · 한국발명진흥회 · 대한변리사회