



IDEC  
*newsletter*

VOL. 207  
SEPTEMBER 2014

IDEC Newsletter | 통권 제207호  
◎ 발행일 2014년 8월 29일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인  
◎ 기획 전항기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>  
◎ E-mail [jhg0929@idec.or.kr](mailto:jhg0929@idec.or.kr) ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 207 SEPTEMBER 2014

## MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

	회차구분 (공정_년도순서)	모집팀수 (mmxmm)x 칩수/회별	정규모집 신청마감	참여팀수 (mmxmm)x 칩수	DB 마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1401	(4x4)x48	2013.12.09	(4x4)x18	2014.02.17	2014.08.18	제작완료
	S65-1402		2014.02.03	(4x4)x37	2014.08.25	2015.02.27	DB검토중
	S65-1403		2014.06.02	(4x4)x29	2014.12.15	2015.06.12	설계중
매그나칩/ SK하이닉스 0.18μm	MS18-1401	(3.8x3.8)x25	2013.12.09	(3.8x3.8)x20	2014.02.24	2014.07.28	제작완료
	MS18-1402		2014.01.06	(3.8x3.8)x25	2014.05.19	2014.10.20	제작중
	MS18-1403		2014.02.03	(3.8x3.8)x22	2014.08.11	2015.01.12	제작중
	MS18-1404		2014.05.05	(3.8x3.8)x25	2014.11.10	2015.04.13	설계중
매그나칩/ SK하이닉스0.35μm	MS35-1401	(5x4)x20	2014.01.06	(5x4)x20	2014.06.16	2014.10.06	제작중
	MS35-1402		2014.06.02	(5x4)x18	2014.12.01	2015.03.23	설계중
동부0.11μm	D11-1401	(5x2.5)x24	2013.12.09	(5x2.5)x21 (2.35x2.35)x5	2014.04.02	2014.08.06	제작완료
	D11-1402		2014.04.07	(5x2.5)x18 (2.35x2.35)x12	2014.10.01	2015.02.04	설계중
동부0.18μm BCD	D18-1401	(5x2.5)x4	2013.12.09	(5x2.5)x3 (2.35x2.35)x2	2014.03.27	2014.07.02	제작완료
	D18-1402		2013.12.09	(5x2.5)x4	2014.04.30	2014.08.06	제작중
	D18-1403		2014.02.03	(5x2.5)x2 (2.35x2.35)x4	2014.09.14	2015.1.10	설계중
	D18-1404		2014.05.05	(5x2.5)x3 (2.35x2.35)x2	2014.11.05	2015.02.11	설계중
동부0.35μm BCD	D35-1401	(5x2.5)x6	2013.12.09	(5x2.5)x6	2014.02.19	2014.05.28	제작완료
	D35-1402		2014.01.06	(5x2.5)x2 (2.35x2.35)x7	2014.05.28	2014.09.03	제작중
	D35-1403		2014.03.03	(5x2.5)x4 (2.35x2.35)x4	2014.09.10	2014.12.17	설계중
	D35-1404		2014.05.05	(5x2.5)x5 (2.35x2.35)x2	2014.11.19	2015.02.25	설계중
TowerJazz 0.18μm BCD	TJB18-1401	(5x2.5)x6	2014.01.06	(5x5)x3	2014.05.12	2014.09.08	제작완료
	TJB18-1402		2014.04.07	(5x5)x1	2014.10.20	2015.02.16	설계중
TowerJazz 0.18μm CIS	TJC18-1401	(2.5x2.5)x4	2014.01.06	(2.5x2.5)x4	2014.05.05	2014.09.01	제작중
	TJC18-1402		2014.04.07	(2.5x2.5)x4	2014.10.13	2015.02.09	설계중
TowerJazz 0.18μm CA18HA	TJR18-1401	(2.5x2.5)x4	2014.01.06	(2.5x2.5)x4	2014.06.23	2014.10.20	제작중
	TJR18-1402		2014.04.07	(2.5x2.5)x4	2014.10.20	2015.02.16	설계중
TowerJazz0.18μmSiGe	TJS18-1401	(2.5x2.5)x4	2013.12.09	(2.5x2.5)x4	2014.03.11	2014.07.08	제작완료

\* 일정은 사정에 따라 다소 변경될 수 있음. \* 문의 : 이의숙 (042-350-4428, yslee@dec.or.kr)

\* 우선/정규 모집은 마감일 2주전부터 신청 가능함

\* 회차 표기 방법 변경 : 공정코드\_년도\_모집순서 (예시) 삼성65nm 2014년1회차:S65-1401)

\* Package 제작은 Die out 이후 1개월 소요됨

\* 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집

\* 선정 결과는 모집 마감 후 15일 이내 개별 통보됨

\* 2014년 우선모집은 원료됨에 따라 일정에서 제외함

\* 기준일 : 2014.8.28.

## 2014년 9월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

### KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	9월 16일-18일	Design Compiler 사용법 및 활용예	Tool강좌
	9월 23일-25일	PrimeTime 사용법 및 활용예	Tool강좌
	9월 29일-10월 1일	Custom Designer를 활용한 IC 설계 및 분석	설계강좌

- 강좌일 : 9월 16일-18일
- 강좌제목 : Design Compiler 사용법 및 활용예
- 강사 : 조민석 차장 (synopsys)

**강좌개요** Use Design Compiler Topographical to: - Synthesize a block-level RTL design - Generate a gate-level netlist which will result in acceptable post-placement timing and congestion.

**수강대상** Non-specific, student, engineer

**강의수준** 초/중급 **강의형태** 이론+실습

**사전지식, 선수과목** Basic digital logic design concepts & terminology Reg-to-Reg setup/hold, RTL, Clock, skew, PVT, latency Experience of Unix/linux/X-window/vi/tcl

- 강좌일 : 9월 23일-25일
- 강좌 제목 : PrimeTime 사용법 및 활용예
- 강사 : 권영기 이사 (synopsys)

**강좌개요** In this workshop you will learn to perform Static Timing Analysis (STA) using PrimeTime by executing the appropriate high-level summary reports to initiate your analysis, customizing and interpreting detailed timing reports for debugging, and exploring and analyzing the clocks that dictate STA results.

**수강대상** 대학원생, 학부생

**강의수준** 초급 **강의형태** 이론+실습

**사전지식, 선수과목** Synopsys Design Constraints (SDC), Design Compiler 1 training

- 강좌일 : 9월 29일-10월 01일
- 강좌 제목 : Custom Designer를 활용한 IC 설계 및 분석
- 강사 : 박명재 박사 (서울대학교)

**강좌개요** 집적회로를 설계 및 제작하는 과정에 대하여 이해하고, Custom Designer를 활용하여 집적회로를 설계하는 방법을 익히고 실제로 Flash ADC를 설계하여본다.

\* 집적회로 설계 및 제작 과정에 대한 설명

\* Custom Designer의 주요 기능 및 활용법에 대한 설명 및 실습

\* HSpice를 활용한 회로 분석 방법 설명 및 실습

\* Mentor Calibre를 활용한 layout 검증 방법 설명 및 실습

**수강대상** 아날로그 또는 혼성 신호 시스템 등 트랜지스터 수준에서 집적회로를 Synopsys Custom Designer를 활용하여 설계하는 방법에 관심이 있는 기업체 연구원, 대학원생 및 학부생

**강의수준** 초급 **강의형태** 이론+실습

**사전지식, 선수과목** 회로이론, 전자회로

\*문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

## Chip Design Contest(CDC)

### International SoC Design Conference(ISOCC) 2014 Chip Design Contest 개최

\* Chip Design Contest(CDC)는 2014 ISOCC 프로그램의 한 세션으로 진행되나, 제출한 논문은 프로시딩(Proceedings)

1. 일정 및 장소  
가. 전체 진행 일정 : 2014년 11월 03일 ~ 06일  
나. Ramada Plaza Jeju Hotel, 제주  
다. CDC 주요 일정

#### 2. 논문 접수 분야 : SoC 설계

논문 제출 마감	논문 채택 통보	Chip Design Contest
2014. 8. 22	2014. 9. 15	2014. 11. 04

\* 일정은 사정에 따라 다소 변경될 수 있음.

#### 3. 시상내역

Award명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	2개팀	특별상(SSCS 서울챕터상) 1팀
Best Poster Award	5개팀	각 상장 및 상금 50만원
		내외 각 상장 및 상금 20만원

**관련사항** \* CDC 참여와 관련한 자세한 사항은 홈페이지(http://www.idec.or.kr)를 참조  
\* 담당 : 구재희(042-350-8536, kjh9@idec.or.kr)

## 2015년 Working Group 신청 안내

IDEC은 "시스템반도체설계인력양성" 과 "핵심 IP 개발" 을 위하여 전국 대학의 교수들을 WG(Working Group) 참여교수로 선정하여 지원하고자 합니다.

관심 있는 교수님들의 많은 참여 바랍니다.

#### ■ 지원내용

- 최신 기술 공정의 MPW 칩 제작 지원(Cell Library 포함)
- EDA Tool(25종) 지원
- IDEC 보유 Analog IP 지원
- 기타 IDEC의 다양한 지원

#### ■ 선정 일정



- 온라인 작성 : <http://idec.or.kr/> 로그인/ WG/ WG 성과 또는 WG 신청서 작성
- 문의처 : Tel. 042-350-8533 , E-mail : [ejkim@idec.or.kr](mailto:ejkim@idec.or.kr)

◎ 기존 및 신규로 선정된 참여교수는 선정 이후 3년간 실적이 없을 경우, 지원 중단

\* 자세한 사항은 IDEC 홈페이지(http://idec.or.kr)를 참고 바랍니다.

## 제조업 고부가가치화를 위한 우리의 과제

요새 국내 제조업의 미래를 암울하게 예측하는 기사들이 부쩍 쏟아지고 있다. 우리나라를 대표하는 휴대폰 제조업체인 삼성전자가 중국에서 시장점유율 1위를 중국 신생기업 샤오미에 내주었으며, 인도에서도 인도 신생기업에 1위를 내주었다는 기사를 접할 수 있었다. 며칠 뒤에 우리나라 조선 3사가 모두 1조 원 이상의 적자를 내고 있다는 기사가 또 있었다. 무리하게 수주한 해양플랜트의 채산성 악화 때문에 일어난 일이라고 한다. 한때 형광등을 대체하는 에너지 절약형 신 조명으로 전 세계적인 주목을 받고 우리나라도 차세대성장동력으로 주목했던 LED 산업도 동력을 잃어버리기는 마찬가지다. 중국정부의 전략적이고도 집중적인 지원에 의한 가격경쟁력과 대량생산체제로 무섭게 국내시장을 잠식하고 있다. 예전에는 중국산이면 질적인 면에서는 국내산보다 열세에 있다고 스스로 위로를 삼기도 했지만 이제는 품질도 국내산 못지 않게 되었다. 오히려 국내산 제품보다 가격대비 성능이 우수한 제품도 많이 있다.

히든챔피온이란 말을 만들어 낸 독일의 헤르만 지문 교수는 세계적인 불경기 속에도 무역 흑자를 기록하는 나라들은 모두 제조업이 강한 나라임을 강조한 바 있다. 우리나라는 전체 GDP 중에서 제조업 부가가치가 약 30% 정도를 차지하는 제조업 중심 국가이다. 이런 강한 제조업 근간이 있었기에 IMF 위기를 단기간에 극복할 수 있었으며, 최근의 세계적인 불경기 속에도 지속해서 무역흑자를 유지할 수 있는 것이다. 3년 연속 무역 1조 달러 달성의 금자탑을 쌓을 수 있었던 것도 반도체, 디스플레이, 자동차, 조선, 철강, 화학 등 우리나라 6대 주력산업의 힘이 아닐 수 없다. 최근 정부에서 서비스업 육성 발전전략을 발표하며 수년째 정체된 성장률을 올리려고 하고 있지만, 저자의 생각으로는 꽤 오랫동안 우리나라 산업의 중심은 소재부품과 시스템을 위한 제조업이 차지할 것으로 기대된다.

우리는 지속해서 우리나라 제조업의 국제경쟁력을 유지할 수 있을까? 특히 무섭게 쫓아오는 중국의 추격을 물리칠 수 있을까? 우리나라가 제조업 중심 국가라는 사실이 우리나라의 경쟁력이자 또한 한계인 것 같다. 특히, 규모의 경제와 중국정부의 막대한 후원으로 국제경쟁 우위를 획득한 중국 제조업과의 경쟁에서 이기기 위해서는 우리나라 제조업은 어떻게 해야 할까? 예를 들면, 중국은 자국 LED 산업발전을 위해 생산장비 1대 구입 시 1대 가격의 정부 보조금을 지급한 사실은 공공연한 비밀이다. 중국은 제12차 5개년 계획 (2011~15년)에서 반도체 산업을 육성하기 위해 250억 달러를 투자하기로 한 바 있다. 이 계획안에는 최근 우리가 중요하다고 강조하는 소프트웨어 산업발전 전략도 들어가 있다. 중국 반도체 산업의 경우는 대만과의 협력도 크게 역할을 하는 것으로 보인다. 디스플레이 산업의 경우도 적극적인 중국의 산업육성 정책으로 LCD 패널 생산량이 우리나라를 능가하게 된다. 우리가 국가적 어젠다로 일본산업을 쫓아갔고 드디어 일본을 제치고 1위를 차지한 산업들을 우리를 벤치마킹한 중국에 의해 내주어야 하는 아이러니한 상황이 반복되는 것이다. 중국의 거센 추격으로부터 우리가 우위를 점하고 있는 제조업의 경쟁력을 유지하는 방안은 무엇일까? 가격경쟁 싸움에서는 도저히 중국을 이길 수 없을 것으로 생각된다.

결국은 제조업의 경쟁력을 갖추기 위해서는 제조업의 고부가 가치화가 정답이다. 우선 제품을 만들기 위한 소재와 부품의 고부가 가치화를 생각해 볼 수 있다. 철강으로 만든 10만 원 대 자전거보다는 탄소섬유 복합소재로 만든 350만 원대 고부가가치 자전거로 경쟁해야 할 것이다. 각각 소재의 가격은 5천 원과 14만 원이다. 우리나라 LCD 패널도 UHD 패널 쪽으로 이동하고 있고, OLED 패널 쪽으로 무게 중심이 움직이는 것도 중국의 추격을 뿌리치기 위한 전략으로 해석된다. 포스코의 범용 철강제품은 이미 중국제와 비교하면 경쟁력을 잃은 지 이미 오래되었다. 자동차용 고장력 강판, 칼라강판 등 고도의 기술이 요구되는 부품이 대 중국 경쟁력이 있다. 부품도 제조원가를 다투는 범용 부품 경쟁에서는 우리가 중국과 경쟁해서 이길 수 없다. 우리는 부르는 게 값인 부품을 만들어야 할 것이다. 중국에서는 아직 못 만드는 부품을 만들어야 할 것이다. 다행스럽게도 부품산업은 아직도 우리가 경쟁력이 있다고 판단된다. 특히, 소프트웨어가 접목된 부품의 경우 성능의 차별화를 가져올 수 있다. 이를 위한 임베디드 소프트웨어와 시스템 반도체 기술은 우리나라 제조업 고도화를 위한 전략 중의 핵심이다.

산업통상자원부에서 도출한 13대 창조경제 산업엔진 프로젝트 중에서 웨어러블 스마트 디바이스, 수직이착륙 무인비행기, 자율주행자동차, 첨단소재 가공시스템 등의 굵직한 과제에는 모두 핵심 소재와 부품에 대한 R&D가 중요한 부분을 차지하고 있으며, 특히 부품 레벨에서는 차별화된 고부가가치 부품 제작을 위한 임베디드 소프트웨어와 시스템반도체 R&D가 들어가 있다. 미래창조과학부 등 타 부처와 협력이 필요한 분야의 R&D는 기획초기부터 부처 간 협력을 유도하여 시너지를 내기로 하였다. 지능형반도체 분야의 범부처 R&D의 콘트롤타워의 역할을 할 지능형반도체 추진단에서는 우리나라 제조업의 경쟁력 제고를 위한 핵심 부품 제작을 위한 시스템반도체 관련 R&D 프로그램을 만들어 낼 예정이다. 우리나라 제조업의 경쟁력 유지를 위해서는 각 산업에서 필요로 하는 시스템반도체를 함께 개발하는 협력의 문화를 만들어 낼 것으로 기대한다.

독일의 히든챔피온 얘기로 다시 돌아가 보자. 우리나라 제조업의 경쟁을 유지하기 위해서는 현재 잘하고 있는 대기업들은 지속적으로 성장해서 우리나라 제조업의 근간을 유지해 주어야 한다. 아울러 독일의 히든챔피온과 같은 글로벌 경쟁력을 갖춘 중견기업들이 많이 육성되어 튼튼한 허리의 역할을 하여 우리나라 산업생태계를 건강하게 유지해 주어야 한다. 독일의 히든챔피온은 전체 매출의 6% 정도를 R&D에 투자하여 미래에 대비하고 있다. 또한, 지속적인 R&D 투자에 의한 경쟁력 확보를 위해 노력하고 있으며, 원활한 산학연 협력문화를 만들어 오픈 이노베이션 전략을 잘 활용하며, 젊고 유능한 R&D 인력을 지속적으로 공급받고 있다. 기업은 우수한 기술이 있어야 살아남을 수 있으며, 이를 위해서는 R&D가 필수적이며, 이는 결국 우수 인력이 확보되어야 가능한 일이다. 우리나라 중소기업에 우수 인력이 가지 않는다면 그 기업에서 글로벌 시장에서 경쟁력을 발휘할 수 있는 기술이 나올 수 있을까? 올해 통계에 의하면 국내 기업 부설연구소가 3만 개가 있다고 한다. 그러나 그중에서 실제 R&D다운 R&D를 하는 기업은 얼마나 될까? 벤처기업 인증을 받기 위해, 조세감면 혜택을 받기 위한 부설연구소는 없을까? 결국, R&D는 우수 인력이 하는 것이고 우수 인력이 중소기업에 가게 만드는 방안이 필요하다. 젊은 우수 인력이 대기업을 선호하며, 중소기업에 가지 않으려 한다면 이 문제를 젊은 우수인력의 입장에서 보면 어떨까? 문제에 대한 답은 의외로 쉽게 나올 수도 있다. 우수한 젊은이들이 가까이 합류할 수 있는 중소기업, 본인이 회사와 함께 성장할 수 있다고 믿는 중소기업, 성장의 과실이 공평하게 분배될 수 있는 중소기업들이 많이 나오기를 기대한다. 특히 제조업 경쟁력의 핵심인 부품의 고부가가치화를 위해 임베디드 소프트웨어 및 시스템반도체 분야와 결합한 핵심부품 중소/중견기업은 세계적인 경쟁력을 가질 수 있으며 젊은 우수인재들이 도전해볼 만하다. 이를 위해서는 더 늦기 전에 국내 대학, 연구소, 팹리스, 파운드리 등의 절박한 마음으로 머리를 맞벌 시점이다.

• 외부 필진 기고의 눈조는 IDEC 방향과 다를 수 있습니다.



윤 의 준 주력산업 MD  
산업통상자원 R&D전략기획단

## DRAM과 플래시 메모리의 한계 도달에 따른 차세대 비휘발성 메모리의 R&D 방향

현재의 정보통신 산업은 더 많은 정보를 더욱 빠르게 처리할 수 있는 능력을 갖춘 전자소자를 요구하고 있다. 그에 따라 전자소자의 미세화와 함께 고집적화, 고속화, 및 저전력은 필수적인 연구 분야가 되었다. 특히 경제/산업적 성장에 따라 고용량 정보 저장에 필요한 초고집적화가 가능한 차세대 비휘발성 메모리 소자의 활용이 급격하게 증가할 것으로 기대되고 있다.

이 글에서는 반도체 소자에서 현재 통용되고 있는 DRAM(Dynamic Random Access Memory)과 플래시 메모리가 직면한 한계점과 그를 대체할 차세대 비휘발성 메모리의 종류와 특징을 살펴보고 각 소자의 기술개발 동향과 나아가야 할 방향에 대해서 살펴보고자 한다.

### 1. DRAM과 플래시 메모리의 한계

메모리 반도체 소자가 등장한 이래로 DRAM은 현재까지 널리 사용되고, 사람들에게 잘 알려져 있다. 그 이유는 DRAM의 빠른 속도, 고집적화, 그에 따른 작은 셀 면적, 긴 수명과 낮은 전력소모 때문이다. 그러나 DRAM은 휘발성 메모리로 데이터가 저장함에 있어 일정한 시간 간격으로 전하를 공급해 주지 않으면 데이터가 손실되므로 전원을 끄면 모든 정보가 사라진다. 이러한 DRAM의 한계로 인해 비휘발성 메모리의 필요성이 대두하게 되었고 그 대안으로 플래시 메모리가 등장하게 되었다. 플래시 메모리가 초기에 DRAM 시장에서 쉽게 진입할 수 있었던 이유는 DRAM과 비슷한 저장 방식과 제조공정을 갖고 있었기 때문이다. 플래시 메모리는 EEPROM(Electrically Erasable Programmable Read-Only Memory)의 일종으로 전기적으로 쓰고 지울 수 있는 메모리이다. 하지만 EEPROM이 두 개의 MOSFET을 갖는 것과 달리 플래시 메모리는 하나의 MOSFET과 하나의 플로팅 게이트를 갖는다는 점에서 EEPROM의 한 단계 진보된 메모리로 볼 수 있다. 플래시 메모리는 DRAM보다 속도가 느려서 주 메모리가 아닌 보조 메모리에 주로 사용되고 있으며, MP3, USB, 디지털카메라 등에 사용되고 있다. 플래시 메모리의 단점은 쓰고 지우는 시간이 오래 걸리며, 수명 또한 DRAM과 비교하여 현저히 떨어져서 저전압 구동이 힘들다는

점이다. 저전압 구동을 하기 위해 전하 펄스 층을 넣어주게 되면 그 공정 과정이 복잡해져 수율이 떨어지고, 제조원가도 상승하게 된다는 점이 이 한계점을 두드러지게 만들었다. 이러한 플래시 메모리의 태생적인 한계로 인해 가까운 미래에는 지금의 플래시 메모리의 자리를 지키기는 어렵게 될 것으로 전망된다.

DRAM과 플래시 메모리의 공통된 한계점은 나노 기술의 발전으로 인하여 지금까지 크기 측면에서 눈부신 발전을 하였지만, 소자의 크기가 20nm 이하로 작아짐에 따라 소자 제작의 공정상의 어려움이 따른다는 점이다. 그에 따른 수율 또한 감소하고 공정 가격 또한 상승하게 된다. 이러한 한계점에 의해 차세대 메모리의 개발은 메모리 반도체 소자 시장에서의 필수적인 연구 방향이 되었고, 국내외 기업들은 차세대 메모리 개발에 열을 올리고 있는 상황이다. 차세대 메모리의 종류는 무수히 많지만, 그 중 차세대 메모리의 조건인 SRAM의 빠른 스피드와 DRAM의 고집적성, 플래시 메모리의 비휘발성을 결합하여 추후에 시장경쟁 가능성이 있는 차세대 메모리는 FeRAM (Ferroelectric RAM: 강유전체 메모리), PRAM(Phase-change RAM: 상변화 메모리), MRAM(Magnetic RAM: 자기 메모리), ReRAM(Resistance switching RAM: 저항 변화 메모리)가 있다. 이 네 가지 차세대 비휘발성 메모리의 특징과 각 소자의 동향과 나아갈 방향에 대해서 살펴보겠다.

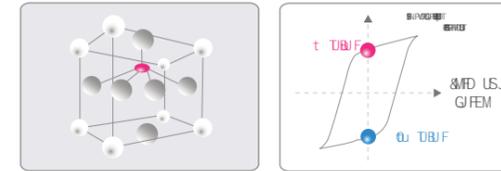
Type	Volatile memory		Non-volatile memory		Emerging non-volatile memory			
	SRAM	DRAM	NOR-FLASH	NAND-FLASH	MRAM	PRAM	FRAM	RRAM
Cell elements	6T	1T1C	1T	1T	1(2)T1R	1T1R or 1D1R <sup>a</sup>	1T1C	1T1R or 1D1R <sup>a</sup>
Cell	Latch	Stack/trench capacitor	Floating gate/charge trap	Floating gate/charge trap	Magnetoresistance change	Polarization-change	Resistance-change	
Minimum cell size	140F <sup>2</sup>		10F <sup>2</sup>	10F <sup>2</sup>	20F <sup>2</sup>	4.8(4)F <sup>2b</sup>	22F <sup>2</sup>	4F <sup>2c</sup>
Write/erase time	0.3 ns	<10 ns	1 ms	1 ms	10 ns	20 ns	10 ns	5 ns/5 ns [48]
Endurance (cycles)	>3 × 10 <sup>8</sup>	>3 × 10 <sup>8</sup>	>10 <sup>5</sup>	>10 <sup>5</sup>	>3 × 10 <sup>8</sup>	10 <sup>7</sup>	10 <sup>14</sup>	>10 <sup>10</sup> [49]
Application	Cache	Main memory	Storage	Storage	Storage	Storage	Storage	Storage/Main memory

<sup>a</sup> 1D1R (one-diode and one-resistor) unit cells are employed in passive PRAMs and RRAMs, which are based on crossbar-arrays.  
<sup>b</sup> Passive crossbar-array-based PRAMs satisfy a minimum cell size of 4F<sup>2</sup>.  
<sup>c</sup> Similar to passive PRAMs, passive RRAMs satisfy a minimum cell size of 4F<sup>2</sup>.

[그림 1] 기존의 메모리와 차세대 메모리의 비교 테이블2

### 2. 차세대 메모리

#### 2.1 FeRAM(Ferroelectric RAM; 강유전체 메모리)

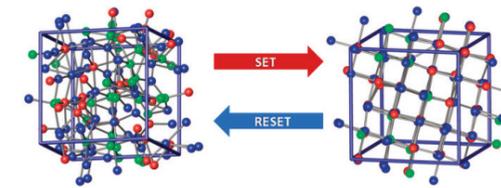


[그림 2] FeRAM의 결정 구조와 히스테리시스 곡선3

FeRAM은 1952년에 MIT에 대학원생 Dudley Allen buck에 의해서 발명이 되었고, 집중적인FeRAM에 대한 연구는 80년대에 들어서 시작이 되었다. FeRAM는 강유전체 물질에 충분히 강한 전기장을 걸어주게 되면 결과적으로 물질 내부의 분극은 바뀌게 된다. FeRAM은 바뀐 두 개의 분극 상태를 “1” 혹은 “0”으로 읽어 기억하는 것을 이용한 메모리다. 일반적으로 PZT (Pb(Zr, Ti-x)O3나 SBT(SrBi2Ta2O9)가 FeRAM에 사용된다. PZT를 예를 들면, PZT는 페로프스카이트(perovskite) 타입의 격자 구조로 되어 있어 중앙에 위치하는 Ti 혹은 Zr 원자의 변위에 의해 분극이 형성된다. PZT를 사이에 둔 캐패시터 양 끝에 전압을 가하면, 가해진 전압에 의해 잔류 전극이 남아 있게 된다. 이 변위는 안정적이기 때문에 1개의 메모리 셀로 1bit를 기억할 수 있는 비휘발성 메모리를 실현할 수 있다3 [그림 2]. 현재 FeRAM은 1T-1C(1 트랜지스터 - 1 캐패시터) 구조로 되어 있으며, 플래시 메모리에 비해서 낮은 전압에서 1,000배 이상 고속으로 정보를 기억하는 장점이 있다. 그러나 하나의 셀의 크기가 커서 고집적화 하는데 어려움이 있다. 그래서 크기 측면에서 DRAM과 플래시 메모리보다 우수한 특성을 갖지 못하였다. 이러한 점에 따라서, 고집적화된 3-D 구조의 FeRAM의 연구 개발이 여러 분야에서 이루어지고 있다. 최근 연구에서 다중강성(강유전성과 강자성을 동시에 띠는 성질) BFO(BiFeO3)를 이용해서 기존의 PZT보다 성능이 뛰어난 3-D 구조의 고집적화 된 FeRAM을 개발하였다4. 하지만 이 3-D 구조의 큰 단점은 공정 과정에서의 복잡함을 피할 수 없고, 균일하게 소자를 증착함에 있어서 어려움을 겪는다는 것이다.

FeRAM의 궁극적인 목표는 DRAM이나 플래시 메모리를 FeRAM으로 대체하는 것에 있으나, 현재 개발 단계에서는 전기소비량이 적은 것과 대용화가 가능한 것 외에 낮은 집적도로 인해서 DRAM과 플래시 메모리를 대체하는 차세대 메모리의 시장 형성 과정에서 조금 뒤쳐지고 있다. DRAM과 플래시 메모리의 한계점을 뛰어넘기 위해 새로운 공정 방법의 도입과 물질 최적화를 통한 3-D 구조의 구현이 필수적이다.

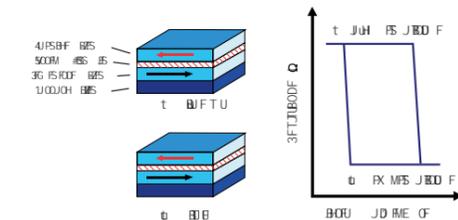
#### 2.2 PRAM(Phase-change RAM; 상변화 메모리)



[그림 3] PRAM의 상변화 모형5

PRAM은 1960년대 Stanford R. Ovshinsky이 칼코게나이드 유리를 연구하던 상변화 현상을 발견하였고, 그 후에 PRAM이라는 명칭으로 확립되어 현재까지 연구 중이며, 일반적으로 칼코겐화합물(chalcogenide)을 사용한다. PRAM의 기본 원리는 칼코겐화합물에 전압이나 전류를 가해줄 때 가열되어 발생하는 줄 열(Joule heating) 의해서 비정질 상태와 결정질 상태로 변하는 가역적 상변화가 발생하는 것이고, PRAM은 이 성질을 이용하는 메모리이다. 이때의 비정질 상태와 결정질 상태에서의 저항 차를 이용하여 정보를 저장하는 방법으로 사용되는 메모리이다. 현재 통용되고 있는 CD나 DVD 같은 광학적 메모리들은 PRAM의 가역적 상변화 특성을 이용하여 사용되고 있다. 그러나 PRAM은 저장 차를 특성을 이용하는 반면, 광학적 메모리는 상변화의 저항 차를 이용한 것이 아니라 그때 변화하는 반사도의 차이를 이용하여 이용되고 있다. PRAM의 기본 구조는 DRAM과 유사하게 이루어져 있으며, 전하를 저장하는 캐패시터 역할을 칼코겐화합물이 대신한다. 이에 따라 PRAM의 가장 큰 장점은 기존 DRAM의 생산설비를 바꾸지 않고, 바로 생산이 가능하다는 점에 있다. 그에 더해서, PRAM은 비휘발성이면서 DRAM과 SRAM 못지 않게 동작 속도가 빠르므로, 기존의 DRAM, SRAM, 플래시 메모리를 embedded 시켜 활용하는 MCP(Multi Chip Package) 방식에서 PRAM 단일 칩을 사용하여서 크기와 무게, 가격을 크게 낮출 것으로 예상된다. 현재 PRAM은 국내외에서 활발히 연구하고 있는 차세대 비휘발성 메모리로 삼성, 하이닉스, 인텔 등 PRAM 시장에서 경쟁이 치열하며, 휴대폰의 NOR 플래시 시장을 대체하면서 점점 시장으로 나오고 있다. PRAM은 차세대 비휘발성 메모리 중에서 상용화에 가장 가까이 다가가 있지만, 아직 상용화를 위해서는 신뢰성 확보 및 기가비트 수준의 집적도를 달성할 수 있는 기술이 개발되어야 한다. 또한, multi-bit 구현을 위해 메모리 어레이 설계 기술 및 메모리 셀의 구성 등에 대한 연구들이 더욱 필요하다.

#### 2.3 MRAM(Magnetic RAM; 자기 메모리)

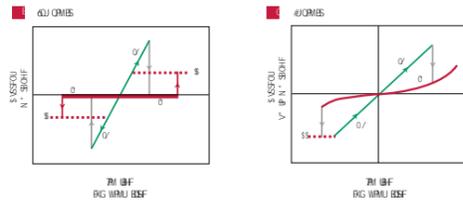


[그림 4] STTMRAM의 구조와 원리 그림과 자기장-저항 곡선6

현재 사용되는 메모리를 대체하기 위한 또 하나의 메모리인 MRAM은 Field-writing MRAM과 STTMRAM(spin-transfer torque MRAM; 스핀변화 자화반전 메모리)으로 나뉜다. Field-writing MRAM은 전류 주위에 자기장을 읽는 메모리로 현재, 16메가 비트까지 상용화되었고, 임베디드(embedded) 형태로 메모리로 사용되고 있지만, 높은 쓰기 전류 때문에 크기를 작게 함에 있어 단점이 있다. 기존 반도체 메모리에서는 전자를 이동시켜 전류를 흐르게 하고 ‘0’ 혹은 ‘1’로 기억하고 있어서 전력소모와 읽기/쓰기 속도, 단가,

집적도 구현 측면에서 뛰어나다고 할 수 없다. 또한, 집적도를 줄이기 위해 캐패시터의 면적을 줄이는 기술은 이미 한계에 다다랐다. STTMRAM은 전자의 회전 성질을 이용한 MTJ(Magnetic Tunnel Junction: 자기접합터널)를 이용하여 전류의 흐름과 차단을 구현한다. 따라서 MJT의 구성에는 어려움이 요구되지만, 구조가 단순하고 고집적화와 저전력 구현이 가능하다. 하지만 ON/OFF ratio를 증가시키기에 어려움이 있고, 작동 중에 인접한 셀에서의 간섭 효과로 인해 발전에 어려움을 겪고 있다. 현재 MRAM은 원천 기술을 보유한 업체인 그랜디스를 합병한 삼성전자와 일본 도시바와 공동 개발을 하고 있는 하이닉스가 STTMRAM의 기술경쟁력을 확보하기 위해 노력하고 있다. STTMRAM은 SRAM, DRAM의 장점을 모두 갖고 있으며, 저전력에 비휘발성 특성이 있다. 인접 셀의 간섭 효과에 대해서는 전류가 강자성체를 통과할 때 강자성체의 자화방향을 강제로 변화시키는 특성이 발견되면서 전류방향에 따라 MJT 상황을 변화시켜 데이터를 기록함으로써 집적도를 높이고, 셀 간섭현상도 사라지는 것을 발견하였다. 이에 정부와 기업에서는 STTMRAM의 상용화를 위해 박차를 가하고 있는 상황이다.

#### 2.4 ReRAM(Resistance switching RAM: 저항변화 메모리)



[그림 5] ReRAM의 Unipolar와 Bipolar 특성의 전류-전압 곡선7

저항변화 메모리는 중간층인 절연층에서의 두 개의 구별되는 저항 상태를 "0" 또는 "1"로 기억하는 메모리 소자로서 넓게 보면 PRAM과 MRAM도 저항메모리의 일종이라고 할 수 있다. 하지만 메커니즘과 특성의 차이로 인해서 서로 구분되어 알려져 있다. 일반적으로, ReRAM은 금속-절연체-금속 구조로 이루어져 있으며, 중간층에 금속산화물 혹은 perovskite-type 산화물 등을 사용한다. 하부 전극을 그라운드 상태에 놓고 상부 전극에 전류나 전압을 인가하게 되면 중간층에서의 저항의 변화가 일어나게 된다. 이 고저항 상태와 저저항 상태로 변하는 것을 "0"과 "1"로 구별을 하여 기억하는 메모리 소자이다. ReRAM은 읽기/쓰기의 속도가 플래시 메모리와 비교하여 10만 배 이상 빠르고, 저전압 구동이 가능하며, SRAM의 속도와 견줄 만하다. 그리고 가장 큰 장점은 소자 자체의 단순한 구조로 인해 공정상의 결함을 현저히 줄일 수 있으며, DRAM 및 플래시 메모리보다 생산원가를 크게 낮출 수 있다. 크기 자체로도 간단한 구조인 1D-1R(1 다이오드 - 1 저항) 구조가 가능하여 고집적화에 유리하다. 사실 ReRAM은 1960년대에 Hickmott에 의해서 절연층에서의 저항 변화가 발견되어 연구되었지만, 메커니즘에 대한 신뢰성이 높지 않아서 연구의 속도가 늦어졌다가 1990년대에 들어 다시 활발히 연구가 이뤄졌다. 하지만 ReRAM에 관한 연구들은 같은 물질을 썼음에도 메커니즘을 정확히 규명하지 못하여 연구자들은 ReRAM이 아직 시장화하기에는 시기상조라고 말한다. 현재 삼성전자와 하이닉스에서는 ReRAM의 메커니즘이 정확히 규명되지는 않았지만, 그 뛰어난 성능으로 인해서 꾸준한 연구를 하고 있으며 국외에서는 후지사가 ReRAM의 선두주자로 대표되고 있다. ReRAM이 차세대 메모리 소자로서 시장에 진출하기 위해서는 반드시 정확한 메커니즘 규명과 저항변화 물질 최적화 및 공정의 최적화가 필수적이다.

### 3. 결론

과학 기술은 꾸준히 발전함에 따라 DRAM과 플래시 메모리로 통용되는 현재 반도체 메모리 산업도 DRAM과 플래시 메모리의 집적화에 한계 때문에 언젠가는 차세대 메모리로 대체 될 것이다. 현재는 PRAM과 STTMRAM이 정확한 메커니즘을 가지고, DRAM의 고집적화 SRAM의 속도, 플래시 메모리의 비휘발성 특성이 있어서 차세대 비휘발성 메모리의 시장화에 가장 가깝다. 이 두 메모리에 대해서는 물질과 구조의 최적화만 이루어진다면 현재 DRAM과 플래시 메모리의 주도하에 있는 메모리 시장의 판도를 뒤바꿀 수 있을 것으로 예상된다. ReRAM의 경우에는 저항변화 물질의 최적화와 확실한 메커니즘의 규명을 한다면 다른 차세대 메모리보다 뛰어나고 안정적인 특성으로 인해 시장진입이 가능할 것으로 예상된다. FeRAM의 경우에는 3-D 구조의 구현과 고집적화 문제를 해결한다면 상용화될 수 있을 것이다. 각자의 차세대 메모리는 장점을 가지고 있고, 단점 또한 가지고 있다. 정부와 기업, 학교에서 연구를 계속하고 개발을 하다 보면 현재의 DRAM과 플래시 메모리의 한계를 뛰어넘는 이용방안과 시장이 열릴 것을 기대한다.



**주 병 권 교수**  
소속 : 고려대학교 전기전자공학과  
연구분야 : OLED, Memory, Flexible device, Thin Film Transistors, Laser Interference Lithography, Si Transfer Printing  
bkju@korea.ac.kr  
www.diana.korea.ac.kr



**염 승 원 석박사통합과정**  
소속 : 고려대학교 전기전자공학과  
연구분야 : Flexible Emerging Memory  
ysimon@korea.ac.kr

#### 참고문헌

- [1] D. S. Jeong, R. Thomas, R. S. Katiyar, J. F. Scott, H. Kohlstedt, A. Petraru and C. S. Hwang, Reports on Progress in Physics 75 (7) [2012]. [그림 1]
- [2] International Technology Roadmap for Semiconductors 2013 Edition. <http://www.itrs.net>
- [3] Fan H J, Kawasaki S, Gregg J M, Langner A, Leedham T and Scott J F-2008 Mater. Res. Soc. Symp. Proc. 1071 201
- [4] <http://www.lapis-semi.com/> [그림 2]
- [5] J. Hegedus and S. R. Elliott, Nature Materials 7 (5), 399-405 (2008). [그림 3]
- [6] New Samsung Open Innovation Program For STT-MRAM Technology - An Interview With Alexander Driskill-Smith <http://www.azom.com/> [그림 4]
- [7] R. Waser and M. Aono, Nature Materials 6 (11), 833-840 (2007). [그림 5]

# 2014 IDEC SoC Congress

일시 : 2014. 10. 06 (월) 09:50~18:00  
장소 : 서울대학교 (호암교수회관 내)

## IDEC SoC Congress(ISC)는

대학 Working Group(WG)과 연계하여 진행한 반도체 설계 IP 등 주요 성과에 대해 핵심적인 내용을 중심으로 소개·전시와 더불어 SoC 설계 인력 양성에 관하여 현재 상황에 대해 교수님과 학생뿐만 아니라 관련 기업과 정부 관계자를 모시고 함께 논의할 수 있는 자리를 마련하고자 준비한 행사입니다. SoC 분야 인력 양성에 대해 발전적 방향을 논의하기 위한 초석이 되는 자리가 되도록 많은 분들이 참여하여 고견 주시기를 부탁드립니다.

### ■ 세부 진행 일정

구 분	Session I	Session II
09:20 ~ 09:50	Registration	
09:50 ~ 10:00	Opening	
10:00 ~ 11:20	<b>[성과 발표 I]</b> - MPW 설계 내역 (WG 연구 개발 IP 소개)	10:00 ~ 16:00 (1F/2F 로비)
11:20 ~ 12:10	<b>[최신 동향 세미나]</b> - IoT (인텔코리아 이희성 대표)	<b>[IDEC 성과]</b> - MPW 설계물 전시(CDC)
12:10 ~ 13:10	점심식사	<b>[관계기관 전시]</b> - 공정사 홍보 - EDA tool Vendor 소개
13:10 ~ 14:00	<b>[최신 동향 세미나]</b> - 웨어러블 디바이스 (박용인 전무, 삼성전자)	
14:00 ~ 15:20	<b>[성과 발표 II]</b> - MPW 설계 내역 (WG 연구 개발 IP 소개)	
15:20 ~ 15:50	Break Time_전시 관람	
15:50 ~ 16:30	<b>[사업 내용 발표 및 관련 시상]</b> - IDEC 사업 수행 내용 및 성과 발표 - 시상 : 우수 WG, 우수 강사, 우수 설계팀	
16:30 ~ 18:00	<b>[포럼 진행]</b> - 참석 : 대학-기업-정부 관계자 - 주제 : 시스템반도체 인력양성 방향과 IDEC 연구지원 현안 관련 논의	

- 주 최 : 미래창조과학부 / 산업통상자원부
- 주 관 : 반도체설계교육센터(IDEC) / 서울대학교
- 문의처 : 042-350-4428 / <http://idec.or.kr/> / [yslee@idec.or.kr](mailto:yslee@idec.or.kr)



# TEAMWORK

CORPORATION

COLLECTIVE

TEAM

PEOPLE

## 기술동향2

# 유도 결합을 이용한 근거리 무선 통신

## inductive-coupling interface

인텔의 공동설립자 중 하나인 Gordon E. Moore는 1960년대 당시의 집적회로 칩에 포함되는 총 트랜지스터 수의 변화추세를 기반으로 Moore의 법칙을 제안하였다 [1]. 약 2년의 시간이 지날 때마다 칩당 총 트랜지스터 수가 2배씩 기하급수적으로 변한다는 이 법칙은 눈부신 반도체 산업의 발전에 힘입어 놀랍게도 50년 정도가 지난 지금까지도 지켜져 오고 있다(그림 1).

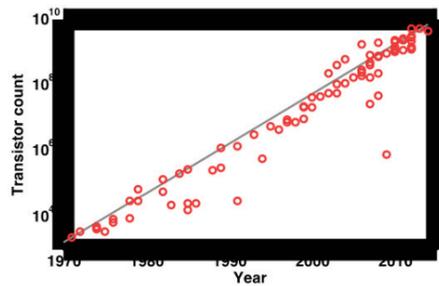


그림1. Moore의 법칙: 마이크로프로세서당 총 트랜지스터 수

이러한 기하급수적 트랜지스터 수의 증가는 매우 빠른 칩 내부에서의 동작 속도(수십 Gbps)를 가능케 하였다. 이러한 빠른 칩 내부에서의 속도를 최대한 활용하기 위해서는 칩과 칩 사이의 통신도 매우 빠른 속도로 이루어져야 한다. 그러나 안타깝게도 칩과 칩 사이의 통신을 가능케 하는 인터페이스 (chip-to-chip interface) 속도의 발전은 칩 내부 속도의 발전에 비해 상대적으로 느리게 진행되어, 결국 칩과 칩 사이의 통신이 전체 시스템의 속도를 제한하게 되는 결과를 초래하였다.

칩과 칩 사이의 통신 속도를 제한하는 가장 큰 원인은 칩과 칩을 물리적으로 연결하는 인터페이스가 가지는 큰 기생 커패시턴스이다. 예를 들어, 칩을 외부와 연결하기 위해 사용되는 금속판인 패드(pad)는 본드와이어(bond wire)와의 안정적인 연결을 위해 그 크기가 트랜지스터의 크기가 줄어드는 속도에 비례하여 줄어들 수 없는 문제점이 있다. 큰 크기와 더불어, 패드는 정전기로 인한 칩 내부 회로의 손상을 방지하기 위한 ESD(electrostatic discharge) 보호 회로를 포함하는데 이 ESD 회로 또한 큰 기생 커패시턴스를 가진다. 이처럼 패드에 존재하는 큰 기생 커패시턴스는 칩과 칩 사이의 통신 속도를 제한하는 주된 원인이 된다.

유도 결합 인터페이스(inductive-coupling interface)는 이러한 문제점을 극복하기 위하여 패드를 통한 물리적 연결에 의존한 통신 대신, 인덕터 사이의 유도 결합(그림 2)을 이용하여 무선으로 데이터 또는 전력을 주고받는다. 이러한 방식은 패드를 제거함으로써 패드로부터 발생하는 큰 기생 커패시턴스를 피할 수 있어 칩과 칩 사이의 통신 속도를 획기적으로 높일 수 있는 장점이 있다. 이 외에도, 칩 전체를 완전히 밀봉(sealing)하여 산소, 습도, 또는 먼지로 인한 손상으로부터 칩을 보호하여 칩의 수명(lifetime)을 획기적으로 늘릴 수 있는 장점이 있다.

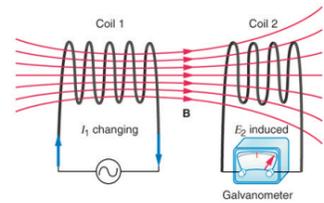


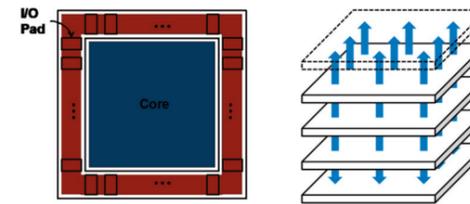
그림2. 유도 결합의 원리 [2]

### 본론

이러한 유도 결합 인터페이스를 사용한 칩과 칩 사이의 근거리 무선 통신은 다양한 분야에 응용될 수 있다. 그중에서도 특히 최근 많은 관심을 받고 있는 분야가 TCI(through chip interface), 비접촉 메모리(non-contact memory), 그리고 웨이퍼 레벨 칩 테스트(wafer-level chip testing)이다. 본 글에서는 이 세 분야에서 유도 결합 인터페이스가 어떻게 사용될 수 있는지 간단히 살펴보고자 한다.

#### 1) TCI (through chip interface)

그림 3(a)는 현재 널리 사용되고 있는 패드를 이용한 2D I/O 인터페이스를 보여준다. 파란색으로 표시된 코어(core) 부분은 칩 내부의 집적회로 부분으로 트랜지스터의 크기가 줄어들어 따라 더 많은 양의 트랜지스터를 집적할 수 있고 그에 비례하여 동작 속도도 증가시킬 수 있다. 즉, 반도체 공정의 감소 계수(scaling factor)  $\alpha$  가 길이에 대한 값임을 고려해 보면, 동작 속도는 면적에 비례하므로  $\alpha^2$  만큼 증가할 수 있다. 이에 반해, 붉은색으로 보인 I/O 패드의 위치는 칩의 가장자리를 따라 길이로 늘어서기 때문에 속도가  $\alpha$  만큼만 증가할 수 있다. 그러나 실제로는 패드 크기가 공정의 감소 계수보다 줄어드는 비율이 더 낮기 때문에 현실적으로 I/O 부분에서 반도체 공정의 감소로 인해 얻을 수 있는 속도 증가는  $\alpha$  배에 미치지 못한다. 따라서 공정의 발달이 진행될수록 전체 시스템의 속도는 칩 내부 동작 속도가 아닌 I/O 인터페이스의 속도에 의해 제한이 되게 된다.

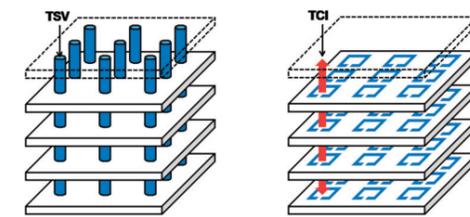


(a) 2D I/O 인터페이스 (b) 3D I/O 인터페이스

그림3. 2D와 3D I/O 인터페이스 비교

이러한 문제점을 극복하기 위해 최근에는 그림 3(b)와 같은 3D I/O 인터페이스를 사용하여 칩과 칩 사이의 통신을 하는 방식이 제안되었다. 3D I/O 인터페이스는 2D의 경우와는 달리 면적을 활용할 수 있어, 보다 효율적으로 반도체 공정의 감소 계수에 따라 I/O 속도를 증가시킬 수 있는 장점이 있다.

3D I/O 인터페이스를 구현하는 방식에는 크게 두 가지가 있다. 그림 4(a)와 (b)는 각각 이 두 가지 방식인 TSV(through silicon via)와 TCI(through chip interface)를 보여준다. TSV는 가장 직관적인 방법으로 칩을 뚫고 비아(via)를 삽입하여 물리적 연결을 통한 칩과 칩 사이의 통신을 가능케 하는 방식이다. 그러나 이러한 구조를 구현하기 위해서는 특수한 반도체 공정이 필요로 되어 칩을 제작하면서 비용이 증가하게 되는 단점이 있다. 또한, 물리적 연결에 의존하기 때문에 기생 커패시턴스가 큰 ESD 보호 회로를 필요로 하여 속도에 제한을 받을 수 있다는 단점이 있다.



(a) TSV (through silicon via) (b) TCI (through chip interface)

그림4. 3D I/O 인터페이스의 구현 방식

이에 반해, TCI는 인덕터에 기반을 둔 유도 결합 인터페이스를 사용하여 칩과 칩 사이의 3D 통신을 가능케 한다. 이 경우 인덕터가 기존 반도체 공정의 가장 높은 금속층(top metal layer)을 이용하여 구현될 수 있으므로 별도의 특별한 반도체 공정이 필요하지 않아 TSV에 비해 크게 비용을 절감할 수 있는 장점이 있다. 또한, TCI는 물리적 연결에 의존하지 않으므로 ESD 보호 회로를 제거할 수 있어 통신 속도를 크게 향상시킬 수 있다.

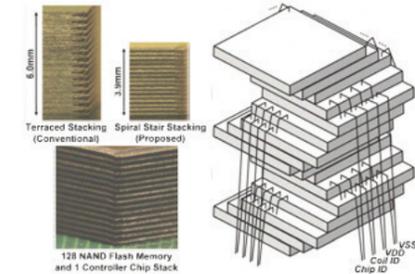


그림5. TCI를 이용한 3D I/O 인터페이스의 예 [3]

그림 5는 TCI를 이용하여 3D I/O 인터페이스를 구현한 예를 보여준다. 이처럼 TCI를 통해 최대 129개의 칩이 층층이 쌓여 서로 통신할 수 있음이 보였으며 [3], 속도 측면에서는 최대 8 Tbps의 속도를 달성하였다 [4]. TCI의 경우 데이터는 유도 결합 인터페이스를 이용하여 주고받으나, 전력은 더욱 안정적인고 효율적인 전력 공급을 위해 와이어본딩(wire-bonding)을 이용하여 전송한다.

#### 2) 비접촉 메모리(non-contact memory)

비접촉 메모리는 유도 결합 인터페이스를 이용해 데이터와 전력을 주고받는 방식의 메모리를 일컫는다. 본 글에서는 많은 양의 정보를 여러 세대에 걸쳐 보존하기 위한 장치인 digital Rosetta stone과 기존의 SD 메모리 카드를 대체할 수 있는 비접촉 메모리 카드(non-contact memory card)를 소개한다.

#### Digital Rosetta stone [5]

인류는 전 세계에 걸친 방대한 양의 문화유산을 디지털 미디어의 형태로 보존하기 위한 노력을 해왔으며 그중 한 예로 World Digital Library(www.wdl.org)를 들 수 있다. 그러나 이러한 방대한 양의 정보를 수천 년에 걸쳐 보존하는 것은 쉽지 않다.

유도 결합 인터페이스는 데이터를 저장하고 있는 마스크 롬(Mask ROM)을 완벽하게 밀봉(sealing)하는 것을 가능케 하여, 먼지, 습기, 산소로 인한 부식 및 손상을 최소화함으로써 메모리의 수명을 수천 년까지 연장할 수 있게 한다 [5]. 그림 6은 유도 결합 인터페이스를 사용한 데이터 저장 장치인 digital Rosetta stone의 개념도이다. 그림에서 볼 수 있듯, 전력은 금속 패드를 이용하여 공급했던 TCI의 경우와는 달리 마스크 롬을 완벽하게 밀봉하기 위해서는 데이터와 전력을 동시에 유도 결합 인터페이스를 통하여 주고받아야 한다. 따라서 전력을 무선으로 안정적이고 높은 효율로 공급하는 것이 중요하다.



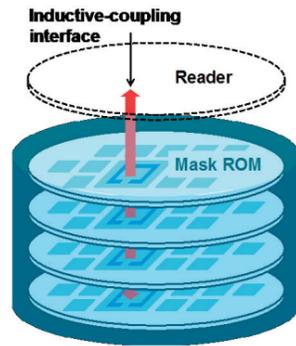


그림6. Digital Rosetta stone의 개념도

**비접촉 메모리 카드 [6]**

비접촉 메모리 카드의 개념은 기존의 상용화된 SD카드의 금속 패드 부분을 모두 유도 결합 인터페이스로 대체한 형태의 메모리 카드이다. 그림 7은 비접촉 메모리 카드의 개념도를 보여준다. 비접촉 메모리 카드는 금속 패드를 모두 제거하여, 카드를 완전히 밀봉함으로써 메모리의 수명을 획기적으로 늘리고, ESD 보호 회로를 없애 데이터 전송 속도를 개선하며, 마지막으로 메모리 카드를 리더에 꽂고 빼는 과정에서 패드가 마모되는 것을 막아 메모리 카드 자체의 수명을 늘릴 수 있는 장점이 있다. 그러나 메모리 카드의 경우 전력 소모의 양이 시간에 따라 급격하게 변화할 수 있고 소모 전력의 변동 폭이 넓어 높은 효율로 전력을 전송하는 데 어려움이 있을 수 있다. 따라서 그림에서 보듯이, [6]에서는 마그네틱 코어(magnetic core)를 이용하여 효율을 높이는 방안을 제시하였다.

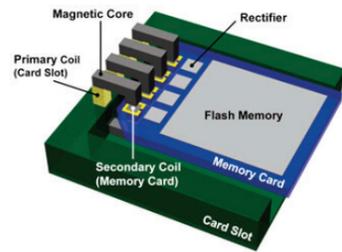


그림7. 비접촉 메모리 카드의 개념도

**3) 유도 결합 인터페이스 기반 웨이퍼 레벨 테스트**

웨이퍼 레벨 테스트는 반도체 공정의 진행 이후 웨이퍼 상에서 결점(defect)이 있는 칩을 조기에 발견하고 제거함으로써 칩 제작 비용을 절감하는 기술 중 하나이다. 기존에는 이를 위해 침(needle) 형태의 프로브(probe)를 이용하여 전력과 데이터를 전송하는 방식을 사용하였다. 그러나 이 경우 여러 개의 프로브가 동시에 패드에 정확하게 연결되기 어렵기 때문에 동시에 여러 개의 칩을 테스트(parallel testing) 하는 것이 어렵고, 물리적인 힘을 웨이퍼에 가함으로써 웨이퍼에 손상을 가져올 수 있는 문제점이 있다.

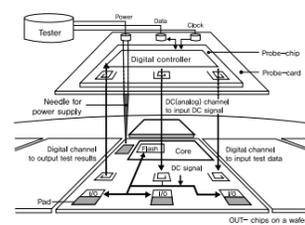


그림8. 유도 결합 인터페이스 기반 웨이퍼 레벨 테스트 [7]

그림 8은 유도 결합 인터페이스 기반 웨이퍼 레벨 테스트의 한 예를 보여준다. 유도 결합 인터페이스 기반 웨이퍼 레벨 테스트는 대부분 프로브 또는 모든 프로브를 유도 결합 인터페이스로 대체한 방식이다. 이 경우 물리적 연결을 필요로 하지 않기 때문에 두 장의 웨이퍼(테스트 실행용 웨이퍼와 테스트 되는 웨이퍼)를 겹쳐 웨이퍼 상의 여러 칩을 동시에 테스트함으로써 테스트 비용을 획기적으로 절감할 수 있는 장점이 있다. 또한, 물리적 힘을 웨이퍼에 가하지 않기 때문에 이에 따른 웨이퍼의 손상도 피할 수 있다. 그러나 여러 개의 칩을 동시에 테스트 하기 위해서는 높은 전력을 공급해야 하는 어려움이 있다 [8].

앞서 살펴보았듯, 유도 결합 인터페이스는 전송 속도를 높이고, 칩을 완전히 밀봉함으로써 수명을 획기적으로 연장하는 한편, 물리적 연결로부터 오는 손상을 피할 수 있는 장점을 가지고 있다. 이러한 유도 결합 인터페이스의 개발은 앞서 소개한 애플리케이션 외에도 수많은 응용 범위들이 있으며 전력 공급에서의 효율성을 더 향상시킬 수 있다면, 향후 발전 가능성이 아주 높은 분야라고 생각된다.



정 하 연 교수  
소속 : 고려대학교 전기전자공학과  
연구분야 : 혼성신호 집적회로 설계  
hchung@korea.ac.kr

**참고문헌**

[1] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, pp. 114-117, 1965.

[2] E. Christensen. (2013, Sep 11). College Physics II. [online]. Available: <http://cnx.org>

[3] M. Saito, N. Miura, and T. Kuroda, "A 2Gb/s 1.8pJ/b/chip inductivecoupling through-chip bus for 128-die NAND-flash memory stacking," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2010, pp. 440-441.

[4] N. Miura, et al., "An 8Tb/s 1pJ/b 0.8mm<sup>2</sup>/Tb/s QDR inductive-coupling interface between 65nm CMOS GPU and 0.1μm DRAM," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2010, pp. 436-437.

[5] Y. Yuxiang, et al., "Digital Rosetta stone: A sealed permanent memory with inductive-coupling power and data link," in *Dig. Symp. VLSI Circuits*, Jun. 2009, pp. 26-27.

[6] H. Chung, et al., "A 0.025-0.45 W 60%-efficiency inductive-coupling power transmitter with 5-Bit dual-frequency feedforward control for non-contact memory cards," *IEEE J. Solid-State Circuits*, vol. 47, no. 10, pp. 2496-2504, Oct. 2012

[7] Y. Yoshida, et al., "Wireless DC voltage transmission using inductivecoupling channel for highly-parallel wafer-level testing," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2009, pp. 470-471.

[8] A. Radecki, et al., "6W/25mm<sup>2</sup> inductive power transfer for non-contact wafer-level testing," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2011, pp. 230-231.



**11<sup>th</sup> International SoC Design Conference**  
**Nov. 3-6, 2014, Jeju Island, S.Korea**

CALL FOR PAPERS

<http://www.isocc.org>  
Contact : secretary@isocc.org

**International Organizing Committee**

- ▶ General Chair  
Jun Rim Choi (Kyungpook National Univ., Korea)
- ▶ General Co-Chairs  
Jin-Ku Kang (Inha Univ., Korea)  
Makoto Ikeda (Univ. of Tokyo, Japan)  
Yeo Kiat Seng (Nanyang Tech. Univ., Singapore)  
Shyh-Jye (Jerry) Jou (National Chiao Tung Univ., Taiwan)
- Jun Jin Kong (Samsung Electronics, Korea)
- ▶ Conference Secretary  
Kyung Ki Kim (Daegu Univ., Korea)

**Technical Program Committee**

- ▶ Technical Program Chair  
Jinwook Burm (Sogang Univ., Korea)
- ▶ Technical Program Co-Chairs  
Ken Choi (Illinois Institute of Tech., USA)  
Tony Tae Hyoung Kim (Nanyang Tech. Univ., Singapore)
- An-Yeu (Andy) Wu (National Taiwan Univ., Taiwan)

**A Unique Venue**

▶ Seongsan Ilchulbong Tuff Cone



Seongsan Ilchulbong Tuff Cone was created by hydrovolcanic eruptions 100,000 years ago. The peak is a prime spot from which to view the sunrise. It was designated as a natural monument on July 19, 2000; a UNESCO World Natural Heritage site on July 2, 2007; a Global Geopark on October 1, 2010; and one of the New7Wonders of Nature on November 12th, 2011.

▶ Yacht Tour



**General Purpose Of The Conference**

International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2014 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals for special sessions.

**Conference Theme**

The theme for ISOCC 2014 is "SoC for Smart Connectivity". Solutions for providing smart and secure connectivity will need to evolve new approaches to securing the shared resources. ISOCC 2014 is looking for novel SoC solutions to create truly smart connectivity.

**Paper Submission**

A complete 2-page manuscript must be submitted electronically in PDF format (in Standard IEEE double-column format posted on the conference website). Only electronic submission will be accepted. For more information, please refer to the conference website : <http://www.isocc.org>

**Key Dates**

- Deadline for submission of special session proposal : June 30, 2014
- Acceptance notice of special session proposal: July 10, 2014
- Deadline for submission of regular session full paper : July 15, 2014
- Deadline for submission of chip design contest: July 31, 2014
- Deadline for submission of special session full paper: July 31, 2014
- Notification of acceptance (all submitted papers): Sep. 01, 2014
- Deadline for author and early-bird registration: Sep. 15, 2014
- Deadline for submission of accepted papers : Sep.15,2014
- Deadline for chip design contest registration: Sep. 30, 2014

**Conference Venue**

RAMADA PLAZA JEJU HOTEL



**Topics of Interest**

- Analog and Mixed-Signal Circuits
  - Analog and Mixed-Signal Techniques
  - Data Converters
  - High-Speed Signal Interfaces
  - Wireline and Wireless ICs (RF ICs)
- Digital VLSI Circuits and Embedded Systems
  - Memory Circuits and Embedded Memory
  - Digital Circuits and VLSI Architectures
  - Multimedia (A/V) Algorithm and SoCs
  - Communication SoCs
  - Processors / Multi-Core Architectures & Software
  - Embedded Systems and Software
- SoC Design Methodology
  - HW-SW Co-design
  - SoC Testing
  - Design Verification
  - Signal Integrity / Interconnect Modeling and Simulation
- Low Power & Power Management ICs
  - Power Electronics / Energy Harvesting Circuits
  - Energy-Aware Systems
  - Low Power Design Techniques
- Application Specific SoCs & Emerging Technologies
  - Display Drivers
  - Image Sensors
  - Sensors and MEMS Circuits
  - Biomedical SoCs
  - Automotive SoCs
  - Nanoelectronic Devices and Circuits
  - 3-D SoCs & System-in-Package

From Jeju International Airport  
by Taxi: 10 minutes' ride

Website: <https://www.ramadajeju.co.kr>



# UX중심으로 살펴본 사물인터넷의 현재와 미래

스마트폰이 활성화되어 있는 세상에서 직장인 홍길동 씨의 요즘 하루는 심심할 여지가 없습니다. 홍길동 씨는 최근 일상을 다음과 같이 말하곤 합니다.

“아침에 일어날 때 스마트폰에 설정된 알람을 울려주고, 내가 꼭 잤는지, 건강 상태는 양호한지를 앱을 통해 언제든 확인할 수 있습니다. 출퇴근하면서 간밤에 있었던 혹은 아침에 일어났던 모든 일은 쉽게 뉴스, SNS를 통해 접할 수 있기도 하죠. 내 일상에서 많은 사람과 공유하고 싶은 일은 언제든지 알릴 수 있는 공간이 있고, 사건 사고는 언론 매체보다 더 이른 시간에 접하고 현상을 파악할 수 있습니다. 외국에 사는 친구나 동료와 언제 어디서든 화상채팅을 통하여 얼굴을 보면서 대화를 나눌 수 있다 보니, 몇 년씩 한국에 있지 않았던 친구라도 마치 어제 본 친구처럼 무슨 일이 있었는지를 알 수 있습니다. 요즘 미국 유수 대학의 MBA 과정을 이수할까라는 욕심도 생기는데, 유명한 강의는 모두 동영상으로 볼 수 있습니다. 어학도 공부할 겸, 미리 어떤 내용을 말하는지도 알 수 있으니 더욱 힘이 납니다.”

지금까지 홍길동 씨가 말한 모든 내용을 가만 생각해보면, 왜 이런 말을 하게 되는지 쉽게 알 수 있을 것입니다. 바로 2010년부터 ICT 업계의 가장 큰 화두인 모바일 플랫폼이 가져온 우리 삶의 변화죠. 스마트폰, 태블릿 PC 등에 우리는 열광해왔고, 애플과 구글은 iOS와 안드로이드라는 대표 플랫폼으로 업계의 주도권을 잡기 위한 치열한 경쟁을 벌여왔습니다. 그런데 이러한 주도권 경쟁이 사실은 빙산의 일각이라고 이야기한다면 믿을 수 있을까요? 사실 지금까지 발전해온 모바일 플랫폼은 더 편리하고 발전된 세상이 열리기 위한 통로와 같습니다. 지금부터 설명하려는 웨어러블과 사물 인터넷은 바로 이 편리하고 발전된 세상을 실현시키는 새로운 흐름이죠. 위에서 이야기했던 것이 웨어러블과 사물 인터넷이 만난다면 더욱더 신기한 세상을 만들 수가 있습니다. 기대되지 않나요?

IoT(사물인터넷)는 하드웨어와 소프트웨어가 같이 융합적으로 만나는 것입니다. 다른 말로는 IT서비스와 제조산업의 융합이라고 할 수 있습니다. 사실 이는 쉽지 않은 것입니다. 모든 융합이 그러하듯 IT서비스 사람들은 제조에 대해 지식이 없으며, 제조하던 사람들은 IT서비스에 대해 지식이 많이 부족한 상황이며, 이제까지 함께 작업을 진행하는 것들은 거의 없던 것이 사실입니다. 그러므로 IoT는 사회 전반에 대해서 큰 변화를 줄 것이 분명합니다.



송 태 민  
어비팩토리 대표

LG전자에서는 '홈챗(Homechat)' 서비스가 있습니다. 이는 스마트폰 앱인 메신저 '라인(LINE)'에 가전제품을 친구로 등록만 하면 채팅을 하듯이 일상언어로 제어할 수 있게 해 접근성과 재미요소를 높였습니다. '에어컨 켜!!'라고 말하면 '현재 온도는 29도예요. 희망온도 25도 강풍으로 냉방운전을 시작할게요~' 라고 친구처럼 채팅창으로 상태 및 작동 현황 등을 알려주는 방식입니다. 사실 가전제품 업계는 기존 홈네트워크라는 개념으로 전화로 제어 혹은 집안에 있는 리모컨으로 제어하는 방식은 있었으나 크게 시장의 반응을 얻지 못했습니다. 사물인터넷이 오랜 기간 성장 정체에 빠진 국내외 가전제품시장에 새로운 성장동력을 제공할 수 있는 기술이 될 수 있습니다. 이런 대기업에서 현재 나오고 있는 것은 대표적인 사물인터넷의 개념을 정확하게 이해시키기에는 좋은 방법으로 보입니다. 하지만 한 번 더 고려할 것이 있습니다.

만약 위와 같은 서비스가 실제 존재한다고 하면 어떨까요? 사실 매우 불편합니다. 이유는 다음의 이미지를 보면 쉽게 알 수 있습니다.

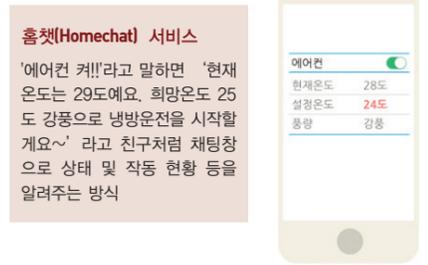


채팅처럼 일일이 물어보는 것보다는 한눈에 에어컨의 상태를 볼 수 있고 한 번의 터치로 제어할 수 있는 것이 사용성은 훨씬 좋습니다. 그래도 우선은 저런 방식의 아닌 채팅으로 하는 이유는 무엇일까요? 바로 사물인터넷 세상이 일반 사람들에게도 사물인터넷이 무엇인지 알 수 있도록 해주는 과도기이기 때문에 더욱 감성적인 소통이 필요하기 때문입니다. 사실 현실점은 무엇을 해도 최초가 되는 상황입니다. 이렇다면 일반 사람들에게 어렵게 다가가는 개념보다는 손쉽게 다가갈 수 있는 방식이 더 나을 것입니다. 보통 비콘의 경우 업계 사람들끼리는 블루투스 4.0 LE 기반의 송신기라서.. 라는 개념으로 설명하지만, 일반 사람들은 블루투스 4.0이라는 것부터 설명하기가 힘들며 굳이 설명할 이유가 없습니다. 매장을 지나갈 때면 자동으로 쿠폰을 받아볼 수 있다는 개념으로 소비자에게 다가가기지만 적합한 설명 방법이듯 사물인터넷 서비스를 일반 사용자를 상대로 한다면 사용성도 중요하지만 어떻게 어필을 해야지만 공감할 수 있을지 파악하는 것이 좋습니다.

사물인터넷은 냉장고, 책상 등 인터넷과 연동되어서 무언가를 해야 하기 때문에 사람들은 사물인터넷이 가능한 생산품을 구매를 해야 합니다. 그러려면 집에 있는 제품부터 새로 구매해야 하므로, 사회 전체적으로 모든 사물을 순식간에 새로 구매하는 것은 무리가 있습니다. 그러므로 새로운 생산품들이 전부 폐인이 되기 전의 과도기가 분명히 존재합니다. 그 과도기에서 역할을 톡톡히 하는 것이 있습니다. 바로 비콘이라는 기술입니다.

애플에서는 '아이비콘(iBeacon)'이라는 프로토콜을 명시하여 비콘 기술을 지원하게 됩니다. 비콘이라는 것은 블루투스 4.0 기반으로 BLE(Bluetooth Low Energy)를 사용함으로써 저전력으로 블루투스가 있는 스마트폰과 통신을 할 수 있게끔 해줍니다. 그럼 비콘으로 할 수 있는 것들을 살펴보도록 하겠습니다.

우선 어비콘이 나이키 매장에 전부 설치가 되어 있고 이용자들에게는 해당 앱이 설치되어 있다고 가정해봅시다. 이용자들은 나이키 매장 근처를 지나가면, 매장의 할인 쿠폰, 이벤트 정보를 손쉽게 받아 볼 수 있는 것입니다. 스마트폰으로 바로 푸시를 하여 알럿 혹은 앱이 자동 실행되어 혜택을 받을 수 있게 해줍니다.



아이비콘 프로토콜을 사용하고 있는 어비콘 (UhBeacon) 제품

조금 더 쉽게 설명을 해보겠습니다. 안드로이드 스마트폰에서 NFC(Near Field Communication) 기능을 대부분 아실 것입니다. 지하철이나 버스를 탈 때 교통카드처럼 스마트폰의 NFC 기능으로 결제가 가능한 부분으로 널리 이용되었기 때문에 알려졌으나, 사실 실패한 서비스입니다. 어찌 됐든, NFC는 10초 이하에서만 작동이 된다는 기능이지만, 실질적으로는 완전 접촉을 해야지만 작동이 원활하게 되며 iOS를 사용하는 아이폰에서는 불가능한 것이 단점이었습니다. 이런 NFC의 단점을 장점으로 바꾼 것이 비콘입니다. 거리는 50미터까지 전송이 되며, 블루투스가 있는 단말이라면 아이폰, 안드로이드폰까지 전부 적용이 가능하기 때문입니다.(안드로이드 OS 4.3 이상, iOS 7이상에서 작동되며, 구형 단말에서는 불가능)



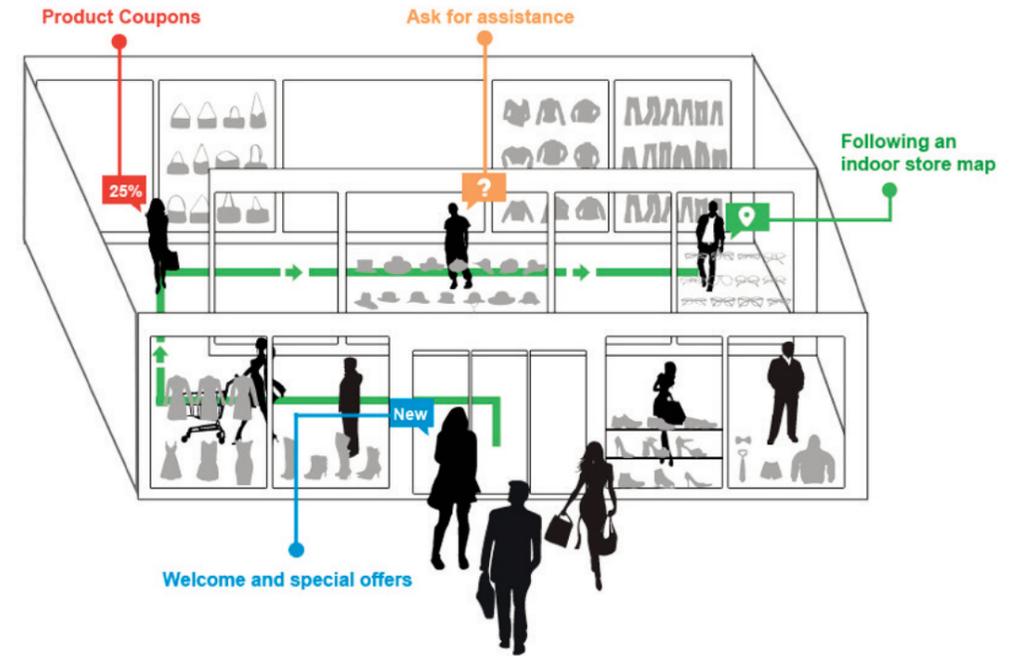
NFC와 함께 설명하면 사람들은 이해하기 쉬우므로 비콘에 대한 설명을 듣고 나면, 많은 서비스 전략들이 떠오르실 것입니다. 우선 정보, 쿠폰 등을 푸쉬로 알려줄 수가 있으므로, 마케팅 회사, 커머스 회사들에게 가장 큰 관심을 받고 있습니다. 이 비콘 신호의 대항마라고 할 수 있는 닷징이라는 것도 있습니다. 이는 비콘과 비슷하나 추가로 디바이스를 구매하지 않아도 지니고 있는 현재 단말로 인하여 사용을 할 수 있고, 사방에 설치가 되어 있는 블루투스 신호와 와이파이 신호를 이용하여 정보 전달이 가능하다는 것이 다릅니다.



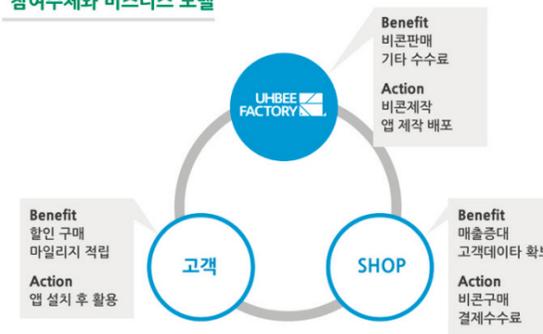
	아이비콘	닷징	NFC
플랫폼	안드로이드OS (iOS도 가능)	iOS (안드로이드OS도 가능)	안드로이드OS
활용 가능한 디바이스	블루투스 4.0 BLE (블루투스 저전력)	블루투스, 와이파이 사용하는 디바이스	NFC 모듈이 달려있는 디바이스
특징	비콘 디바이스 구매 및 iOS기기 필요	현 디자인으로 구현 가능	보안솔루션이 있으며, NFC 모듈이 없으면 사용 불가

닷징의 경우 아직 확산화가 되어 있지 않으며 사실상 비콘과는 다른 서비스입니다. 쉽게 생각하면 닷징은 움직이는 송신체계를 이용하는 서비스에 적합하며 비콘은 고정적인 부분에 적합하다고 볼 수 있습니다. 그러면 우선 비콘을 활용하여 어떤 식으로 서비스를 만들 수 있는지 알아보도록 하겠습니다. 고객이 상점에 들어와서부터 나가기 전까지 비콘을 이용하여 더 스마트한 서비스를 받을 수 있는 것이 메인 설명입니다. 환영 메시지와 스페셜 쿠폰을 지나가는 사람에게 전파하고, 그 고객들이 상점에 들어오면, 각종 상품의 정보와 질문과 답변들을 살펴볼 수가 있고, 실제 지도를 이용하여 원하는 곳을 살펴볼 수 있으며, 나갈 때는 스마트폰 결제를 이용하여 더욱 편리한 쇼핑을 즐길 수 있다는 것입니다.

이와 같은 내용을 보다 보기 편하도록 정리해보았습니다. 쿠폰, 이벤트, 마일리지, 결제 서비스를 비콘으로 구현하기 위한 비즈니스 모델을 도식화하여 만들어 본 것입니다.



#### 참여주체와 비즈니스 모델



기본적으로 회사와, 비콘이 설치될 가게와 이용을 하는 고객 세 군데를 기본 타겟으로 하여 비즈니스 모델을 만들어 보았습니다. 다른 사업군에 비해 해야 할 것이 많습니다. 비콘 디바이스 설치와 고객은 해당되는 앱이 설치되어야 하므로 고객과 가게 두 군데를 상대 해야할 수밖에 없습니다.

사물인터넷의 현재와 미래에서 나올 서비스에 대해서 간략히 살펴보았습니다. 스마트폰이 우리에게 나타나서 새로운 문화 충격과 새로운 시장을 만들었는데 사물인터넷은 우리의 삶을 다시 한 번 바꿀 수 있는 강력한 패러다임의 중심에 있는 것입니다. 일반 사람들에게는 크게 와 닿지 않는 부분이라고 생각할지는 모르지만, 전 세계 회사들은 새로운 세상들을 미리 준비하고 있습니다.

기존 소프트웨어 시장과 하드웨어 시장들의 융합적인 서비스가 과연 우리 삶에 미치는 영향, 그리고 업계 사람들의 사고하는 패턴을 변화할 때가 왔습니다. 소프트웨어 전문가들과 하드웨어 전문가들은 각자 분야에서 열심히 일을 해왔습니다. 하지만 앞으로는 서로의 이해와 협업이 이전보다 중요한 것이 바로 사물인터넷입니다.

단순하게 아이디어 기획만, 디자인만, 개발만 하는 것이 중요하였다면, 이제는 사물인터넷 분야 서로의 분야를 정확하게 파악하고 어떤 식으로 서비스를 기획하는 것이 중요한 것을 잊지 말아야 합니다.

아직 사물인터넷과 웨어러블 디바이스 세상은 버전 1.0에 못 미치는 버전 0.9라고 생각합니다. 나머지 0.1은 이 글을 읽은 독자분들과 많은 업계관계자의 노력으로 인하여 버전 1.0 세상으로 들어갈 것입니다.

# Mentor사 Calibre RET&OPC

## A. 목적

- 반도체 Litho 공정에서 Wafer상에 생성되는 Pattern의 해상도와 공정 Margin을 향상시키기 위한 Solution제공
- Optic 특성에 의해, 목적된 Design Pattern Size와 Wafer에 전사되는 Pattern Size 간에 발생하는 차이를 Mask Correction을 통해 보정

## B. 구분 Resolution Enhancement Techniques (RET) & OPC Solution

## C. Supported Platform and O/S System

HW Arch.	x86					x86-64					SPARC	
	32-bit only					32/64						
OS	Linux					Linux					Solaris	
OS Vendor Type	Red Hat Enterprise Linux					Novell SLES					Sun Solaris	
OS Version	4	5	6	10	11	4	5	6	10	11sp1	11sp2	10
2011	Supported											
2012	1H	2H	1H	2H	1H	2H	1H	2H	1H	2H	1H	2012-4
2013	2H	1H	2H	1H	2H	1H	2H	1H	2H	1H	2H	1H
	Support contingent on OS availability											
	Discontinued for new releases											

## 1. OPC

### A. Process Window OPC

Process Window 를 고려하여 OPC를 수행함으로써, Process Condition 변화에 의해 발생하는 Pinch나 Bridge에 대해 보완하는 형태로 OPC를 수행함.

### B. DDL(Double Dipole Lithography) OPC

X 방향 Dipole과 Y 방향 Dipole 조मे기로 2 번 노광 후 1번 Etch하는 방식을 고려한 OPC 방법

### C. DPT(Double Patterning Technology) OPC

Pattern들을 2개의 Mask 로 나누고 각각의 Mask로 1번씩 노광, Etch하는 방식을 고려한 OPC.

## 2. Modeling

### A. Vector Model

빛의 방향성을 고려한 Modeling 방법.

### B. SMO

공정에 취약한 Pattern에 대해 Process Margin을 향상시키기 위한 최적의 Illumination Source Shape를 생성 시켜줌.

### C. DDM Modeling

Mask Film Effect를 고려한 Modeling 방법.

## D. 특성 및 기능

- OPC : OPCPro, nmOPC
- RET : nmSRAF, mbSRAF, OPCsbar, pxOPC, DP
- Verification : OPCVerify
- GUI User Interface : Calibre Workbench

### D-1. OPC : OPCPro, nmOPC

반도체 Litho 공정에서, Optic 특성으로 인해 Design된 Pattern Size와 Wafer상에 전사되는 Pattern Size간의 차이가 발생하게 된다. 그 차이는 Design된 Pattern사이즈에 적절한 양의 Bias를 가함으로써 보정될 수 있으며, OPCPro와 nmOPC Feature가 그 작업을 수행 해 준다. 일반적으로

로 65nm Tech Node를 기준으로 이전 Node(65nm, 90nm, 110nm, 130nm ...)에서는 OPCPro가, 그리고 이후 Node(65nm, 45nm, 32nm, 28nm, 20nm ...)에서는 nmOPC가 널리 사용된다. Calibre OPC에서 지원되는 Function이나 Feature는 아래와 같다.

### D. Local Printability Enhancement

Hot Spot으로 Detecting된 지역에 Process Margin을 향상시켜 문제 Pattern을 Fix하는 기술.

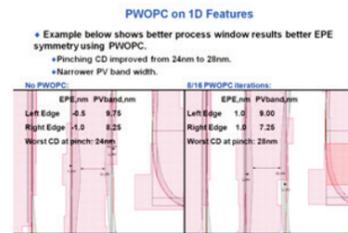


그림1. PWOPC 사용 전후의 비교

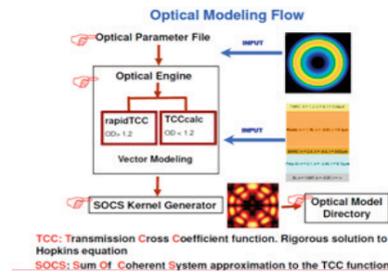


그림2. Optical Modeling Flow

D-2. RET : nmSRAF, mbSRAF, OPCsbar, pxOPC  
공정 Margin을 향상시키기 위한 Solution으로서 Assist Feature Creation과 Inverse Lithography 기술이 있다.

- nmSRAF : Template Base Assist Feature Generation
- OPCsbar : Rule Base Assist Feature Generation
- mbSRAF : Model Base Assist Feature Generation
- pxOPC : Inverse Lithography 기술을 이용한 OPC 방법

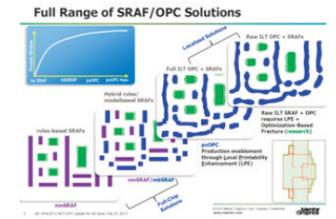


그림3. SRAF Type 별 Shape과 Process Window Margin의 추이

### D-3. Verification : OPCVerify

OPC후에 OPC가 알맞게 수행 되었는지, 그리고 Wafer상의 Pattern의 이상 유무를 판단하기 위해 이용된다. 다음과 같은 기능을 제공한다.

- Pinch/Bridge Check : Pinch / Bridge가 발생된 Pattern을 찾아 준다.
- EPE Check : Mask Pattern과 Wafer Pattern간의 Difference를 측정함
- Nils Check : Nils 를 측정함
- Meef Check : Meef를 측정함
- Layer Overlap Check : 두 Layer간에 Overlap을 측정함
- Dof Check : Depth Of Focus를 측정함
- Data Classification : 반복 Pattern에 대한 대표 데이터를 분류해 줌
- Contour Output : Simulation되어 Wafer상에 예측되는 Pattern Shape를 Output 함.

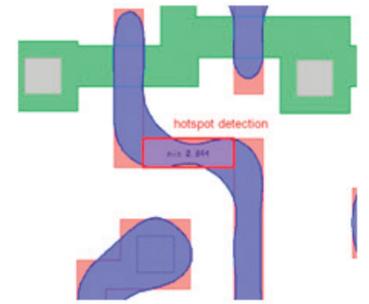


그림4. OPCVerify에서의 Pinch Detection

### D-4. GUI User Interface : Calibre Workbench

Calibre Workbench는 GUI User Interface로서 Calibre User가 좀 더 쉽게 OPC관련된 작업을 하도록 아래와 같이 다양한 기능을 제공하고 있다.

- Layout Viewer
- Layout Edit
- Optical & Resist Modeling
- Mini OPC
- Test Pattern Generation
- Image Simulation
- Hotspot Review

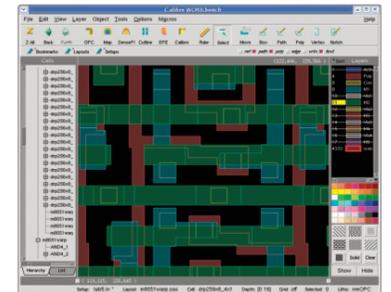


그림5. Calibre Workbench Interface



회 사 명 : Mentor Graphics  
(Subsidiary of Ansys Inc.)  
 웹 주 소 : <http://www.mentor.com/>  
 한국지사 : 한국멘토  
 전 화 : 031) 8061-0790  
 주 소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동)  
 판교 미래에셋센터 7층



권 구 덕 교수  
강원대 IT 대학  
전기전자공학부



# 실패를 두려워하지 않고 꾸준히 노력할 수 있는 성실함과 인내를 가져라

문의 강원대학교 IT대학 RF/아날로그 회로 및 시스템 연구실  
전화 033-250-6302 E-mail kdkwon@kangwon.ac.kr  
http://cms.kangwon.ac.kr/user/icsl/

현재 이동통신단말기의 아날로그 프론트-엔드는 FEMID(Front-End Module Including Duplexer), PAM(Power Amplifier Module), CMOS 송수신기로 구성된다. 국내외 기업 및 연구소와 학계에서 아날로그 프론트-엔드의 CMOS 화에 걸림돌이 되고 있는 FEMID, PAM에 대한 CMOS 집적화에 대한 연구를 활발히 진행 중이다. 현재 스마트폰이 2CC(Component Carrier), 3CC를 통해 data rate를 높이는 추세이기 때문에 FEMID는 점점 복잡해지고, 이는 CMOS 송수신기와와의 PCB 라우팅 및 단말기 PCB의 복잡도를 높여 스마트폰의 경쟁력을 떨어뜨리고 있다. 이처럼 이동통신단말기의 세계 경쟁력을 높이기 위해 CMOS duplexer를 연구하고 있는 권구덕 교수를 만나보았다.

### “이동통신단말기의 세계 경쟁력을 높이기 위해 꼭 필요한 연구”

지난 2014년 3월부터 강원대학교 IT 대학 전기전자공학부에서 조교수로 재직 중인 권구덕 교수는 KAIST 전자전산학과에서 공학사와 공학박사 학위를 취득하고, 6개월 동안 KAIST 정보전자 연구소에서 박사 후 연구원과정을 보냈다. 또한, 삼성전자 DMC 연구소에서 4년 동안 2G/3G/4G 이동통신 표준을 위한 RF 송수신기를 연구 개발하여 상용화에 참여하기도 했다. 현재, 여러 응용분야를 위한 RF/아날로그 회로 및 시스템 설계에 대한 연구를 진행 중인 그의 말에 따르면 차세대 이동통신 단말기 제조 경쟁력 확보를 위해 RF 송수신부의 CMOS 단일 칩 구현이 반드시 필요하고 이를 위해서는 우선으로 여러 모듈을 사용하여 PCB 면적을 증가시키며 부품 값 상승을 가져오는 다수의 duplexer module의 CMOS 집적화 연구가 진행되어야 한다. “이에 저는 다중 모드/대역 이동통신 표준을 지원하는 CMOS on-chip tunable duplexer에 대한 연구를 진행 중입니다.”

### “연구자로서의 시작을 알렸던 지난 시간들”

권구덕 교수가 걸어온 연구자의 길을 살펴보면, 학부 시절 반도체 소자 및 전자회로 그중에서도 아날로그 회로에 큰 매력을 느꼈다고 한다. “그 당시 wireless communication이 기술적 화두였고, 이에 자연스럽게 현재 전공인 무선통신을 위한 RF/아날로그 회로 및 시스템 설계를 선택하게 되었습니다.” 석.박사 과정 중에는 <디지털 TV용 CMOS 칩 튜너 개발>, <한국/일본 자동요금징수시스템(ETCS)용 CMOS DSRC(Dedicated Short Range Communication) 송수신 칩 개발>, <지문인식시스템 및 모바일 RFID 리더 칩 설계 관련 연구>를 진행했다고 한다. 그러면서 그는 삼성전자 DMC 연구소에서 직접 연구 개발한 2G/3G/4G 이동통신 표준

을 지원하는 Transceiver가 삼성전자의 플래그쉽 모델인 갤럭시 S4에 탑재된 때가 가장 기억에 남는다고 전했다. “갤럭시 S4 출시일을 맞추기 위해 여러 가지 문제점들을 해결해 나가는 과정이 힘들었지만, 제가 만든 칩이 상용화된다는 것에 보람을 느꼈죠. 아마, 2G/3G/4G를 지원하는 Transceiver의 상용화가 대한민국에서 최초였기 때문에 더욱 의미가 있어서인가 봅니다.”

### “목표를 향한 끈기와 인내”

연구를 진행하면서 그 역시 많은 어려운 순간을 겪었다고 한다. “기존 회로들이 가지는 문제점을 찾아서 성능 개선을 하거나 새로운 회로 및 시스템을 연구하는 과정에서 참신하고 독창적인 아이디어를 필요로 하는데, 쉽게 떠오르지 않을 때가 많고 힘들고 지칠 때가 많아요. 이때는 긍정적인 사고로 여러 동료 연구원들과 함께 토론하고 다양한 생각들을 정리해 나가다 보면 좋은 아이디어를 얻어서 문제를 해결해 나가곤 합니다.” 권구덕 교수는 목표를 향한 끈기와 인내를 연구자의 자세로 꼽았다. “어떤 연구든 성공하기 위해서는 힘들고 어려운 시기를 견디어야 하는데 이를 위해서는 실패를 두려워하지 않고 꾸준히 연구할 수 있는 성실함과 인내가 필요하다고 생각합니다. 그리고 다양한 의견을 경청하고 연구에 부족한 점을 보완해 나가려고 노력하죠.” 그러면서 그는 후배들을 위한 당부의 말도 잊지 않았다. “어느 곳에서 일하게 되더라도, 혼자 할 수 있는 일은 거의 없습니다. 팀 단위로 역할을 분담해서 연구 개발을 하게 되는데, 이때 가장 중요한 덕목은 팀원 간의 의사소통과 협력을 중시하는 태도와 서로 간의 신뢰입니다. 연구 수행 능력과 열정뿐만 아니라 긍정적인 사고로 원만한 대인관계와 친화력을 가질 수 있도록 노력한다면 어디에서든 꼭 필요하고 존경받는 연구자가 될 거라고 생각해요.”

### “시스템반도체 산업, 핵심 설계 기술을 확보해 경쟁력을 키워야 한다.”

마지막으로 권구덕 교수는 저전력화, 저가격화, 고집적화로 가속되고 고성능/다기능의 SoC 화와 다층 칩 패키지로 빠르게 발전하고 있는 시스템반도체 분야의 전망에 대한 생각을 전했다. “품목 중 핵심 칩인 AP, 모뎀은 Qualcomm, Intel 등의 국외 회사들이 선점하고 있지만, 삼성전자가 최근 모뎀 칩의 상용화를 시작으로 시스템 반도체 시장에서의 점유율과 경쟁력을 키워가고 있습니다. 시스템반도체 산업은 세계적으로 계속 성장해 가고 있기 때문에 메모리반도체와 함께 국내 기업이 시장을 선점하기 위해서는 지속적인 R&D 투자로 핵심 설계 기술을 확보해 경쟁력을 키워가야 할 것입니다.” 현재, CMOS duplexer 연구에 매진하고 있는 권구덕 교수는 이 연구를 시작으로 off-chip module을 하나씩 CMOS 집적화하여, 진정한 의미의 CMOS SDR(Software-Defined Radio)을 구현하고 싶다고 포부를 밝혔다. 목표를 향한 끈기와 인내를 가지고 연구에 임하는 그의 앞날에 건승을 기원해 본다.

