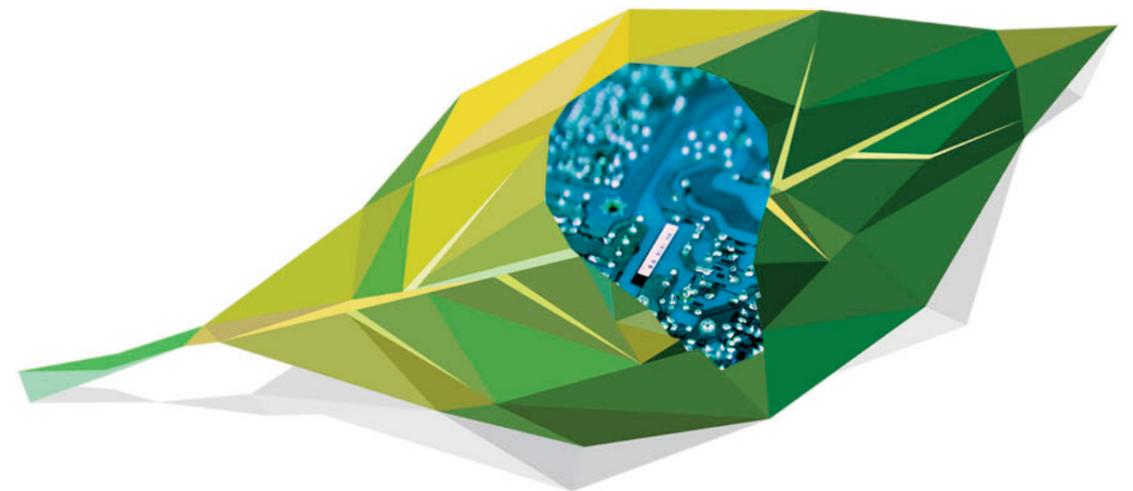


IDEC
newsletter



VOL. 208
OCTOBER 2014

IDEC Newsletter | 통권 제208호
◎ 발행일 2014년 9월 30일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸물디자인
◎ 기획 전항기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>
◎ E-mail jhg0929@idec.or.kr ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

- 2015년 MPW 공정 내역 및 진행 일정 : 2014년 11월 이후 공지됩니다.
- 2014년 MPW 진행 현황: 전공정 모집 완료

공정	회차구분 (공정_년도순서)	모집팀수 (mmxmm)x 칩수/회별	정규모집 신청마감	참여팀수 (mmxmm)x 칩수	DB 마감 (Tape-out)	Die-out	비고
삼성 65nm	S65-1401	{4x4}x48	2013.12.09	{4x4}x18	2014.02.17	2014.08.18	제작중
	S65-1402		2014.02.03	{4x4}x37	2014.08.25	2015.02.27	DB검토중
	S65-1403		2014.06.02	{4x4}x30	2014.12.15	2015.06.12	설계중
매그나칩/ SK하이닉스 0.18μm	MS18-1401	{3.8x3.8}x25	2013.12.09	{3.8x3.8}x20	2014.02.24	2014.07.28	제작완료
	MS18-1402		2014.01.06	{3.8x3.8}x25	2014.05.19	2014.10.20	제작완료
	MS18-1403		2014.02.03	{3.8x3.8}x21	2014.08.11	2015.01.12	제작중
	MS18-1404		2014.05.05	{3.8x3.8}x25	2014.11.10	2015.04.13	설계중
매그나칩/ SK하이닉스0.35μm	MS35-1401	{5x4}x20	2014.01.06	{5x4}x19	2014.06.16	2014.10.06	제작완료
	MS35-1402		2014.06.02	{5x4}x20	2014.12.01	2015.03.23	설계중
동부0.11μm	D11-1401	{5x2.5}x24	2013.12.09	{5x2.5}x21 {2.35x2.35}x5	2014.04.02	2014.08.06	제작완료
	D11-1402		2014.04.07	{5x2.5}x18 {2.35x2.35}x12	2014.10.01	2015.02.04	설계중
동부0.18μm BCD	D18-1401	{5x2.5}x4	2013.12.09	{5x2.5}x3 {2.35x2.35}x2	2014.03.27	2014.07.02	제작완료
	D18-1402		2013.12.09	{5x2.5}x4	2014.04.30	2014.08.06	제작완료
	D18-1403		2014.02.03	{5x2.5}x2 {2.35x2.35}x4	2014.09.14	2015.1.10	제작중
	D18-1404		2014.05.05	{5x2.5}x3 {2.35x2.35}x2	2014.11.05	2015.02.11	설계중
동부0.35μm BCD	D35-1401	{5x2.5}x6	2013.12.09	{5x2.5}x6	2014.02.19	2014.05.28	제작완료
	D35-1402		2014.01.06	{5x2.5}x2 {2.35x2.35}x7	2014.05.28	2014.09.03	제작완료
	D35-1403		2014.03.03	{5x2.5}x4 {2.35x2.35}x4	2014.09.10	2014.12.17	설계중
	D35-1404		2014.05.05	{5x2.5}x5 {2.35x2.35}x2	2014.11.19	2015.02.25	설계중
TowerJazz 0.18μm BCD	TJB18-1401	{5x2.5}x6	2014.01.06	{5x5}x3	2014.05.12	2014.09.08	제작완료
	TJB18-1402		2014.04.07	{5x5}x1	2014.10.20	2015.02.16	설계중
TowerJazz 0.18μm CIS	TJC18-1401	{2.5x2.5}x4	2014.01.06	{2.5x2.5}x4	2014.05.05	2014.09.01	제작완료
	TJC18-1402		2014.04.07	{2.5x2.5}x4	2014.10.13	2015.02.09	설계중
TowerJazz 0.18μm CA18HA	TJR18-1401	{2.5x2.5}x4	2014.01.06	{2.5x2.5}x3	2014.06.23	2014.10.20	제작중
	TJR18-1402		2014.04.07	{2.5x2.5}x4	2014.10.20	2015.02.16	설계중
TowerJazz0.18μmSiGe	TJS18-1401	{2.5x2.5}x4	2013.12.09	{2.5x2.5}x4	2014.03.11	2014.07.08	제작완료

- * 일정은 사정에 따라 다소 변경될 수 있음.
- * 우선/정규 모집은 마감일 2주전부터 신청 가능함
- * 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2014년1회차:S65-1401)
- * Package 제작은 Die out 이후 1개월 소요됨
- * 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집
- * 선정 결과는 모집 마감 후 15일 이내 개별 통보됨
- * 기준일 : 2014.9.29.

* 문의 : 이의숙 (042-350-4428, ylslee@idec.or.kr)

2014년 10월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	10월 7일-8일	Intuitive analysis of analog and RF circuits based on industrial practice in Silicon Valley (II)	설계강좌
	10월 27일-28일	Sentaurus TCAD training	Tool강좌
한양대	10월 14일	Error Correction Coding and Signal Processing for Memory Storage Systems	세미나
	10월 24일	Automotive_Sensor_ASIC_Abstract	

- 강좌일 : 10월 7일-8일
- 강좌제목 : Intuitive analysis of analog and RF circuits based on industrial practice in Silicon Valley (II)
- 강사 : 박진호 대표 (Terasquare)

강좌개요

반도체 산업은 점차적으로 더 빠른 속도와 고주파수, 그리고 고성능의 집적회로들이 주류를 이루고 있고, 이 같은 경향은 앞으로도 더욱 가속화될 전망이다. 고주파회로 설계자들, 특히 RF 디자이너들은 크게 두가지 부류를 이루어왔다. 첫째는 microwave분야에서 접근하는 디자이너, 둘째는 analog회로설계분야에서 접근하는 부류들이다. 하지만, IC의 고집적화가 가속화되면서, analog회로 설계자들의 RF 지식이 더욱 요구되는 것이 현실이다. 이번 강의는 국내의 analog /RF 회로설계 분야에 종사하거나 관심을 갖는 이들에게 analog의 기초와 RF 설계의 기본을 review하고 RF시스템 이해를 도우려한다. 예제로써, WiFi에 대한 설명도 할 예정이다.

수강대상 Analog / RF Design Engineering 백그라운드를 가진 전문인, 직장인, 대학원생
강의수준 중급 **강의형태** 이론
사전지식, 선수과목 Fundamental understanding about CMOS devices, analog circuitries, RF theory

- 강좌일 : 10월 27일-28일
- 강좌제목 : Sentaurus TCAD training
- 강사 : 심규광 차장(synopsys)

강좌개요

Sentaurus TCAD의 기본적인 기능을 이용하여 TCAD simulation에 대한 이해를 높이고자 함

수강대상 TCAD User (대학원생)
강의수준 초급 **강의형태** 이론+실습
사전지식, 선수과목 CMOS 공정 및 소자 동작 원리

*문의 : KAIST IDEC 구재희 (042-350-8536, kjh9@idec.or.kr)

- 강좌일 : 10월 14일 10:30~12:00
- 강좌 제목 : Error Correction Coding and Signal Processing for Memory Storage System
- 강사 : 공준진 박사 (삼성전자)

강좌개요

- 통신 시스템을 포함한 Storage System에 사용되는 ECC 및 Signal Processing에 대한 소개
- Memory 소개: DRAM, SRAM, Flash Memory 등
- Memory based Storage System에서 해결해야 할 문제점 및 이를 해결하기 위해 사용되는 ECC 및 Signal Processing 소개

수강대상 일반인, 학생

- 강좌일 : 10월 24일 16:00~18:00
- 강좌 제목 : Automotive_Sensor_ASIC_Abstract
- 강사 : 이강윤 교수 (성균관대학교)

강좌개요 본 세미나에서는 차량용 센서 신호 처리를 위한 ASIC에 대해서 다룬다. 차량용 센서의 경우 정확도와 신뢰성이 매우 중요하므로, 신호 처리 ASIC에서 이를 충분히 보장해야 한다. 외부 입력에 따라서 센서 내부의 컴퍼티스 또는 저항 값이 바뀌게 되고, 본 세미나에서는 이를 전기적인 신호 (전압 또는 전류)로 바꾸기 위한 회로를 소개한다. 또한, 센서에서 발생하는 오프셋, 이득 (민감도) 오차, 비선형성 등을 보상하는 회로 설계 기법 등에 대해서 설명하고, 설계 사례를 소개 한다.

수강대상 일반인, 학생

* 문의 : 한양대 IDEC 오경주 (031-400-4079, ipc@hanyang.ac.kr)



시스템반도체의 활성화 방안

꽤 오래 전 이야기다. 화제의 도서인 '부자 아빠 가난한 아빠'의 머리말은 다음과 같은 말로 시작된다. "학교는 우리에게 자신들이 살아가고 있는 지금의 현실 세계를 제대로 가르치고 있을까? 「네가 열심히 공부해서 좋은 성적을 올리면 좋은 직장에 들어갈 수 있단다.」 우리 부모님은 그렇게 말하곤 했다. 그리고 부모님은 이런 나를 통해 당신들의 목표를 달성했다." 이 책에서는 부자 아빠는 초등학교도 졸업 못 했고, 가난한 아빠는 교육을 많이 받은 분이다. 부자 아빠는 학교에서 배우지 못한 부자 되는 방법을 제시해 준다. 이 책은 아이들에게 좀 더 다양한 지식을 가르칠 필요가 있고 부모는 새롭고 과감한 생각을 가져야 한다고 말한다. 학교에서는 많은 지식을 가르치고, 학생이 얼마나 알고 있는지를 평가한다. 그러나 회사에서는 알고 있는 지식을 어떻게 실천해서 돈으로 만들어 내는지를 평가한다. 31년간의 대기업 생활을 마치고, 대학교수로 지내고 있는 지금 시스템반도체가 활성화가 되지 않는 이유를 먼저 대학에서 찾고자 한다. 바로 대학이 인력육성의 책임을 지고 있기 때문이다.

'부자 아빠 가난한 아빠' 이야기를 언급 하는 이유는 아직도 대학은 교과서 내용의 지식을 학생들에게 전달하는 것에 머물러 있는 것 같다는 생각에서다. 시스템반도체는 시스템에 기반을 둔 반도체의 의미를 가지고 있다. 반도체에 관한 지식보다는 시스템에 더 교육 초점이 맞추어져야 하지 않을까? 현재 대학은 아직도 많은 나무를 가르치고 있다. 학생은 이 나무가 어느 숲에 있는지를 모르고 열심히 배운다. 좀 더 구체적으로 제품을 예로 들면, 스마트폰 혹은 TV 부터 이해하고, 그 안에 내재 되어 있는 부품을 공부해야 한다. 그 부품 간의 어떤 신호 흐름과 기능을 가졌는지를, 후에 부품 별로 다시 시스템을 이해하고 그 안에 들어 있는 알고리즘을 파악해 나가야 한다. 내가 하고 있는 일 혹은 공부하는 것이 전체에 어느 부분에 속하는지를 아는 것이 중요하다. 결국, 숲과 나무를 동시에 알아 나가야 한다는 말이다..

먼저, 스마트폰의 핵심 부품 중 하나인 모뎀용 시스템반도체를 개발하는 방법을 생각해 보자. 복잡한 이동통신 알고리즘을 검증하기 위해 C언어나 SPW 같은 상용 툴을 이용한다. 이 단계를 상위설계라 부른다. 이 단계에서는 계산량의 부담을 최소화하면서 신호처리에 적합한 복조 알고리즘을 개발을 찾아내는 것이 매우 중요하다. 모뎀 구현 시 ADC, DAC의 양자화 비트 수, ADC 후 디지털 신호처리 과정에서의 효과적인 비트 수 산정, 특히 필터 계수의 비트 수나 연산결과의 비트 수는 복조성능에 직접적인 영향을 미치기 때문이다.

또한, 다중경로, 간섭, 잡음 등이 수신단 신호를 열화 시키므로 비트 오류를 발생시킬 수 있는데, 채널 코딩을 이용하여 정보 비트를 보호할 수 있다. 이는 길쌈부호(convolutional code)와 (Turbo)부호가 사용된다. 이 부분은 모뎀부와는 별도로 하나의 IP(Intellectual Property)로 개발이 용이하다. 알고리즘의 검증이 끝나면 하드웨어/소프트웨어 분할을 통하여 하드웨어 처리부와 소프트웨어로 처리부로 구분한다. 이와 같이 스펙을 정하는 일, 그로부터 시스템을 이해하고, RTL설계 이후의 칩 개발까지의 전체 개발프로세스를 경험해 보아야 한다. 이는 실제 설계하고 만들어 보는 훈련이 필요하다.

다음은 정부와 기업이 해야 할 일은 무엇인지를 고민해 봤다. 국내 기업이 시스템반도체의 육성을 늦추는 사이에, 중국과 대만 시스템반도체 산업은 빠른 속도로 성장했다. 세계 시스템반도체 시장에서 돌풍을 일으키고 있다. 8월 20일자 전자신문 보도를 인용하면 "지난해 매출이 비교적 큰 Fabless 반도체 기업 25개사를 전년 대비 성장률을 바탕으로 재정리해보니 성장률이 높은 상위 10개 기업 가운데 절반이 중국(2곳)과 대만(3곳) 기업이었다. 이를 1~5위 기업으로 좁히면 절반이 넘는 3곳이 중국·대만 기업이었다. 성장률이 가장 높은 곳은 중국 스프레드트림(47%)이었고, 그 뒤를 이은 2위 업체는 대만 미디어텍(36%)이었다. 이 밖에 하이실리콘(중국)·리얼텍·노바텍(대만)이 나란히 5~7위를 차지했다. 더 놀라운 것은 지난 2008년까지만 해도 중국 기업은 아예 매출 상위 25대 리스트에 들어가지도 못했다는 점이다."

이렇듯 중국과 대만 Fabless 업체가 성장했던 이유는 정부 차원에서의 적극적인 기업육성에 있다. 중국과 대만 모두 정부 차원에서 시스템반도체 산업을 적극적으로 키웠다. 현재 우리나라의 Memory 사업은 세계 1등을 유지하고 있다. 어쩌면 Memory 사업의 1등이 시스템반도체를 육성을 가로막고 있는지 모르겠다. 우리 정부는 이만하면 되었다는 생각인 것 같다. 과거만큼 관심도가 떨어지는 것도 사실이다. Memory 사업도 쉬운 것은 아니지만, 투자가 제조 및 공정에 있다고 한다면, 시스템반도체 사업의 투자는 사람에 있다. 결국은 시간이 더 오래 걸릴 수 있다는 이야기다.

어느 대기업의 이야기다. 스마트폰의 핵심 칩인 AP에서 성공을 거두게 되면서, 시스템반도체를 집중 투자한다고 공개적으로 발표했지만, 막상 뚜껑을 열어보니, 설계인력을 대폭 늘리는 것이 아니고, 제조라인만을 늘렸다는 이야기를 들었다. 정부도 기업도 단기성과 위주의 전략으로는 시스템반도체의 성장은 요원하다. 가장 중요한 것이 결국 설계인력 육성이다. 다시 말해 마인드 셋의 변화가 필요하다. 단기적인 생각으로는 오랜 시간 인력육성이 선행되어야 하는 시스템반도체 산업육성은 불가능 하다고 본다.

최근에 비교적 크다는 국내 몇몇 Fabless 업체들을 대상으로 세미나도 하고, 간담회를 가졌다. 기업의 숫자가 얼마 되지 않는 것에 놀랐고, 제법 크다는 기업들조차도 전문 개발인력이 너무 부족하다는 것에 걱정이 앞선다. 시스템반도체는 더 많은 기능과 성능을 요구하면서 시스템도 복잡해지고 칩에 들어가는 다양한 알고리즘도 이해해야 한다. 그리고 embedded SW도 동시 개발이 되어야 하니, 전문인력의 육성이 선행되어야 한다. 또한, 제품의 트렌드를 이해하고 선행해서 IP 개발도 이루어져야만 한다. 그래야만 이 구축된 IP를 사용하면서 개발기간도 단축하게 된다.

마지막으로 정부, 기업, 대학이 어떤 방법으로 시스템반도체 활성화에 기여 가능한지를 제안하고자 한다. Fabless 업체의 가장 큰 애로 사항은 인력확보 및 선행연구 부족 일 것이다. 이를 해결할 가장 좋은 방법은 Fabless 업체의 R&D 역할을 담당할 대학의 연구실을 선정해서 정부는 1년 단위로 개발비 지원을 큰 규모로 해주는 것이다. 이때 대학은 선행 과제 수행 및 인력 육성해서 기업에 취업을 유도 하는 것까지를 해야 한다. 이때 병역특례 제도를 활용 하는 방법을 고려할 수 있다. 때문에 많은 Fabless 업체가 아닌 4~5개 업체를 선정해서 집중적으로 키우는 것이 중요하다고 본다.

시스템반도체산업은 국가의 근간이 된다. 중국과 대만에 밀리는 상황으로는 향후 셋트 경쟁력은 기대하기 어렵다. 더 늦기 전에 정부, 기업, 대학이 협력하여 대책을 수립해야만 한다. 머뭇거리는 사이에 중국, 대만 연합팀은 우리를 앞서가고 있다. 삼성전자의 스마트폰 사업이 샤오미에게 밀리는 것은 중저가 시장이지만, 멀지 않아서 프리미엄급에서도 질수 있다는 걱정이 앞선다. 같은 부품을 사용하는 셋트 개발은 스마트폰 제조업체들의 평준화를 가지고 올 수 밖에 없다. 결국 싸게 잘 만드는 업체가 우위에 서게 된다. 차별화된 사양을 칩 안에 넣고 그 칩이 채용된 셋트가 경쟁력을 갖게 되는 것은 당연한 것이다. 따라서 시스템반도체 능력이 매우 중요하다. 시스템 반도체의 개발능력이 셋트 경쟁력과 그대로 직결 되기 때문이다.

정부, 대기업, Fabless 업체, 대학이 함께 종합적인 마스터플랜을 빨리 제대로 마련해 보자. 그리고 치열하게 열심히 달려야 한다. 시간이 별로 없다.

*** 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.**



김용석 교수
성균관대학교

사물인터넷(Internet of Things) 관련 주요 프로토콜 표준화 동향

사물인터넷(Internet of Things) 관련 주요 프로토콜 표준화 동향

서론

사물인터넷(Internet of Things, IoT)은 사람, 사물, 데이터 등의 모든 것이 인터넷으로 서로 연결되어 정보가 생성, 수집, 활용되는 초연결 인터넷을 의미한다. 현재 전세계적으로 산업혁명, 정보화 혁명을 거쳐 사물인터넷 기반의 초연결혁명이 진행 중이며, 미국의 정보 기술 연구 및 자문회사인 Gartner에 따르면 2020년까지 260억대에 달하는 장치들이 사물인터넷에 연결 될 것으로 전망된다.[1]

그러나 기존에 존재하는 사물인터넷과 관련된 다양한 서비스들은 특정 산업 분야나 서비스에 중점을 두고 설계되었기 때문에 시스템 확장, 유지보수를 하게 될 경우에 많은 비용이 발생한다. 따라서 이런 문제점을 해결하기 위해서는 기존의 종속적이고 수직적인 구조에서 벗어난 수평적인 공통 플랫폼 표준 개발이 필요하다.

사물인터넷에 대한 전세계적인 관심으로, 2012년 글로벌 사물인터넷 서비스 플랫폼 표준을 개발하기 위해 전세계 7개국의 전기통신 표준화 기관들이 oneM2M이라는 글로벌 표준화 기구를 공동으로 설립하였다. 7개 기관들은 ARIB, TTC(일본), ATIS, TIA(미국), CCSA(중국), ETSI(유럽), TTA(한국)이며 270여개에 달하는 업체들도 여기에 참여하고 있다.

oneM2M은 지금까지 분리되어 개발되고 있는 사물인터넷 서비스 계층 표준 활동들을 통합하여 표준화 시장 분열을 최소화하는 것을 주요 목표로 삼고 있으며 두 달마다 정기적인 기술총회를 가지면서 활발한 표준화 활동을 진행 중에 있다. 지난 7월 28일 프랑스 소피아 안티폴리스에서 열린 oneM2M 제 12차 기술총회에서는 oneM2M release 1.0이 승인 완료 되었다.[2]

본고에서는 oneM2M의 워킹그룹 중 프로토콜 기술을 담당하는 WG3에서 사물인터넷 서비스 계층 프로토콜로 채택되어 표준화가 진행 중인 주요 프로토콜 중 CoAP, MQTT, XMPP 대해 알아보고자 한다.[3]

본론

1. CoAP • Constrained Application Protocol
CoAP는 국제 인터넷 표준화 기구인 IETF(Internet Engineering Task Force)의 CoRE(Constrained RESTful Environments) 워킹그룹에서 저전력, 손실 네트워크 및 낮은 성능, 저용량 메모리를 갖는 센서 노드의 환경에서 사용하기 위해 개발한 RESTful 기반 웹 전송 프로토콜이며 표준 인터넷 네트워크를 통해 원격으로 제어하고 관리할 필요가 있는 장치들을 주요 대상으로 한다. 웹과의 연동을 위해서 HTTP와 쉽게 인터페이스가 가능하도록 설계되었기 때문에 기존의 웹 서비스들과 쉽게 결합이 가능하며 멀티캐스트 지원, 낮은 오버헤드와 같은 요구사항 또한 충족시킨다. 주요 특징은 다음과 같다.[3,4]

- 제한된 환경에서의 machine-to-machine(M2M) 요구사항들을 충족
- UDP(User Datagram Protocol)를 기반으로 하며 유니캐스트와 멀티캐스트 request를 지원
- 비동기식 메시지 교환
- 낮은 헤더 오버헤드와 간단한 파싱
- URI와 Context-type 지원
- 간단한 proxying 및 caching
- 프록시를 거쳐 HTTP를 통한 CoAP 리소스 접근이 가능
- 높은 통신 보안 단계를 위해 선택적으로 DTLS(Datagram Transport Layer Security) 사용

또한 CoAP는 기본적으로 UDP를 기반으로 비동기식 전송을 하기 때문에 신뢰성 있는 메시지 전송을 위해서 아래와 같은 4가지 메시지 형식이 정의되어있으며 이들 메시지의 request/response의 상호작용으로 메시지를 전달한다.(그림 1.)

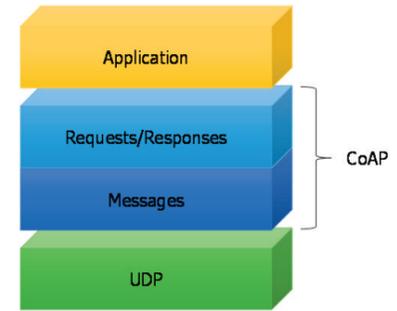


그림 1. CoAP Protocol Stack

- Confirmable 메시지 : Acknowledgement 메시지를 요구하는 메시지이다.
- Non-confirmable 메시지 : 일반적인 UDP 메시지이며 승인(Acknowledge 메시지)을 필요로 하지 않는다.
- Acknowledgement 메시지 : Confirmable 메시지를 성공적으로 수신하였을 때 수신자가 송신자에게 응답하는 메시지이다.
- Reset 메시지 : 수신자가 Confirmable/non-confirmable 메시지를 수신하였으나 전송 중 데이터 손실이나 수신 노드의 재부팅 등으로 인해 해당 요청을 처리할 수 없을 경우 Reset 메시지를 전송한다.

CoAP의 장점은 UDP를 이용하므로 TCP에 비해 오버헤드가 작으며 바이너리 헤더를 사용하므로 ASCII 헤더를 사용하는 HTTP에 비해 전송되는 데이터의 양이 훨씬 적다는 점과 HTTP-CoAP간 쉽게 translation을 할 수 있기 때문에 기존의 HTTP를 이용한 웹 서비스들과 쉽게 연동이 가능하다는 점이다. 반면 보안을 위해 DTLS를 이용할 경우 오버헤드가 커진다는 단점이 있다.

2. MQTT • Message Queuing Telemetry Transport
MQTT(Message Queuing Telemetry Transport)는 1999년 IBM과 Arcom(현 Eurotech)이 메모리 공간이 작은 장치, 낮은 대역폭, 긴 지연시간을 갖는 네트워크에서의 이용을 목적으로 개발한 메시징 프로토콜이며 표준화 단체인 OASIS(Organization for the Advancement of Structured Information Standards)에 의해 사물인터넷을 위한 표준 메시징 프로토콜로 선정되었다. 원격측정, 헬스케어 산업, 에너지 산업과 같은 분야에 주로 사용되고 Facebook 메신저에도 이용되고 있다.

MQTT는 다수의 클라이언트 연결에 효과적인 pub/sub 기반 메시징 프로토콜이다. 여기서 pub/sub이란, 메시지 송신자(publisher)가 특정 수신자(subscriber)에게 메시지를 직접 전송하는 것이 아

니라 관련된 topic에 발행(publish)하고 수신자(receiver)들은 관심 있는 topic을 구독(subscribe)하여 해당 topic에 발행(publish)된 메시지만을 수신하는 방식이다. 즉, 클라이언트(publisher, subscriber)가 서버(브로커)에 연결하여 관련된 topic에 메시지를 발행(publish)하거나 구독(subscribe)하는 방식이다.(그림 2.) [3,5] 또한 MQTT는 다음과 같은 세 단계의 Quality of Service (QoS)가 정의되어 있다.

- 메시지를 한 번 전달하고 확인을 하지 않는다.
- 메시지 전달 여부를 확인하여 적어도 한 번 이상 전달
- 추가적인 프로토콜 flow를 이용하여 메시지를 정확하게 한 번 전달

단계가 높을수록 신뢰도가 높아지지만 지연시간과 넓은대역폭이 요구된다. 시스템 오류 메시지와 같은 중요한 메시지의 경우 높은 단계의 QoS를 지정하고 주기적으로 반복 측정되어 전송되는 메시지의 같은 경우엔 낮은 QoS를 지정하여 이용할 수 있다.

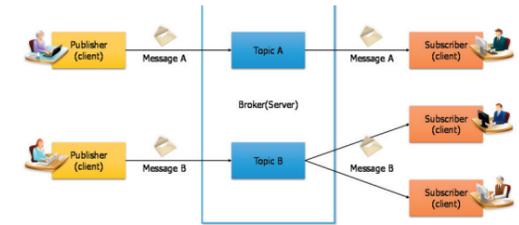


그림 2. MQTT Publish/Subscribe messaging

이외에도 MQTT에는 브로커(서버)가 모든 subscriber에게 메시지를 전달 한 이후에도 그 내용을 추후 이용을 위해(ex. 해당 topic을 새로이 subscribe하는 클라이언트에게 바로 메시지를 전달) 보관하는 Retained messages, 클라이언트의 연결이 끊어질 때 클라이언트에 관련된 정보의 유지 여부를 지정하는 Clean session, publisher의 연결이 브로커로부터 비정상적으로 끊어질 경우 브로커가 publisher를 대신하여 subscriber들에게 이를 알리는 Will message 와 같은 특징들이 구현되어 있다.



MQTT는 전송 오버헤드가 작고(2바이트 헤더)리소스 점유를 최소화 하여 64kb 이하의 램을 갖는 장치에서 구현이 가능하다. HTTPS와 비교하여 더 나은 throughput, 낮은 배터리소모와 네트워크 오버헤드를 갖는다. 반면 MQTT의 단점은 트랜잭션을 지원하지 않아 메시지 한번 전송되면 롤백을 할 방법이 없으며 확장이 어려워 새로운 기능을 추가하기 위해서는 프로토콜을 새로 수정하여야 한다는 점이다.

3. XMPP • eXtensible Messaging and Presence Protocol
XMPP는 1999년 오픈 소스 커뮤니티인 Jabber가 개발한 XML(Extensible Markup Language)에 기반을 둔 인스턴트 메신저를 위한 통신 프로토콜이다. 두 개 이상의 네트워크 개체 사이에서 근 실시간으로 확장 가능한 메시지와 네트워크 가용성(presence) 교환을 위한 목적으로 개발되었다. 초기의 이름은 Jabber이었으며 2004년 IETF에 의해 국제 표준 프로토콜로 제정되었으며 [6]현재 Google Talk, AOL Instant Messenger(AIM), Microsoft messenger 등에 이용되고 있다.

이는 상대적으로 작은 조각의 구조적 데이터(XML stanza)를 둘 이상의 네트워크 개체 사이에서 교환이 가능하도록 하는 것이 목적이다. 일반적으로 XMPP는 여러 개의 서버들이 연결된 클라이언트-서버 모델을 이용하며 이는 클라이언트가 네트워크에 접근하기 위해서는 서버에 연결되어야 하는 것을 의미한다. 즉, 클라이언트가 서버와 연결 된 이후에 네트워크상의 다른 개체들과 XML stanza를 교환 할 수 있다.(그림 3)

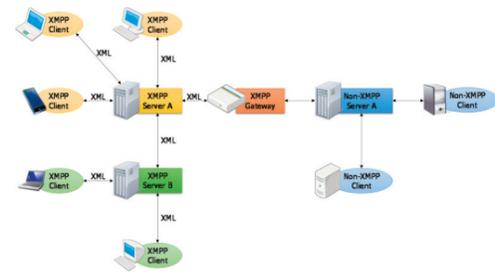


그림 3. XMPP 클라이언트-서버 구조

XMPP의 주소는 이메일 주소와 유사하게 DNS를 기반으로 하여 전 세계적으로 유일한 주소를 가지며 localpart@domainpart/resourcepart와 같은 형식(Jabber ID 또는 JID)으로 표현이 된다. 따라서 기존의 인스턴트 메시징 서비스들은 서로 다른 서비스를 이용하는 사용자들끼리의 메시지 교환은 불가능하였으나, XMPP는 다른 도메인에 연결된 사용자들과도 통신이 가능하다.

클라이언트가 서버에 연결되어 XML stanza를 교환하고 연결을 종료하는 과정은 다음과 같다.

1. FQDN(Fully Qualified Domain Name)을 해석하여 연결할 IP 주소와 포트를 결정
2. TCP 연결을 열고 TCP를 통해 XML stream을 연다.
3. 채널 암호화를 위해 TLS(Transport Layer Security)를 이용하고 SASL(Simple Authentication and Security Layer)를 사용하여 인증을 거친다.
4. Resource를 XML stream과 바인딩하고 XML stanza들을 네트워크상의 다른 개체들과 교환
5. XML stream을 닫고 TCP 연결 해제

XMPP는 TCP 연결을 이용하여 통신하며 클라이언트-서버, 서버-서버간 통신에서의 암호화를 위해 TLS(Transport Layer Security)[7]가 지원되며 네트워크 개체 간 인증을 위해서는 SASL(Simple Authentication and Security Layer)[8]을 지원한다. (그림 4.)



그림 4. XMPP Protocol Stack

XMPP는 개방형 표준이며 XML을 기반으로 하므로 확장이 용이하다. 중앙 서버가 필요하지 않고 누구든 자신만의 XMPP 서버를 구동할 수 있다. XMPP 서버간뿐만 아니라 XMPP 게이트웨이를 통해 다른 프로토콜과도 통신이 가능하다는 장점이 있다. 반면 TCP를 이용하므로 일부 사물인터넷 응용에 맞지 않을 수 있으며 텍스트에 기반을 둔 XML로 인해 오버헤드가 커질 수 있다는 단점이 있다.

아래의 표 1.은 지금까지 살펴본 세가지 프로토콜에 대한 비교, 요약을 나타낸다.

	CoAP	MQTT	XMPP
개발단체	IETF CoRE 워킹그룹	IBM/Arcom	Jabber
표준화기관	IETF	OASIS	IETF
목적	제한된 환경에서 이용	원격 메시지 전송	IM(Instant Messaging)/ Presence information
아키텍처	REST (웹 서비스 지향)	Publish/subscribe 모델	XML 기반 분산클라이언트/서버
전송계층 프로토콜	UDP	TCP	TCP
보안	DTLS	SSL	SASL, TLS
적용사례	-	Facebook Messenger	Google Talk AIM, MS Messenger

표 1. CoAP, MQTT, XMPP 프로토콜 비교

결론

지금까지 사물인터넷 국제 표준화 기구인 oneM2M에서 표준화가 진행중인 주요 사물인터넷 관련 프로토콜 세 가지에 대해 살펴보았다. 사물인터넷은 현재 전세계적인 주목을 받고 있으며 세계 주요국들과 Google, Oracle, Cisco와 같은 글로벌 기업들이 적극적으로 투자하고 있는 분야이다. 국내에서도 금년 5월 미래창조과학부에서 '사물인터넷 기본계획'을 발표하였으며 이와 관련해 앞으로 활발한 연구가 진행될 것으로 예상된다.

이 승 구 교수
소속 : 포항공과대학교 전자전기공학과
연구분야 : 무선센서 네트워크, 무선 애드 혹 네트워크, 병렬 및 분산 처리, 실시간 컴퓨팅, 결합 포용 컴퓨팅
slee@postech.ac.kr
http://esa.postech.ac.kr

박 흥 대
소속 : 포항공과대학교 전자전기공학과 석사과정
연구분야 : 무선센서 네트워크
hdpark@postech.ac.kr
http://esa.postech.ac.kr

참고문헌

[1] Gartner, "Gartner Says the Internet of Things Installed Base Will Grow to 26 Billion Units By 2020," 12 Dec. 2013. Retrieved 2 Jan. 2014.

[2] J. Swetina, G. Lu, P. Jacobs, F. Ennesser, and J. S. Song, "Toward a standardized common M2M service layer platform: Introduction to oneM2M," IEEE Wireless Communications, Vol. 21, No. 3, pp. 20-26, Jun. 2014.

[3] oneM2M-TR-0009, "oneM2M Protocol Analysis Technical Report," v.0.7.0, Jun. 2014.

[4] Z. Shelby, K. Hartke, and C. Bormann, "The Constrained Application Protocol (CoAP)," draft-ietf-core-coap-18, IETF, Jun. 2013.

[5] A. Banks and R. Gupta, "MQTT Version 3.1.1." Candidate OASIS Standard 01, Jun. 2014.

[6] P. Saint-Andre, "Extensible Messaging and Presence Protocol (XMPP): Core," draft-ietf-xmpp-3920bis-22, IETF, Jun. 2011.

[7] T. Dierks and E. Rescorla, "The Transport Layer Security (TLS) Protocol," RFC 5246, IETF, Mar. 2008.

[8] A. Melnikov and K. Zeilenga, "Simple Authentication and Security Layer (SASL)," RFC 4422, IETF, Jan. 2006.



아날로그 · 혼성신호 회로의 레이아웃 자동화 방법

P&R 툴을 활용한 셀 기반의 디지털 PLL의 구현

아날로그/혼성신호 회로의 레이아웃 자동화 방법

초록

본 고에서는 아날로그 회로도 디지털 회로처럼 place-and-route (P&R) 툴을 활용한 셀(cell) 기반의 레이아웃 자동화가 이루어질 수 있음을 디지털 PLL을 예제로 들어 보이고자 한다. 셀 기반의 설계방법을 사용하기 위한 첫걸음은 아날로그 회로 설계를 트랜지스터 수준에서 시작하는 것이 아니라, 설계자의 의도 또는 목적을 표현하는 모델을 작성하고 검증하는 것에서 시작하는 데에 있다. 이러한 설계 흐름만이 시스템 전체의 관점에서 회로 각 부분의 역할을 명확하게 정의할 수 있고, 각 부분이 디지털 ASIC 설계 흐름에 의해 구현되어야 할지, 아날로그 커스텀 설계 흐름에 의해 구현되어야 할지를 가이드할 수 있기 때문이다. 본문에서는 아날로그 회로와 디지털 회로가 혼재하는 9.4-GHz 대역의 디지털 PLL의 구현 과정을 설명하면서, Synopsys사의 IC Compiler와 Custom Designer 툴이 그 레이아웃 구현 자동화에 활용되는 예를 보이고자 한다.

1. 서론

지금까지 아날로그 IC 설계는 주로 설계자의 경험과 직관, 그리고 수작업에 의존하여 이루어졌다. 그러나 모바일 스마트폰과 IoT 센서와 같이 다양한 아날로그 센서를 탑재한 전자기기의 사용이 꾸준히 증가하는 추세에서, 이러한 장인 기술들에 의존해야만 하는 아날로그 회로 설계는 그 설계 효율성에 있어 한계에 직면하고 있다. 심지어, 순수한 디지털 시스템이라 여겨지는 마이크로프로세서에서도 정확한 클럭 타이밍의 제어와 저전력 소모를 위한 전압 제어의 필요성 때문에 고품질의 위상동기루프(phase-locked loop; PLL)와 칩상 전압 레귤레이터(integrated voltage regulator; IVR) 설계 가능 여부가 전체 시스템의 성능과 time-to-market을 결정하는 경우가 많아지고 있다.

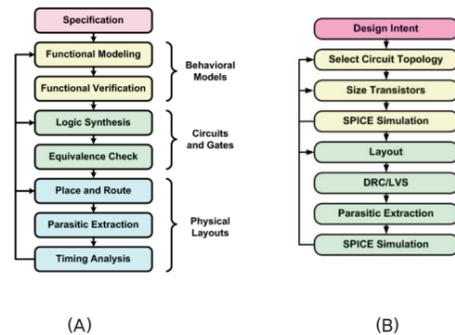


그림 1. 디지털 IC 설계흐름과 아날로그 IC 설계 흐름의 비교. 현재 아날로그 설계의 대부분은 설계자의 직관에 의존하는 수작업으로 이루어진다.

그림 1을 보면 디지털 회로의 설계 흐름과 아날로그 회로의 설계 흐름의 차이가 극명히 나타난다. 디지털 회로의 설계 과정은 잘 정의된 여러 개의 단계로 구성되어 있고, 단계마다 그 용도에 적합한 자동화 툴이 사용된다. 예를 들어, 디지털 설계자들은 원하는 시스템의 동작을 모델을 통해 먼저 표현하고, 그것의 옳고 그름의 여부를 RTL 시뮬레이터나 더 상위레벨의 시뮬레이터를 통해 검증한다. 그리고 그 모델이 검증되고 난후에는 합성 툴을 사용해 그 모델을 논리 게이트들의 조합으로 변환하고, 그 이후에는 place-and-route (P&R) 툴을 활용해 레이아웃으로 구현한다. 게다가, 디지털 설계 흐름에는 모델과 실제 구현된 회로가 서로 동등한지를 확인해주는 등가검증 툴(equivalence checker)들도 존재한다. 이에 반해, 아날로그 회로 설계 흐름은 대부분이 수작업에 의존하는 경향이 많다. 아날로그 설계자들은 회로 구조의 선택, 트랜지스

터 사이즈 정하기, 매칭과 대칭을 중요시하는 레이아웃 구현 등 대부분의 과정을 수작업을 통해 직접 하며, 이에 설계자의 경험과 직관이 많이 반영된다. 최근에 아날로그 회로 최적화 툴, 아날로그 용 레이아웃 생성 툴 등 새로운 설계자동화 툴이 많이 개발되었지만, 현장 설계자들의 요구와 구미를 맞추지 못해 널리 활용되지 못하고 있는 실정이다.

하지만 아날로그 회로가 디지털 회로에 비해 그 설계과정이 더 느려야만 하고, 자동화가 불가능해야만 하는 근본적인 이유는 없다는 것이 필자의 믿음이다. 한가지 이유로 아날로그 회로이든, 디지털 회로이든, 결국은 같은 IC 칩상에 똑같은 트랜지스터를 사용하여 구현된다는 점을 주목할 필요가 있다. 아날로그 회로니까 트랜지스터 특성에 더 민감하고, leakage, aging, layout-dependent effect 등에 더 신경 써야하고 그래서 더 어렵다는 말은 따라서 성립하지 않는다. 디지털 회로도 똑같은 트랜지스터를 사용하기에 역시 같은 문제를 고민해야 하고, 오히려 구현하려는 시스템이 훨씬 더 복잡하고 트랜지스터의 수가 수백만에서 수억 단위로, 수천~수만 개의 트랜지스터로 구현되는 아날로그 회로에 보다 훨씬 많으므로 디지털은 쉽고 아날로그는 어렵다는 것은 어찌 보면 옳은 변명에 더 가깝다. 디지털 설계 방식과 아날로그 설계 방식의 큰 차이점은 추상화(abstraction)를 활용하는 정도에 있다고 생각한다. 디지털과 아날로그 둘 다 구현하고자 하는 시스템에 대해 잘 정의된 추상화 모델을 가지고 있다. 즉, 디지털은 Boolean 시스템, 아날로그는 선형 시스템을 abstraction으로 쓰고 있고, 두 abstraction 모두 거의 백 년 가까운 역사를 갖고 있기에 이상적인 상황만을 가정한다면 디지털과 아날로그 모두 설계하는 데에 어려움이 없다. 다만, 차이는 디지털 설계 흐름은 이 Boolean abstraction을 잘 활용하는 반면, 아날로그 설계 흐름은 linear abstraction을 거의 무시하는 데에 있다.

그림 1을 다시 살펴보면, 디지털 회로 설계의 시작은 Boolean 가정에 기반을 둔 모델의 작성에서 시작하고, 그 모델 동작의 검증이 모두 이루어진 후에야 회로 구현 과정이 시작됨을 알 수 있다. 즉, 이상적인 가정에서도 동작하지 않는 시스템은 구현할 가치도 없다는 것이다. 합성 및 P&R 툴 등 모델을 자동으로 구현해주는 툴이 있으니 디지털은 쉽다고 생각할 수 있지만, 그렇다고 그 툴들이 이상적인 모델과 똑같은 회로를 생성해내는 것은 아님에 주목할 필요가 있다. 지연시간(delay), 클럭 skew, IR 전압 강하로 인한 전원 전압의 차이, 글로벌 및 로컬 미스매치, 도선 간의 crosstalk 간섭, aging 등 고려해주어야 하는 비이상적인 특성들이 아날로그만큼이나 많다. 다만, 모델을 통해 “설계자의 의도”가 정확히 표현되고 있으므로, 자동화 툴들이 설계자의 의도로 보존하는 선에서 이러한 비 이상성을 허용할 수 있는 자유도가 생긴다. 예를 들어, 구현된 시스템이 원하는 클럭 주파수에서 원래 모델과 cycle 단위로 같은 출력 반응을 내기만 한다면(즉 타이밍 조건들을 만족하기만 한다면), 그 시스템을 구성하는 논리 게이트들은 어떤 유한한 지연시간을 가져도 되는 것이다.

반면에, 아날로그 회로 설계에서 사용되는 툴은 SPICE 시뮬레이터가 대표적인데, SPICE 상에서 표현하는 회로는 설계자의 의도를 반영하는 것이 아니라, 실제로 구현된 회로를 되도록 있는 그대로(소위 “정확하게”) 표현하는 것이다. 다시 말해, SPICE는 어떤 회로든지 그것을 일반적인 비선형 시스템으로 간주하고 시뮬레이션하기 때문에, SPICE를 사용하는 사용자들은 자신이 가정하는

abstraction을 표현할 필요성조차 못 느끼는 것이다. 그 결과로 “설계자의 의도”를 표현하는 수단이 존재하지 않고, 그를 활용할 수 있는 설계자동화 툴도 개발이 어려운 것이다.

본 고에서 소개하는 셀 기반의 아날로그/혼성신호 시스템의 레이아웃 자동화 방법은 abstraction을 보다 잘 활용하는, 보다 효율적인 아날로그 설계 흐름을 세우고자 하는 노력의 일환이다. 그림 2에는 필자의 연구실이 추구하는 아날로그/혼성신호 시스템의 설계 흐름이 나타나 있다. 이 흐름은 앞서 그림 1에서 설명한 디지털 설계 흐름과 유사한 점이 많은데, 가장 중요한 것은 모델을 작성하고 검증하는 것부터 시작한다는 점이다. 아날로그 회로의 동작을 표현하고, 그것을 효과적으로 시뮬레이션하기 위해 본 연구실은 XMODEL이라는 SystemVerilog 기반의 시뮬레이터를 개발하고 상용화시킨 바 있다. 그러나 그림 2의 설계 흐름이 그림 1의 흐름과 여전히 다른 점은 시스템을 구성하는 셀 단위의 회로들이 아날로그/커스텀 회로이냐, 아니면 합성 가능한 디지털 회로이냐에 따라서 두 가지의 다른 방식으로 구현될 수 있다는 점이다. 그러나 구현 방식이 달라도 그 종착역은 같은데, 그것은 하나의 통합된 셀 라이브러리를 기반으로 한 셀들 간의 조합으로 전체 시스템이 표현된다는 점이다. 셀의 조합으로 표현되는 시스템의 구성은 물론 첫 단계에서 작성한 XMODEL 모델로부터 오는 것이다. 이렇게 표현된 셀 기반의 시스템은 Synopsys의 IC Compiler와 Custom Designer 같은 상용 설계자동화 툴을 활용하여 그 레이아웃을 3~4시간 만에 생성해 낼 수 있다. 본문에서는 특히 아날로그 셀과 디지털 셀이 혼재되어 있는 혼성신호 시스템의 레이아웃 구현 과정에 초점을 맞추어서 설명을 진행하고자 한다.

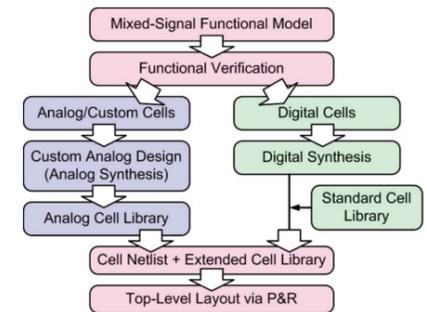


그림 2. 제안하는 셀 기반의 아날로그/혼성신호 시스템 설계 흐름도

2. 면밀한 계획을 통한 최적의 시스템 분할의 중요성

제안하는 셀 기반의 아날로그/혼성신호 설계 흐름은 대상 시스템을 어떠한 셀 단위로 나누느냐에 따라 성패가 크게 갈린다고 해도 과언이 아니다. 그림 3은 본 기사에서 예제로 활용하는 디지털 PLL의 셀 분할도이다. 본 디지털 PLL에 대한 자세한 설명은 참고문헌 [2]에서 찾을 수 있다. 이 PLL은 크게 세 부류의 셀로 구성되어 있는데, 디지털 제어 발진기 (digital-controlled oscillator; DCO)와 위상 디지털-아날로그 변환기 (phase-domain digital-to-analog converter; PHDAC)와 같은 아날로그 셀, 뱅뱅 방식의 위상-주파수 검출기 (bang-bang phase-frequency detector; BB-PFD)와 주파수 분주기 (frequency divider) 같은 커스텀 디지털 셀, 그리고 마지막으로 디지털 콘트롤러와 같은 합성으로 구현 가능한 디지털 셀들이 그것이다. 위상-주파수 검출기나 주파수 분주기는 디지털 회로임에도 불구하고, 노이즈에 민감하고 대칭성이 요구된다는 이유로 아날로그 셀과 같이 커스텀 방식으로 설계하는 것이 더 좋다. 이에 반해 디지털 콘트롤러는 그 기능부터 순수한 디지털회로이기 때문에 타이밍 조건들을 잘 만족한다면 디지털 합성 툴을 통해 구현하여도 성능에 모자람이 없다.

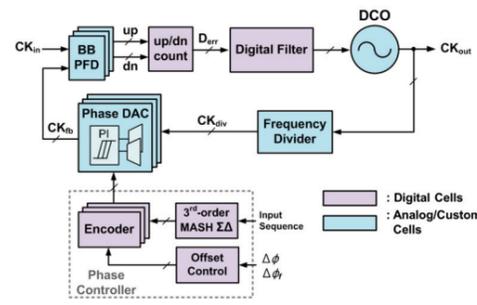


그림 3. 디지털 PLL의 셀 분할 예제.

한 시스템을 셀로 분할할때에 고려할 사항으로는 여러 가지가 있다. 가장 기본적으로, 셀은 설계와 검증의 기본단위가 되어야 한다. 다시 말해, 각 셀은 설계의 독립적인 기본 단위로서 되도록 다른 셀에 포함된 회로와의 상호작용을 고려하지 않은 채 설계하고 검증을 수행할 수 있어야 한다. 그래야, 각 셀을 추후에 더 좋은 회로로 쉽게 대체할 수 있고, 그 셀이 다른 시스템에 재활용될 수 있는 가능성도 극대화할 수 있기 때문이다. 그리고 시스템의 구현을 place-and-route 툴로 손쉽게 진행하기 위해서는 노이즈, 간섭, 또는 매칭에 민감한 아날로그 신호의 노출을 최소화할 수 있는 셀 분할이 요구된다. 클록 도메인의 변화도 셀을 나누는 경계를 정하는데 중요한 고려사항이 된다.

공정, 온도, 전압, 미스매치 등 변이성(Variability)에 대한 고려는 시스템 설계의 초기 단계에 하는 것이 가장 좋다. 다시 말해, 기존 아날로그 설계의 습성대로, 트랜지스터 회로의 기본 설계가 끝난 후에야 고려를 시작하는 것은 개선의 범위를 제한하는 요소가 된다. 예를 들어, 디지털 제어 발진기(DCO)의 특성이 공정, 전압, 온도(process, voltage, temperature; PVT)의 영향에 따라 많이 변할 수 있다고 가정해보자. 이에 대한 대응책으로, 발진기의 동작 특성을 직접 측정하며 최적의 시스템 성능을 유지하는 보정알고리즘을 시스템에 포함하는 것을 생각해볼 수 있다 (참고문헌 [3]). 또

다른 대응책으로는 셀 내부에 보정회로를 내장하여 셀을 사용하는 시스템의 관점에서는 마치 동작 특성이 일정한 셀을 사용하는 것 같은 효과를 내는 방법도 있다. 그림 4는 그러한 효과를 얻기 위해 제안된 LC DCO의 한 예로, transformer 튜닝 방식을 사용하여, 코드가 하나씩 바뀔 때마다 주파수가 정해진 비율로 변화하도록 설계되어 있다. 그림 5는 실제로 제작된 DCO의 동작 특성을 보여주는데, 8.9에서 9.5GHz 동작주파수 범위내에서 0.0047%/step의 일정한 DCO gain 특성을 가짐을 알 수 있다. 자세한 설명은 참고문헌 [4]를 참고하기 바란다. 이러한 DCO로 설계하는 PLL은 셀 단위의 변이성을 더 이상 고려하지 않아도 된다는 편리성을 가진다.

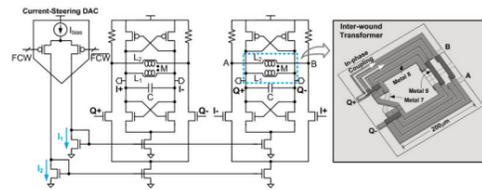


그림 4. 트랜스포머 튜닝 방식의 디지털 제어 발진기 회로의 예 (참고문헌 [4]).

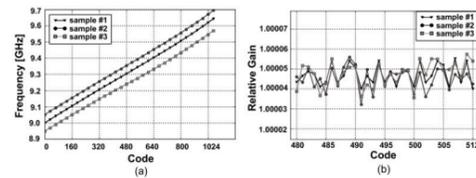


그림 5. 동작조건 변화에도 일정한 비율의 주파수 제어 특성을 보이는 DCO의 예 (참고문헌 [4]).

3. 셀 기반의 혼성신호 시스템의 레이아웃 자동생성 방법

본 절에서는 Synopsys사의 place-and-route 툴인 IC Compiler와 커스텀 레이아웃 편집 툴인 Custom Designer를 활용하여 앞에서 언급했던 디지털 PLL의 레이아웃을 자동생성하는 방법에 대해서 소개하고자 한다. 특히, IC Compiler Custom Designer co-design flow를 사용하면, 아날로그 설계자들의 까다로운 매칭, 대칭, 쉼드 조건에 부합하는 섬세한 레이아웃을 셀 기반에 흐름에 기초하여 단시간에 생성할 수 있다는 장점이 있다.

이러한 레이아웃 자동생성 흐름을 사용하기 위한 첫 단계는 커스텀 과정을 통해 설계된 아날로그 및 커스텀 디지털 회로를 일정한 형식을 갖춘 "셀"로 변환하여, 기존의 스탠다드 셀을 포함한 통합 셀 라이브러리를 구성하는 것이다. 그림 6은 이러한 셀 라이브러리를 만드는 과정을 단계별로 보여주고 있다. 스키매틱과 레이아웃으로 구성된 커스텀 회로 블록을 셀로 변환하려면 첫째로 스키매틱에 사용된 입출력 포트의 이름들이 모델에 사용된 이름들과 일치하여야 한다. 그리고 레이아웃은 기존의 아날로그 설계 룰 외에도 추가적인 룰을 준수하여 구현되어야 한다. 간단히 말하자면, 스탠다드

로직 셀에 적용되는 룰을 더 준수해야 하는데, 예를 들면 그림 7에 나타난 것과 같이, power와 ground를 미리 정해진 간격과 너비를 가진, 특정한 메탈레이어 상에 위치한 도선으로 배선해야 하며, 외부 신호를 연결하는 핀은 특정한 간격의 그리드 상에 정확히 위치하여야 한다. 그리고 각 레이아웃 셀은 다른 셀과 중첩될 수 있는 영역을 알려주는 boundary 레이어를 포함하고 있어야 한다. 이러한 추가 룰에 따라 구현된 레이아웃은 DRC 및 LVS 검증 과정을 거친 후에 로지컬 라이브러리 (.LIB 형식) 및 abstract (.LEF 형식)으로 변환된다.

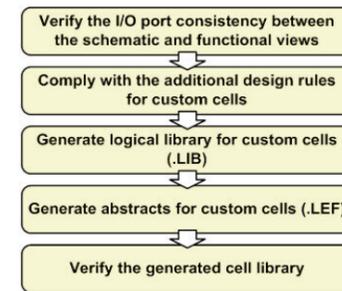


그림 6. 커스텀 셀 라이브러리의 준비 과정.

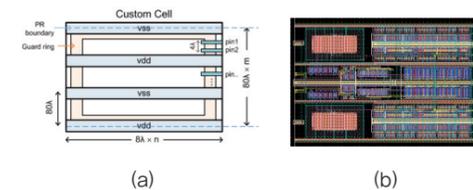


그림 7. (a) 커스텀 셀을 구현하기 위한 레이아웃 가이드라인 및 (b) 그러한 가이드라인에 따른 아날로그 셀 레이아웃의 예 (위상 보간기 회로).

아날로그 및 커스텀 셀들과 디지털 로직 게이트 셀들이 모두 준비되면, 이제 그 셀들을 조합하여 전체 시스템의 레이아웃을 생성할 수 있다. 본 기사에서는 Synopsys사의 IC Compiler와 Custom Designer를 동시에 사용하는 co-design flow를 활용하여 그 작업을 하는데, 이 co-design flow는 같은 설계 DB를 서로 성격이 다른 두 툴이 서로 공유하고 그를 통해 서로 정보를 소통할 수 있는 기능을 제공한다. 다시 말해, 아날로그 레이아웃 편집 툴인 Custom Designer를 활용해 중요한 아날로그 셀들을 원하는 위치에 먼저 배치하고(pre-placement), 노이즈 또는 매칭에 민감한 도선들은 먼저 배선한 후(pre-routing), 디지털 place-and-route 툴인 IC Compiler를 활용해 나머지 셀들의 배치와 그 연결선들의 배선을 완성시킬 수 있다. 이러한 두 단계가 필요한 이유는 디지털 P&R 툴인 IC Compiler는 그 배치나 배선을 할 때 timing을 주로 고려해서 수행하기 때문에, timing 외에도 대칭성을 중요시하는 아날로그 설계자의 눈에는 만족스럽지 못한 결과를 얻기가 어렵기 때문이다. 이에 반해, Custom Designer는 Galaxy custom route 기능과 같이 differential 도선이나 여러 개의 도선으로 이루어진 버스들을 대칭성과 shielding을 고려하여 자동으로 수행해주는 기능을 제공하고 있다. 이 기능은 특히 노이즈에 민감한 아날로그 바이어스 선을 배선할 때나, PLL의 differential 또는 multi-phase

클록을 배선할 때 특히 유용하다. 그림 8은 이러한 IC Compiler와 Custom Designer의 co-design flow를 활용하여 digital PLL의 레이아웃을 자동 생성하는 단계를 도식적으로 나타내었다.

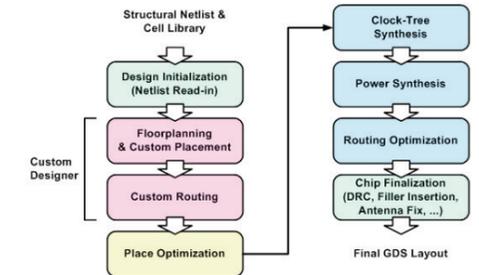


그림 8. Synopsys사의 IC Compiler와 Custom Designer를 활용하여 아날로그/혼성신호 시스템의 레이아웃을 자동 생성하는 과정.

그림 9와 그림 10은 Custom Designer를 사용하여 주요 아날로그 블록의 우선 배치(pre-placement)와 매칭과 노이즈에 민감한 도선들의 우선 배선(pre-routing)이 끝난 후의 스크린 이미지이다. 큰 매크로 셀들로 보이는 상자들은 DCO, 주파수 분주기, 위상 보간기 같은 커스텀 아날로그 셀이다. 작은 크기의 상자들은 주로 로직 게이트들에 해당하는 디지털 셀이다. 우선 배선은 대칭과 매칭이 필요한 multiphase 클록 도선과 대칭과 함께 노이즈로부터의 shielding이 필요한 고속 differential 입출력 신호에 대해 수행하였다. 그림 11은 IC Compiler를 사용하여 나머지 셀들과 연결선들에 대해서 자동 배치 및 배선을 수행한 후의 스크린 이미지이다. IC Compiler는 세부적인 자동 배치 및 배선을 수행할 뿐만 아니라, power와 ground 등 주요 전원선의 배선, 연결 via의 삽입, 클록 트리 형성, 버퍼 삽입 등 칩을 완성하는데 필요한 주요 레이아웃 작업까지도 수행한다. 그림 12는 이러한 작업을 끝낸후의 스크린 이미지들을 보여준다.

그림 13은 안테나 수정, dummy 삽입, 중복 via 삽입 등의 칩 최종화 작업을 끝낸 후의 스크린 이미지를 보여주고, 그림 14는 이러한 과정을 통해 생성한 digital PLL 전체 칩의 레이아웃 이미지와 그 제작 사진을 보여준다. 한번 P&R 스크립트가 완성되면, 처음 아날로그 셀을 우선 배치한 후부터 칩의 레이아웃이 완성되는데까지 불과 4시간이 걸리지 않는데, 이는 동일한 작업을 수작업을 진행할 때 소요되는 수주의 시간에 비해서 엄청나게 단축된 것이다. 이러한 칩 자동생성 방법은 단지 레이아웃 시간을 단축시키는데 있는 것이 아니라, 레이아웃으로 인한 문제가 추후에 발견되었을 경우, 손쉽게 신속하게 그 문제를 해결한 새로운 레이아웃을 다시 생성해낼 수 있다는 데에 있다. 즉, 종전에는 몇번의 tape-out을 반복해서 개선할 수 있는 문제들을 단 며칠 만에 발견하고 해결할 수 있다.

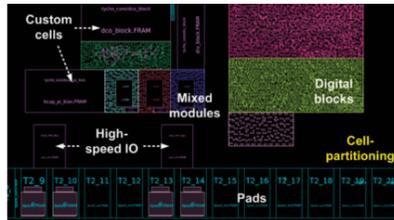


그림 9. 주요 아날로그/커스텀 셀들의 우선 배치(pre-placement)를 수행한 후의 스크린 이미지.

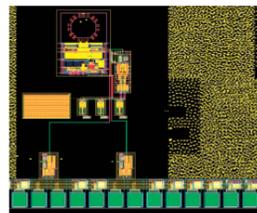


그림 10. DCO의 다중위상 클럭과 고속 입출력 신호의 우선 배선(pre-routing)을 수행한 후의 스크린 이미지.

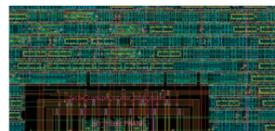


그림 11. IC Compiler를 사용하여 세부 배치 및 배선을 수행한 후의 스크린 이미지.

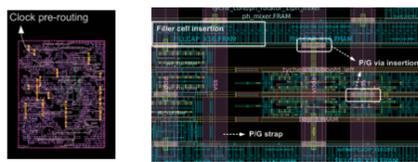


그림 12. 디지털 셀 그룹 내부의 클럭 트리 합성 결과와 아날로그/커스텀 셀에 대한 전원선 연결과 filler 삽입을 수행한 후의 스크린 이미지들.

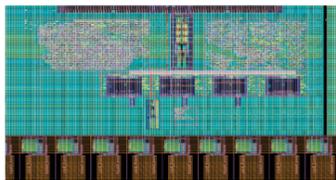


그림 13. 칩 최종화 작업을 마친 후 디지털 PLL의 레이아웃 세부 이미지.

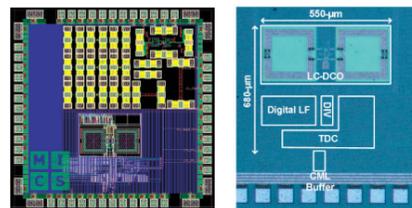


그림 14. 디지털 PLL 전체 칩에 대한 레이아웃 이미지와 제작 사진.

4. 결론

본 고에서는 모델부터 시작하는 셀 기반의 설계 흐름을 활용하여 아날로그/혼성신호 시스템의 설계 특히 그 레이아웃의 생성을 쉽게 자동으로 수행할 방법을 소개하였다. Synopsys사의 IC Compiler와 Custom Designer 간의 co-design flow를 활용하여, 레이아웃 작업을 대부분 디지털 P&R 툴에 활용하여 자동으로 수행하면서도 매칭과 노이즈에 민감한 아날로그 회로의 특성에 부합한 레이아웃을 생성할 수 있었다. 이러한 설계 흐름을 활용하여 전체 칩을 단 4시간 만에 생성할 수 있으며, 이는 보다 효율적이고 많은 수의 design iteration을 가능하게 해준다.



김재하 교수
소속 : 서울대학교 전기정보공학부
연구분야 : 반도체소자 및 집적회로
jaeha@snu.ac.kr
http://mics.snu.ac.kr/jaeha

참고문헌

[1] M. Horowitz, et al., "Fortifying Analog Models with Equivalence Checking and Coverage Analysis," ACM/IEEE Design Automation Conf. (DAC), June 2010.

[2] S. Ryu, et al., "A 9.2-GHz Digital Phase-Locked Loop with Peak-ing-Free Transfer Function," to appear in IEEE J. Solid-State Circuits, August 2014.

[3] R. B. Staszewski, "State-of-the-Art and Future Directions of High-Performance All-Digital Frequency Synthesis in Nanometer CMOS," IEEE International Symposium on Circuits and Systems, May 2010.

[4] Y. Tang, et al., "A 65nm CMOS Current-Controlled Oscillator with High Tuning Linearity for Wideband Polar Modulation," IEEE Custom Integrated Circuits Conf., September 2012.



모·시·는·글

반도체설계교육센터(IDECC)는 주요 사업의 성과를 소개하고 반도체 설계 인력 양성에 관한 현안을 논의하기 위하여 "IDECC SoC Congress"를 개최 합니다.

SoC 분야의 연구 인프라가 부족해지고 인력 양성이 어려워지고 있는 현 상황에서 이번 행사가 효과적인 해결책을 논의하기 위한 초석이 될 수 있도록 많은 관심과 참여를 부탁드립니다.

감사합니다.

반도체설계교육센터
센터장 박인철

AGENDA

Time	Session I 무궁화홀(2F)	Session II 10:00 ~ 16:00(1F / 2F) 로비
09:20 ~ 09:50	Registration	
09:50 ~ 10:00	Opening	
10:00 ~ 11:20	「성과 발표 I」 - MPW 설계 내역 (WG 연구 개발 IP 소개)	
11:20 ~ 12:10	「최신 동향 세미나」 - The Internet of Things, 컴퓨팅의 차세대 진화 (인텔코리아 이희성 대표)	
12:10 ~ 13:10	점심식사	
13:10 ~ 14:00	「최신 동향 세미나」 - Smart Healthcare (삼성전자 박윤인 전무)	
14:00 ~ 15:20	「성과 발표II」 - MPW 설계 내역 (WG 연구 개발 IP 소개)	「IDECC 성과」 MPW 설계 결과 전시
15:20 ~ 15:50	Break Time_전시 관람	「관계기관 전시」 공정사 EDA Tool Vendor
15:50 ~ 16:00	「관련 시상」 - 우수 WG, 우수 강사, 우수 설계팀	
16:00 ~ 16:30	「사업 내용 발표」 - IDECC 사업 수행 내용 및 성과 발표	
16:30 ~ 18:00	「SoC 포럼」 - 주제 : Soc 인력양성 방향 논의 및 연구지원 관련 현안 - 좌장 : 김재하 교수(서울대) - 패널 리스트 : 노승구 사무관(산업통상자원부 전자부품과) 이혁재 PD(산업통상자원부 산업기술평가관리원) 이석희 원장(SK하이닉스 반도체연구소) 이서규 대표(픽셀플러스) 공진홍 교수(광운대) 조중휘 교수(인천대)	



일 시 • 2014. 10. 6(월) 09:50~ 18:00
장 소 • 서울대학교 호암교수회관
문의처 • 042-350-4428 / yslee@idec.or.kr

근래 가장 뜨거운 키워드로

떠오르고 있는 O2O

O2O는 무엇인가

O2O는 Online to Offline의 약자로 고객이 오프라인 상점에서 구매활동을 편리하게 할 수 있도록 지원하는 온라인 기술을 의미한다. 물론 현재 O2O에 대한 관심의 핵심은 비콘을 기반으로 하는 서비스에 집중되어있으나 개념적인 측면에서 보자면 QR코드 역시 O2O의 영역에 포함된다. 온라인 쇼핑이 보편화된 이후 온라인 커머스로 고객을 빼앗겨 매출이 부진한 오프라인 상점들이 고객을 되찾아 오기 위한 시도와 기술들은 지속해서 발전해왔다. 크로스 채널 커머스(Cross-Channel Commerce)나 옴니 채널 쇼핑(Omni Channel Shopping) 등 용어와 개념의 정의는 약간씩 다르지만 결국 목표는 온라인으로 넘어간 고객들을 오프라인으로 다시 끌어오는 기술과 서비스들이다. 최근 O2O가 주목받고 있는 이유는 소비자 행동 모델의 변화와 더불어 비콘을 통해 그 이전까지 불가능했던 IPS(Indoor Positioning System)가 구현되면서 오프라인에서의 온라인 쇼핑 지원이 가능하게 되었기 때문이다.

소비자 행동 모델의 변화

온라인-오프라인을 떠나서 커머스 서비스에서 고려해야 할 점이 바로 구매에서의 '소비자 행동 모델'이다. 소비자 행동모델은 소비자가 상품을 인식하고 구매하기까지 어떤 행동을 취하는지에 대해 정의한 것으로 전통적인 오프라인의 행동모델의 경우 AIDA라 부른다. AIDA는 Attention-Interest-Decision-Action의 두 문자를 따서 광고 등을 통해 소비자들의 주목을 끌고(Attention) 소비자들이 관심(Interest)을 끌게 해서 소비자들이 상품 앞으로 오도록 만들고, 소비자들이 구매를 결심(Decision)하도록 설득해야 하며, 결제하도록 실행(Action)할 수 있도록 이끌어야 한다는 의미를 함축한 것이다. 이러한 오프라인의 소비자 행동모델은 온라인 커머스로 넘어가면서 변화하였다.

AIDA 전통적인 행동 모델

- A** 첫째 · 광고들을 통해 소비자들의 주목을 끌고(Attention)
- I** 둘째 · 소비자들이 관심(Interest)을 갖게해서 소비자들이 상품 앞으로오도록 해야한다.
- D** 셋째 · 소비자들이 구매를 결심(Decision)하도록 설득해야 하며,
- A** 넷째 · 결제를 하도록 실행(Action)할 수 있도록 이끌어야 한다.

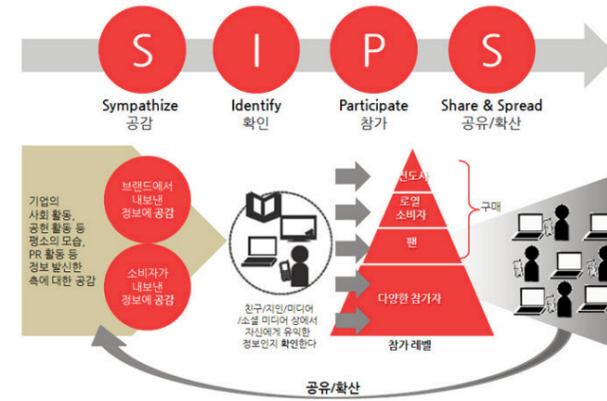


Web 기반 행동 모델 AISAS라 부르는데 AISAS는 광고 등을 통해 소비자들의 주목을 끌고(Attention) 소비자들이 관심(Interest)을 끌게 해서 소비자들이 상품 앞으로 오도록 만드는 것까지는 동일하나 소비자들이 좋은 조건의 물건을 검색(Search) 후 결정하고 결제를 실행(Action)한 구매 후 지인에게 공유(Share) 한다는 점이 다르다.

AISAS : Web 기반 행동 모델

- A** 첫째 · 광고들을 통해 소비자들의 주목을 끌고(Attention)
- I** 둘째 · 소비자들이 관심(Interest)을 갖게해서 소비자들이 상품 앞으로오도록 해야한다.
- S** 셋째 · 소비자들이 좋은 조건의 물건을 검색(Search)후 결정
- A** 넷째 · 결제를 하도록 실행(Action)할 수 있도록 이끌어야 한다.
- S** 다섯째 · 구매 후 지인에게 공유(Share)

소셜서비스가 등장하면서 또다시 소비자의 행동모델이 변화하였는데 이는 SIPS라 부른다. S는 Sympathize로 공감을 말하며 I는 Identity(확인), P는 Participate (참가), S는 Share & Spread (공유와 확산)으로 서비스에 따라 행동 모델은 계속 바뀐다.



처음 아마존과 같은 온라인 쇼핑이 시장에 정착한 후 온라인 쇼핑이 가지는 장점에 따라 최저가와 많은 상품의 비교 등이 가능해졌지만 직접 상품을 보고 사는 것이 아니라 웹에서 본 제품에 대한 기대에 못 미치는 상품이 배달되기도 했다. 특히 옷이나 신발 등의 재질이나 치수 등의 문제로 사람들을 오프라인 매장에 들러 실제 제품을 착용해 보고 주문은 가격이 싼 온라인을 통해 주문한다. 이를 쇼루밍(Showrooming)이라 부른다. 이외에도 오프라인과 달리 온라인에서의 주문은 배송까지의 시간과 배송료가 발생하며, 이러한 불편함의 틈을 파고든 것이 교보문고의 '바로드림 서비스'와 같이 오프라인매장에서 실물을 보고 고른 후 온라인 결제와 오프라인에서 물건을 직접 픽업하는 '크로스 채널 커머스(Cross-CH. Commerce)이다. 이 기법을 통해 오프라인 상점들은 온라인 소비자들을 오프라인으로 끌어내기 시작했다.



크로스 채널 커머스는 온라인에서의 소비자 행동 모델과 오프라인에서의 소비자 행동 모델을 결합한 것이다. 모바일이나 웹에서 검색을 통해 제품을 선택한 후 오프라인 매장에서 제품을 확인하고 결제는 온라인 가격으로 결제한 후 매장에서 물건을 수령하고 이에 대한 공유를 SNS로 하게 만든다.

O2O기술의 발전

GPS는 건물의 위치를 정확하게 측정하는 기술이지만 일단 건물에 들어가서는 건물의 어느 위치에 있는지를 알 수는 없다. 하지만 IPS(indoor Positioning System)가 나오면서 사용자들이 건물 내에 어느 위치에 있는지 5CM 단위로 알 수 있게 되었는데, 애플과 Paypal이 이미 널리 쓰이고 있던 Bluetooth 기술을 기반으로 실내위치측정이 가능한 비콘을 공개한 것이다. 그리고 이 기술을 주목한 분야가 바로 커머스 산업이었다.

애플의 아이비콘은 BLE(Bluetooth Low Energy)를 활용한 근거리 데이터 통신기술 시스템으로 실내위치 측정뿐 아니라 결제나 자동체크인이 가능한 플랫폼이다. 아이비콘 장치의 비콘 신호 영역 안에 아이폰을 지닌 사람이 들어오면, 아이폰에 그 지역에 특화된 여러 서비스, 예를 들어 자동 체크인, 쿠폰 제안, 실내 위치 파악, 자동 결제 등의 애플리케이션을 사용할 수 있다. 애플이 내놓은 iBeacon의 커머스 서비스 시나리오를 보면 점포 앞에 지나가는 사람들의 스마트폰으로 현재 옆을 지나고 있는 가게의 세일정보를 알려준다. 자신의 스마트폰의 세일 정보를 보고 가게에 들어가면 다시 비콘을 통해 할인쿠폰을 날려주어 구매를 유도한다. 물건을 둘러보는 고객의 위치를 파악하여 바로 앞에 있는 물건의 정보를 알려줄 수 있으며 고객이 관심이 있지만 망설일 경우 재차 그 물품에 대한 추가 할인이나 적립을 유도하기도 한다. 마지막으로 현금이나 카드 없이 iBeacon을 통해 결제할 수 있다.

크로스 채널 커머스가 제공하지 못했던 사용자 위치기반의 커머스 서비스가 가능해지면서 O2O가 커머스에서의 소비자 행동모델 역시 변화시킨다. O2O가 서비스 적으로 강력한 이유는 실내에서 고객의 위치를 정확하게 인지할 수 있다는 점이다. 고객이 가게 내에서 어떤 상품코너나 물건 앞에 있는지 알 수 있으며, 그 자리에서 오래 머문다면 해당 물건에 관심이 많다는 것을 알고 구매를 유도 할 수 있게 된다는 뜻이다. 심지어 해당 고객이 집에 있거나 회사에 있을 때에도 해당 제품의 세일정보나 할인쿠폰을 보낼 수 있다.

그뿐만 아니라 특정제품이 구석에 있는데도 사람들의 발길이 많이 머문다면 의도적으로 좀 더 잘 팔리도록 전시위치를 좋은 자리로 옮기고 반대로 사람들의 관심이 낮은 제품은 매대에서 치워버림으로써 매장관리를 효율적으로 운영할 수 있다.



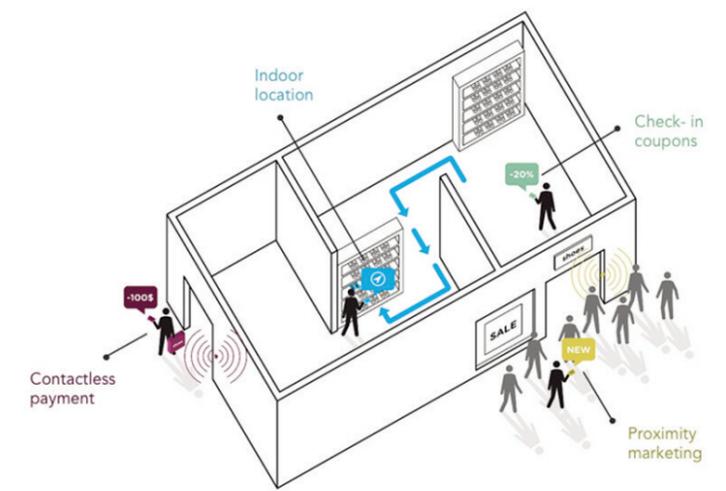
O2O는 커머스 뿐만 아니라 전시에서도 효율적으로 사용할 수 있는데 전시회에서 오디오가이드를 빌리지 않아도 해당 그림 앞에 서면 자동으로 그림에 대한 설명을 보고 들을 수 있다. 전시회에서 오디오 가이드를 대여하고 반납받는 데 들어가는 시간, 비용, 번잡함, 오디오가이드의 분실과 고장, 그림을 설명하는 도슨트를 운영하는 비용을 생각한다면 매우 경제적이고 적합한 서비스이다. 마찬가지로 관람자가 특정 그림 앞에 오랜 시간 서서 감상했을 경우 전시를 끝내고 아트샵 앞을 지날 때 해당 그림과 관련된 아트상품의 정보나 쿠폰을 보내 전시 도록이나 제품의 구매를 유도한다.

O2O에 대한 시사점

O2O를 이용한 광고/쿠폰/결제서비스는 이상적인 커머스 플랫폼을 제시한다. 하지만 결제를 수반하는 서비스의 경우 보안이 가장 중요한 키워드이며 상업서비스와 연결된 개인 정보의 보호 역시 한 이슈이다. O2O에서 보안의 중요성은 더욱 강조될 것이다.

현재는 보내는 정보는 위치만 식별하여 동일한 정보를 보내는데 만일 어떤 고객인지를 식별하여 인식한다면 그 서비스의 힘은 더욱 강력해진다. 고객의 성별과 나이만 인식한다고 해도 달라질 수 있는 것이 많다. 여성고객에게는 여성들이 흥미 있을 만한 제품의 쿠폰을 보내고, 같은 여자라도 20대가 좋아하는 물건과 40대가 좋아하는 물건이 다르니 거기에 맞추어 서비스할 수 있어진다. 여자에게 남성 화장품 쿠폰을 보내봐야 아무 쓸모가 없다.

이처럼 O2O는 현재 시작이지만 앞으로 서비스 적으로 발전할 가능성이 매우 높다. O2O에 의해 오프라인 상점들이 얼마나 온라인으로 빼앗긴 고객들을 되찾을지 지켜볼 가치가 있다.





Mentor사 Calibre xRC

A. 목적

Parasitic Extraction

B. 구분

Mentor사의 Calibre xRC는 Physical Layout의 Parasitic Extraction Solution을 제공

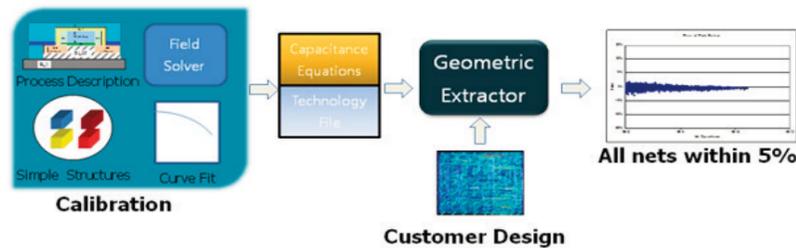
C. Supported Platform and O/S System

- Solaris (32/64bit) 8,9,10
- HP-UX 11 64-bit
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능

Basic Flow

Calibre xRC는 Foundry에서 제공하는 Physical Information과 Design Rule을 바탕으로 기본적인 Test Structure를 Generation한 Field Solving을 통해 Parasitic Capacitance를 계산 할 수 있는 Equation을 만들고 설계자의 Design에서 Device 혹은 Characterized Cell을 제외한 Interconnect Layer에 대한 Parasitic 정보를 생성 후 설계자의 초기 회로와 같이 Simulation하여 설계된 Chip이 Manufacturing된 후 설계자의 의도 대로 동작하는지 확인 할 수 있도록 한다. 로 65nm Tech Node를 기준으로 이전 Node(65nm, 90nm, 110nm, 130nm ...)에서는 OPCPro가, 그리고 이후 Node(65nm, 45nm, 32nm, 28nm, 20nm ...)에서는 nmOPC가 널리 사용된다. Calibre OPC에서 지원되는 Function이나 Feature는 아래와 같다.

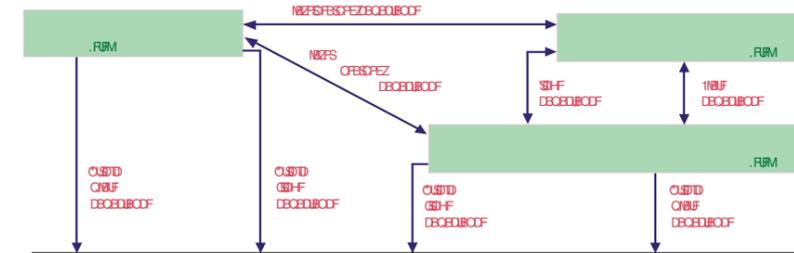


Calibre xRC의 Flow를 보여 주는 그림

Accuracy & Performance

Parasitic Capacitance & Resistance 추출의 정확성을 높이기 위해 Process Variation을 표현할 수 있는 Indie Variation환경을 제공하며 또한 예측 불가능한 Random Error를 빠른 시간에 검증 할 수 있도록 Multi-Corner Extraction 기능을 제공한다. 또한 설계 검증의 정확도와 검증 시간을 목적에 맞게 조정할 수 있는 아래와 같은 Option을 제공한다.

- Parasitic Network Model : C, RC, RCC, Ideal
- Reduction Command: Coupling Capacitance Reduction, Capacitance and Resistance Combine, TICER
- Net Model: Net 별로 Parasitic Network Model을 선택할 수 있는 기능
- Hierarchical Extraction: Flat & Hierarchy Extraction, Gate Level Hybrid Extraction, In-Context Extraction
- Hybrid Extraction: Net 별로 Calibre xRC와 Field Solving을 같이 사용하는 기능
- Include/Exclude Net: Net 별 혹은 Layer별 Include/Exclude ON/OFF 기능
- Dummy Fill Extraction: Grounded, Coupled, Extracted



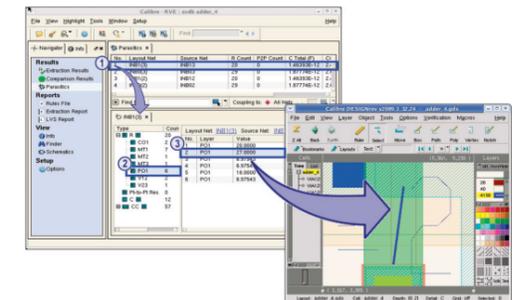
Calibre xRC의 Flow를 보여 주는 그림

Output Netlist and Results Inspection

Calibre xRC는 사용자의 Simulation Tool 종류에 따라 ELDO, HSPICE, DSPF, SPEF, SPECTRE, CalibreView등의 Format을 지원하며 Simulation의 정확도와 효율적인 Debugging을 위해 Sourcenames, Layoutnames, Sourcebased Schematiconly와 같이 Hierarchy, Net & Device Name, Device Parameter Back-Annotation을 User가 직접 선택하며 효율적인 검증을 위해 Layout & Schematic Inspection을 RVE(Query) Command를 이용하여 구현 할 수 있다.

Keyword	Names	Hierarchy	Device Parameters
LAYOUTNAMES	Layout	Layout	Layout
SOURCENAMES	Source	Layout	Layout
SOURCEBASED	Source	Source	Source
SCHEMATICONLY	Source	Source	Layout

Net/Device Name and Parameter



Parasitic Capacitance Layout Inspection



회 사 명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
 웹 주 소 : <http://www.mentorkr.com/>
 한국지사 : 한국멘토
 전 화 : 031) 8061-0790
 주 소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동) 판교 미래에셋센터 7층

대한민국 국방력 향상을 위해 도전하다



박 상 흥 교수
부경대 전자공학과

Radar(레이더)는 RAdio Detection And Ranging의 약자로서 1940년대 2차 세계대전을 계기로 군사용으로 처음 적용되었으며, 현재까지도 주로 군사용 목적으로 사용되고 있다. 하지만 레이더에 탐지된 표적이 몇 대인지, 아군인지 적군인지 알 수가 없으므로, 한 대의 적기에 수십 대의 아군 항공기가 출격하는 것과 같이 심각한 국방 자원의 낭비를 초래할 수 있다. 이러한 국가적인 손실을 막고 효과적인 군사작전을 수행할 수 있도록 하는 기술이 ATR(Automatic Target Recognition) 기술이다. 레이더 신호를 압축하여 형성되는 HRRP, ISAR, micro-Doppler 영상 등을 이용한 ATR 연구를 수행하고 있는 부경대학교 박상홍 교수를 만나보았다.

문의 부경대학교 공과대학 전자공학과 전자기산융합연구실
전화 051-629-6224 E-mail radar@pknu.ac.kr
http://myweb.pknu.ac.kr/

대한민국 국방력 향상을 위해 도전하다.



“국가적 손실을 막고 효과적인 군사작전을 위해 꼭 필요한 연구” 박상홍 교수는 현재 전공을 선택하게 된 이유는 군 복무가 큰 영향을 주었다고 한다. “저는 해군 6전단에서 CARAVAN-II 항공기 정비 매뉴얼 번역 및 프랑스 기술자들의 통역을 담당했어요. 그때 제가 정비하는 CARAVAN-II 외에 해군 초계기인 P-3C Orion, 다목적 헬기인 UH-60, 교육용 항공기 OH-58 및 미군의 C-5 Galaxy 등에 사용되는 다양한 형태의 레이더를 접하게 되었고, 이 때 국방 레이더 기술에 큰 매력을 느끼게 되어 현재의 항공기 자동표적인식 및 스텔스 기술을 전공하게 되었죠.” 그는 석사과정에서 <고주파 전자파 산란해석 기법인 PO(Physical Optics)>, <PTD(Physical Theory of Diffraction)>, SBR(Shooting and Bouncing Ray) 기법을 이용한 해군함정과 공군 항공기의 레이더 단면적(Radar Cross Section, RCS)을 예측하여 스텔스 성능분석) 연구를,

그 후 박사 과정부터는 레이더에서 반사되는 전자파 신호를 이용하여 <HRRP(High Range Resolution Profile)>, <ISAR(Inverse Synthetic Aperture Radar) 영상>, <미세도플러(Micro-Doppler) 등>을 추출하여 효율적인 표적인식 연구를 진행했다고 한다. 그러면서 박상홍 교수는 지금의 자신을 있게 만들어주신 분으로 김경태 교수(포스텍 전자전기공학과)를 꼽았다. “제가 김경태 교수님은 특별한 분이세요. 레이더 표적인식 분야는 전자기학적 지식과 신호처리, 패턴인식, 영상처리, 신경망 이론 등 다양한 학문이 융합이 되어야하기 때문에 배우기 힘들거든요. 그 때 이 분야에 선구자이신 그 당시 영남대에 계셨던 김경태 교수님을 매주 가서 귀찮게 했습니다. 열심히 배우고 나서 교수님과 먹었던 영남대 앞 부대찌개는 결코 잊을 수가 없네요.” 하면서 그 때를 회상하며 웃으셨다.

“‘내가 선구자다.’ 라는 마음가짐”

레이더를 이용한 ATR 연구는 군사 선진국에서는 매우 오래전부터 연구가 진행됐지만 국내에서는 그 역사가 매우 짧다. 또한, 대부분 기술이 각 국가에서 보안으로 분류되어 있기 때문에 국내에서 자체적으로 개발해야 하는 연구이므로 그 역시 많은 어려운 순간을 겪었다고 한다. “누구나 하는 말이지만, 좌절하지 않기, 끈기와 용기를 갖고 다양한 분야의 학문 취득, 많은 논문을 접하면서 극복을 하고 있죠. 거기에 하나를 더 추가하면 교류라고 생각합니다. 유사한 연구를 수행하는 분들과의 다양한 교류는 꼭 필요하다고 생각해요.” 박상홍 교수는 ‘내가 선구자다.’ 라는 자세로 항상 연구에 임한다고 한다. “레이더 표적인식 분야는 국내에서 매우 짧은 역사를 가진 학문 중에 하나예요. 때문에 제가 개발한 기술들이 우리나라 국방에 크게 이바지할 것이라는 자부심을 항상 가지고 연구를 수행합니다. 미래에는 ATR이 적용된 향상된 우리나라 국방력을 볼 수 있을 겁니다.” 그러면서 그는 후배들을 위한 당부의 말을 전했다. “누구나 힘들 때가 있어요. 그럴 때는 절대로 좌절하지 말고, 자신의 한계를 솔직히 인정하고, 모르는 것을 창피하게 생각하지 않고, 여러 사람과 논의하려는 자세를 가졌으면 합니다.”

“국방분야와 민수분야가 함께 경쟁력을 키워야 한다.”

마지막으로 박상홍 교수는 레이더 ATR의 미래 파급력에 대해 자신했다. “레이더 ATR은 국방분야에만 그치지 않을 거예요. 현재 차량에도 FMCW(Frequency Modulation Continuous Wave) 신호를 이용한 충돌방지용 ATR이 수행되고 있으며, 또한, 조난된 선박의 탐지 및 인명구조 등에도 적용될 수 있습니다. 또한, 지표탐사, 농작물 작황 현황 분석, 해상 오염물질 감시, 기상예측 등에 적용될 수 있으며, 현재 제가 매진하고 있는 micro-Doppler의 경우, 환자의 혈액분석 및 침입자 탐지 등에 활발히 적용될 수 있어요. 국내 레이더 ATR 시장이 수십 배 이상 커질 것이라고 확신합니다.” 반대로 반도체 기술이 민수분야에 매우 치우쳐 있는 상황에서, 국가 안보를 위하여 국방 무기에 적용되는 견고하고 강인한 반도체 소자들이 개발되기를 희망한다는 말처럼 박상홍 교수가 국방과 민수 분야의 교류자의 역할이 되는 연구자가 되기를 희망해 본다.



11th International SoC Design Conference Nov. 3-6, 2014, Jeju Island, S.Korea

<http://www.isocc.org>
Contact : secretary@isocc.org

International Organizing Committee

- ▶ General Chair
Jun Rim Choi (Kyungpook National Univ., Korea)
- ▶ General Co-Chairs
Jin-Ku Kang (Inha Univ., Korea)
Makoto Ikeda (Univ. of Tokyo, Japan)
Yeo Kiat Seng (Nanyang Tech. Univ., Singapore)
Shyh-Jye (Jerry) Jou (National Chiao Tung Univ., Taiwan)
- Jun Jin Kong (Samsung Electronics, Korea)
- ▶ Conference Secretary
Kyung Ki Kim (Daegu Univ., Korea)

Technical Program Committee

- ▶ Technical Program Chair
Jinwook Burm (Sogang Univ., Korea)
- ▶ Technical Program Co-Chairs
Ken Choi (Illinois Institute of Tech., USA)
Tony Tae Hyoung Kim (Nanyang Tech. Univ., Singapore)
- An-Yeu (Andy) Wu (National Taiwan Univ., Taiwan)

A Unique Venue

- ▶ Seongsan Ilchulbong Tuff Cone



Seongsan Ilchulbong Tuff Cone was created by hydrovolcanic eruptions 100,000 years ago. The peak is a prime spot from which to view the sunrise. It was designated as a natural monument on July 19, 2000; a UNESCO World Natural Heritage site on July 2, 2007; a Global Geopark on October 1, 2010; and one of the New7Wonders of Nature on November 12th, 2011.

Yacht Tour



General Purpose Of The Conference

International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2014 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals for special sessions.

Conference Theme

The theme for ISOCC 2014 is “SoC for Smart Connectivity”. Solutions for providing smart and secure connectivity will need to evolve new approaches to securing the shared resources. ISOCC 2014 is looking for novel SoC solutions to create truly smart connectivity.

Paper Submission

A complete 2-page manuscript must be submitted electronically in PDF format (in Standard IEEE double-column format posted on the conference website). Only electronic submission will be accepted. For more information, please refer to the conference website : <http://www.isocc.org>

Key Dates

- Deadline for submission of special session proposal : June 30, 2014
- Acceptance notice of special session proposal: July 10, 2014
- Deadline for submission of regular session full paper : July 15, 2014
- Deadline for submission of chip design contest: July 31, 2014
- Deadline for submission of special session full paper: July 31, 2014
- Notification of acceptance (all submitted papers): Sep. 01, 2014
- Deadline for author and early-bird registration: Sep. 15, 2014
- Deadline for submission of accepted papers : Sep.15,2014
- Deadline for chip design contest registration: Sep. 30, 2014

Conference Venue

RAMADA PLAZA JEJU HOTEL



Topics of Interest

- Analog and Mixed-Signal Circuits
- Analog and Mixed-Signal Techniques
- Data Converters
- High-Speed Signal Interfaces
- Wireline and Wireless ICs (RF ICs)
- Digital VLSI Circuits and Embedded Systems
- Memory Circuits and Embedded Memory
- Digital Circuits and VLSI Architectures
- Multimedia (A/V) Algorithm and SoCs
- Communication SoCs
- Processors / Multi-Core Architectures & Software
- Embedded Systems and Software
- SoC Design Methodology
- HW-SW Co-design
- SoC Testing
- Design Verification
- Signal Integrity / Interconnect Modeling and Simulation
- Low Power & Power Management ICs
- Power Electronics / Energy Harvesting Circuits
- Energy-Aware Systems
- Low Power Design Techniques
- Application Specific SoCs & Emerging Technologies
- Display Drivers
- Image Sensors
- Sensors and MEMS Circuits
- Biomedical SoCs
- Automotive SoCs
- Nanoelectronic Devices and Circuits
- 3-D SoCs & System-in-Package

From Jeju International Airport
by Taxi: 10 minutes' ride

Website: <https://www.ramadajeju.co.kr>

