

IDEC
newsletter



VOL. 209
NOVEMBER 2014

IDEC Newsletter | 통권 제209호
◎ 발행일 2014년 10월 31일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸을디자인
◎ 기획 전향기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>
◎ E-mail jhg0929@idec.or.kr ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩 반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 209 NOVEMBER 2014

MPW (Multi-Project Wafer) 2014년 MPW 진행 현황

- 2015년 MPW 공정 내역 및 진행 일정 : 2014년 11월 말에 공지될 예정입니다.
- 2014년 MPW 진행 현황 : 전공정 모집 완료

공정	회차구분 (공정_년도순서)	모집팀수 (mmxmm)x 칩수/회별	정규모집 신청마감	참여팀수 (mmxmm)x 칩수	DB 마감 [Tape-out]	Die-out	비고
삼성 65nm	S65-1401	(4x4)x48	2013.12.09	(4x4)x18	2014.02.17	2014.08.18	제작완료
	S65-1402		2014.02.03	(4x4)x37	2014.08.25	2015.02.27	제작중
	S65-1403		2014.06.02	(4x4)x29	2014.12.15	2015.06.12	설계중
매그나칩/ SK하이닉스 0.18μm	MS18-1401	(3.8x3.8)x25	2013.12.09	(3.8x3.8)x20	2014.02.24	2014.07.28	제작완료
	MS18-1402		2014.01.06	(3.8x3.8)x25	2014.05.19	2014.10.20	제작완료
	MS18-1403		2014.02.03	(3.8x3.8)x21	2014.08.11	2015.01.12	제작중
	MS18-1404		2014.05.05	(3.8x3.8)x25	2014.11.10	2015.04.13	설계중
매그나칩/ SK하이닉스 0.35μm	MS35-1401	(5x4)x20	2014.01.06	(5x4)x19	2014.06.16	2014.10.06	제작완료
	MS35-1402		2014.06.02	(5x4)x20	2014.12.01	2015.03.23	설계중
동부 0.11μm	D11-1401	(5x2.5)x24	2013.12.09	(5x2.5)x21 (2.35x2.35)x5	2014.04.02	2014.08.06	제작완료
	D11-1402		2014.04.07	(5x2.5)x18 (2.35x2.35)x12	2014.10.01	2015.02.04	제작중
동부 0.18μm BCD	D18-1401	(5x2.5)x4	2013.12.09	(5x2.5)x3 (2.35x2.35)x2	2014.03.27	2014.07.02	제작완료
	D18-1402		2013.12.09	(5x2.5)x4	2014.04.30	2014.08.06	제작완료
	D18-1403		2014.02.03	(5x2.5)x2 (2.35x2.35)x4	2014.09.14	2015.1.10	제작중
	D18-1404		2014.05.05	(5x2.5)x3 (2.35x2.35)x2	2014.11.05	2015.02.11	설계중
동부 0.35μm BCD	D35-1401	(5x2.5)x6	2013.12.09	(5x2.5)x6	2014.02.19	2014.05.28	제작완료
	D35-1402		2014.01.06	(5x2.5)x2 (2.35x2.35)x7	2014.05.28	2014.09.03	제작완료
	D35-1403		2014.03.03	(5x2.5)x4 (2.35x2.35)x4	2014.09.10	2014.12.17	제작중
	D35-1404		2014.05.05	(5x2.5)x5 (2.35x2.35)x2	2014.11.19	2015.02.25	설계중
TowerJazz 0.18μm BCD	TJB18-1401	(5x2.5)x6	2014.01.06	(5x5)x 3	2014.05.12	2014.09.08	제작완료
	TJB18-1402		2014.04.07	(5x5)x 1	2014.10.20	2015.02.16	설계중
TowerJazz 0.18μm CIS	TJC18-1401	(2.5x2.5)x4	2014.01.06	(2.5x2.5)x4	2014.05.05	2014.09.01	제작완료
	TJC18-1402		2014.04.07	(2.5x2.5)x4	2014.10.13	2015.02.09	설계중
TowerJazz 0.18μm CA18HA	TJR18-1401	(2.5x2.5)x4	2014.01.06	(2.5x2.5)x3	2014.06.23	2014.10.20	제작중
	TJR18-1402		2014.04.07	(2.5x2.5)x4	2014.10.20	2015.02.16	설계중
TowerJazz 0.18μm SiGe	TJS18-1401	(2.5x2.5)x4	2013.12.09	(2.5x2.5)x4	2014.03.11	2014.07.08	제작완료

- * 일정은 사정에 따라 다소 변경될 수 있음.
- * 우선/정규 모집은 마감일 2주전부터 신청 가능함
- * 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2014년1회차:S65-1401
- * Package 제작은 Die out 이후 1개월 소요됨
- * 동부와 TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)으로 분리하여 모집
- * 선정 결과는 모집 마감 후 15일 이내 개별 통보됨
- * 기준일 : 2014.10.31.

* 문의 : 이의숙 (042-350-4428, yslee@idec.or.kr)

Chip Design Contest(CDC)

International SoC Design Conference(IsoCC) 2014 Chip Design Contest 개최

1. 일정 및 장소
가. 전체 진행 일정 : 2014년 11월 04일(화)
나. Ramada Plaza Hotel, 제주

2. 진행일정

구분	시간	내용
패널 발표	09:00 ~ 09:45	CDC 세션 1-5 (총 15편, 1편당 15분 발표)
데모/패널 전시	09:00 ~ 16:30	패널 발표 전시 : 160팀(오전/오후팀으로 나뉜 전시) 데모팀 전시 : 11팀
시상식	18:00 ~ 20:00	Banquet

3. 시상내역

Award명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	1개팀 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원
Best Poster Award	8팀	내외 각 상장 및 상금 20만원

제22회 한국반도체학술대회(KCS) Chip Design Contest 개최

1. 일정 및 장소
가. 일정 : 2015년 2월 11일(수)
나. 송도컨벤시아, 인천

2. 논문 마감 : 2014년 11월 14일
· 논문 접수 분야 : SoC 설계

3. MPW 설계팀 참여 대상
· 2014년 MPW 설계팀(7월까지 제작 완료된 설계팀) + 2013년 MPW 미제출팀

4. 시상내역

Award명	수상팀수	내역
Best Design Award	1팀	상장 및 상금 100만원
Best Demo Award	1개팀 특별상(SSCS 서울챕터상) 1팀	각 상장 및 상금 50만원
Best Poster Award	4팀	내외 각 상장 및 상금 20만원

* 수상팀 수는 참여팀 수 등에 따라 조정될 수 있음.

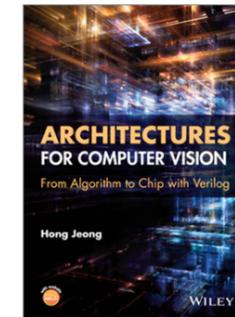
관련사항

- * CDC 참여와 관련한 자세한 사항은 홈페이지(<http://www.idec.or.kr>)를 참조
- * 담당 : 오가영 주임 (042-350-8536, oky0818@idec.or.kr)

신/간/소/개

Architectures for Computer Vision : From Algorithm to Chip with Verilog

정홍 교수(포항공과대학교 전자전기공학과) 저



이 책은 비전 모델과 최신 알고리즘부터 DSPs, FPGA, ASIC 칩, GPU에 구현을 위한 하드웨어 아키텍처까지 3D 비전 시스템의 전반적인 내용을 제공합니다. 이 책은 컴퓨터 비전 알고리즘과 실시간 디지털 회로 구현 사이(특히 Verilog HDL 설계)의 격차를 줄이는 것을 목적으로 합니다. 이 책의 구조는 다양한 병렬 아키텍처를 통한 스테레오 매칭 시스템을 위해 Verilog 비전 모듈, 3D 비전 모듈, 병렬 비전 아키텍처 그리고 Verilog 설계에 기반을 둔 비전과 하드웨어 모듈을 구성하고 있습니다.

- 일반적인 비전 칩의 설계와 테스트에 최적화된 Verilog 비전 시뮬레이터를 제공합니다.
- 소프트웨어 실현화와 칩 구현을 포함하는 C/C++과 HDL 간의 차이에 사고 역할을 합니다. HDL로 일반적인 비전 프로세스와 비전 알고리즘을 실행하는 많은 예제를 소개합니다.
- 어떻게 실시간 3D 비전 SoC가 설계될 수 있는지에 대한 조직적이고 완전한 개요를 제공합니다.
- 한 권의 책으로 3D 비전 시스템을 목적으로 ASICs와 FPGA와 같은 하드웨어 플랫폼의 디지털 신호 처리의 디지털 VLSI 구현을 할 수 있습니다.
- 비전 시스템의 사용 확대에 대한 시간적인 관점과 다양한 비전 모듈에서의 정보를 혼합한 문제들에 대해 제공합니다.
- 웹사이트에서는 심화 학습과 발전된 시스템을 개발하기 위한 소프트웨어와 HDL 코드 패키지를 제공합니다. 또한, 해설집과 강의 자료도 제공합니다. 웹사이트는 향후 출판사 홈페이지를 통해 공개할 예정입니다.

이 책은 다양한 칩과 FPGA 설계자뿐만 아니라 컴퓨터 비전과 임베디드 시스템의 대학원생 그리고 연구원들을 대상으로 쓰였습니다. VLSI 디자인이나 컴퓨터 비전을 전공하는 고학년 학부생도 또한 발전된 애플리케이션을 이해하는 데 도움이 될 것입니다.

가격 : 19,000원

출판사 : Wiley

문의 : 포항공과대학교 첨단신호처리 연구실(Tel: 054-279-5883)

2014년 11월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

센터명	강의일자	강의제목	분류
본센터	11월 12일-14일	[FPGA 중급] EDK/ZYNQ를 이용한 임베디드 설계 교육	설계강좌
	11월 24일-25일	Mobile AP Design	설계강좌
	11월 27일-28일	무선전력 전송용 송수신 시스템 및 회로 설계	설계강좌
성균관대	11월 1일	CMOS 아날로그 집적회로 실무를 위한 이론 및 실습 I	설계강좌
	11월 8일	CMOS 아날로그 집적회로 실무를 위한 이론 및 실습 II	설계강좌
	11월 10일	스마트카 핵심기술과 개발진행, 국제표준 진행 현황	세미나
	11월 17일	프로그래머로 살아가기	세미나
한양대	11월 26일	임베디드 보드에서의 카메라를 이용한 칼만필터 기반의 차량검출	세미나
	11월 28일	Introduction to Memristors and Memristive Systems	세미나

- 강좌일 : 11월 12일-14일
- 강좌제목 : [FPGA 중급] EDK/ZYNQ를 이용한 임베디드 설계 교육
- 강사 : 김민석 팀장 (리버트론)

강좌개요

• 1일차 : EDK의 사용 메커니즘을 이해함으로써 로직을 이용한 Microblaze라고 하는 소프트웨어 코어 구성을 하도록 도와주고 사용자의 프로젝트에 적용할 실습을 하는 코스입니다.

• 2-3일차 : ZYNQ를 개발하기 위해서 S/W인 Vivado 전체 개발 흐름을 이해하고 ZYNQ에 적용 PS(Processor 영역)와 PL(Programmable Logic)의 구성 이해 및 각 블록을 구성하는 방법에 대한 기본 디자인 방법을 습득하는 과정이다.

수강대상 SoC 디바이스인 ZYNQ를 이용하여 System Design을 적용하고자 하는 엔지니어
강의수준 중급

강의형태 이론+실습

사전지식, 선수과목 Processor 기본 지식 및 FPGA 사용 경험

- 강좌일 : 11월 24일-25일
- 강좌제목 : Mobile AP Design
- 강사 : 남병규 교수(충남대학교)

강좌개요

Application Processor (AP)의 구조 및 회로에 대해 강의한다. AP를 구성하는 CPU, GPU, Memory, Interconnect, OS 등의 각 요소에 대해 강의함으로써 AP의 전체적인 구조를 이해하는데 목적을 둔다.

수강대상 반도체설계 관련분야 대학원생 및 산업체 종사자

강의수준 중급 **강의형태** 이론

사전지식, 선수과목 VLSI설계, 컴퓨터구조, 운영체제

- 강좌일 : 11월 27일-28일
- 강좌 제목 : 무선전력 전송용 송수신 시스템 및 회로 설계
- 강사 : 이강윤 교수(성균관대학교)

강좌개요

무선 전력 전송의 효율을 향상시키기 위한 시스템 구조 및 Rectifier, DC-DC Converter, LDO Regulator, Power Amp 등에 대해서 기본적인 동작 원리부터 최근 설계 동향에 대해서 다룬다.

수강대상 석박사 과정 대학원생, 산업체 연구원

강의수준 중급

강의형태 이론

사전지식, 선수과목 회로이론, 전자회로 1,2, 아날로그 집적회로

*문의 : KAIST IDEC 오가영 (042-350-8536, oky0818@idec.or.kr)

- 강좌일 : 11월 1일
- 강좌 제목 : CMOS 아날로그 집적회로 실무를 위한 이론 및 실습 I
- 강사 : 부영건 책임연구원 (Hivics)

강좌개요 아날로그 집적회로 설계 분야에서 설계함에 있어 전반적인 이론과 주요 구성 블록 및 설계 진행시 주요점에 대해서 강의하고 설계 및 모의 실험을 실습함.

수강대상 대학원생

강의수준 중급

강의형태 이론+실습

사전지식, 선수과목 회로이론, 전자회로 1, 전자회로 2, 아날로그 집적회로

- 강좌일 : 11월 8일
- 강좌제목 : CMOS 아날로그 집적회로 실무를 위한 이론 및 실습 II
- 강사 : 부영건 책임연구원 (Hivics)

강좌개요 실무적인 현상에서 아날로그 블록을 설계함에 있어, 주요 점에 대해서 강의하고 설계 및 모의실험을 실습함.

수강대상 대학원생

강의수준 중급

강의형태 이론+실습

사전지식, 선수과목 회로이론, 전자회로 1, 전자회로 2, 아날로그 집적회로

*문의 : 성균관대 IDEC 캠퍼스 김상윤 (031-299-4628, ksy0501@skku.edu)

- 강좌일 : 11월 10일 15:00~17:00
- 강좌제목 : 스마트카 핵심기술과 개발진행, 국제표준 진행 현황
- 강사 : 류시복 센터장 (자동차부품연구원)

강좌개요

스마트자동차의 최신 기술 및 정책동향을 배경으로, 현재 자동차부품연구원에서 진행 중인 기술개발 과제를 설명하고, 스마트 안전 자동차 관련 국제표준 진행 현황을 설명함

수강대상 일반인, 학생

- 강좌일 : 11월 17일 15:00~17:00
- 강좌제목 : 프로그래머로 살아가기
- 강사 : 김용석 교수 (성균관대학교)

강좌개요

본 세미나에서는 스마트폰의 기술을 삼성의 Note4, 애플의 iPhone6 제품을 통해서 간단히 이해 하고, 사회에서 필요로 하는 능력은 무엇인지를 살펴 본다. 마지막으로 기업에서 프로그래머가 되기위한 방법을 제시 한다.

수강대상 일반인, 학생

- 강좌일 : 11월 26일 15:00~17:00
- 강좌제목 : 임베디드 보드에서의 카메라를 이용한 칼만필터 기반의 차량검출
- 강사 : 최학남 교수(인하대학교)

강좌개요

1. 특징점 기반의 차량검출 알고리즘과 칼만 필터를 이용한 차량 추적
2. 임베디드(freescale)에서의 OpenCV 포팅 및 구현
3. LRF(Laser Range Finder)와 카메라를 이용한 차량검출 (데모영상 포함)

수강대상 일반인, 학생

- 강좌일 : 11월 28일 15:00~17:00
- 강좌제목 : Introduction to Memristors and Memristive Systems
- 강사 : 김형석 교수 (전북대학교)

강좌개요

- Principle of Memristor
 - Memristor as the fourth electrical element
 - Realization of Memristor
- Family of Memristive Systems
 - Memristor
 - Meminductor
 - Memcapacitor
- Possible applications of Memristors
 - Memory Applications
 - Neuromorphic Applications
- Summary

수강대상 일반인, 학생

*문의 : 한양대 IDEC 오경주 (031-400-4079, ipc@hanyang.ac.kr)

인사/동정

IDEC 본 센터의 구제희 선임연구원은 개인적인 사정으로 10월 31일 퇴사하게 되었습니다. 그간의 노고에 진심으로 감사드리며, 늘 가정에 행복과 기쁨이 충만하기를 소망합니다.

신규채용



오가영 주임연구원

담당업무 : 교육 기획 업무,
Chip Design Contest 업무
Email : oky0818@idec.or.kr

2015년 IDEC 정기 EDA Tool 수요조사 실시

• 2015년 정기 EDA Tool 수요조사를 아래와 같이 진행하오니, WG의 많은 참여 부탁드립니다.

1. 수요조사 대상 Tool
15개 Vendor 25종
2. 수요조사 기간
2014.11.03(월)~2014.11.20(금) (3주)
(상기 일정은 내부 사정에 따라 변경 될 수 있습니다.)
3. 신청방법
WG 참여 교수별로 IDEC 홈페이지(http://idec.or.kr)에서 신청

*담당 : 석은주 선임연구원 (eunjuseok@idec.or.kr, 042-350-8538)



2014 IDEC SoC Congress

SoC 인력양성 발전 방향 및 대학 연구지원 관련 현안 논의

2014. 10. 6 (월) 16:30~18:00 서울대학교 호암교수회관 주관·반도체설계교육센터(IDEC), 서울대학교 주최·미래창조과학부, 산업통상자원부



「SoC 인력양성 발전 방향 및 대학 연구지원 관련 현안 논의」 토론자 기조발표 정리

지난 10월 6일 반도체설계교육센터(IDEC)는 서울대학교와 함께 「2014 IDEC SoC Congress」를 개최했으며, 이날 행사의 일환으로 정부와 학계, 산업계 주요 관계자들이 모여 “SoC 인력양성 발전 방향 및 대학 연구지원 관련 현안”을 논의하는 자리를 마련했다.

이날 토론회는 기조발표 후 자유토론 순서로 진행됐으며, 노승구 산업통상자원부 전자부품과 사무관, 이혁재 산업통상자원부 산업기술평가관리원 PD, 안기현 한국반도체산업협회 본부장, 이석희 SK하이닉스 미래기술연구원 원장, 이서규 픽셀플러스 대표, 공진홍 광운대학교 컴퓨터공학과 교수, 조중휘 인천대학교 임베디드시스템공학과 교수가 토론자로 참석했다.

이날 토론회에서는 시스템온칩(SoC) 산업 육성을 위해 정부 지원책의 패러다임이 인력 양성 중심으로 바뀌어야 한다는 주장이 대두됐으며, 산학연이 뜻을 모아 정부와 소통해야 한다는 지적이 나오면서 구심점을 만들어야 한다는 데에 의견이 집중됐다.

본 고에서는 이날 SoC 인력양성 발전 방향 및 대학 연구지원 관련 현안 논의를 위해 참석한 토론자들의 기조발표를 정리하여 소개하고자 한다.

● 반도체인력양성사업 현황 - 노승구 사무관(산업통상자원부 전자부품과)

먼저, 노승구 사무관은 기조발표를 통해, 설계인력의 양적인 문제에 대한 부분을 지적했다 “연간 배출되는 석박사 인력은 400여 명이다. 하지만 삼성전자 한 곳만 보아도 한 해 배출하는 인력보다 수요가 훨씬 많다. 양적인 문제의 해법이 필요하다.” 라고 전했다.

● SoC 분야의 산업 발전 방향과 필요한 인재 육성 - 이석희 원장(SK하이닉스 미래기술연구원)

이석희 원장은 인재 육성을 논하기 위해 먼저, 산업의 발전 과정을 살펴보길 권했다. “PC에서 모바일, 인터넷 시대로 오면서 핵심 아키텍처가 교체됐다. 과거 PC 시대에는 x86이 주도했지만, 이제는 ARM으로 대변되는 저전력 아키텍처가 중심이다.” 또한, 그는 사물인터넷의 시장을 주도할 것으로 전망했다. “앞으로는 사물인터넷이 시장을 주도할 것이기 때문에, 그에 맞는 인력을 어떻게 양성할 것인가를 고려해야 한다.”

이석희 원장은 사물인터넷의 핵심을 크게 6가지로 설명했다. 사물인터넷의 핵심은 크게 4가지다. 이벤트를 센싱하는 센서, 데이터를 처리하는 프로세서, 기억을 담당하는 메모리, 취득한 정보나 가공된 정보를 싸주는 커넥티비티, 전력을 관리하는 칩, 에너지를 모으는 에너지 하베스팅이다. “앞으로는 아키텍처 레벨에서 소프트웨어를 만들 수 있는 능력이 중요해진다. 시스템 아키텍처를 전부 이해하는 그런 소프트웨어를 말하는 것이다.”

이와 함께 이석희 원장은 융합 인재의 필요성을 설명했다. “스페셜리스트보다 제너럴리스트가 필요한 시대다. 전문화되지 않은 제너럴리스트가 아니라 회로를 잘 알고 시스템 레벨까지 들여다볼 수 있는 그런 역량을 가진 인재가 필요하다. 한 마디로 융합 인재다. 이런 융합 인재를 육성하는 것이 힘들지만, 육성 하지 않으면 IoT 시대에 우리가 승리하긴 힘들 것 같다.”

● SoC 산업발전 vs. 반도체설계 인력양성 대학과 기업, 정부의 역할 변화 - 공진홍 교수(광운대학교 컴퓨터공학과)

학교를 대표한 공진홍 교수는 되풀이되는 인력난의 악순환에 대해 고집었다. “과거에는 중소기업이 정부에 인재육성 관련된 요구를 많이 했지만, 요즘은 그렇지 않다. 인재들이 중소기업에는 안 가고 모두 대기업으로 가기 때문이다. 이렇다 보니 대학으로 오는 정부 지원금도 많이 축소됐다.” 이로 인해 그는 반도체 분야 교수 숫자가 빠르고 줄고 있다고 지적했다. “정부 지원의 축소로 연구비가 없어서 교수들이 자주 다른 쪽으로 빠져나가는 것 같다. 교수 숫자가 줄면 학생 수도 축소되고, 결국 인력 공급이 자주 줄게 된다.”

● SoC 시장의 상황 및 인력양성지원시스템 - 안기현 본부장(한국반도체연구조합 연구지원본부)

2013년 전 세계 시스템반도체 시장에서 한국 업체들의 매출액 점유율 총합은 5.8%로 2009년 2.9% 비해 많이 늘어났다. 하지만 삼성전자를 제외한 국내 시스템반도체 업체들의 2013년 매출액 점유율은 2%로 2009년 2%에서 변동이 없었다. 안기현 본부장은 한국 시스템반도체 산업이 살려면 삼성전자가 같은 특정 대기업이 아니라 중소 팹리스의 성장이 필요함을 지적했다. “정부에서 다양한 인재양성 프로그램을 진행하고 있지만 여러 부분에서 문제가 있다. SoC 설계 인력들, 팹리스에 입사하면 바로 일을 시킬 수 있어야 하는데 그렇지 않다. 추가로 교육을 더 시켜야 한다. 학생들은 눈이 높다. 다들 대기업에 가려고 한다. 학교에서 인재를 기를 수 있도록 정부가 고용 연계형 R&D 과제를 주고 있지만, 이것도 문제가 있다. 학교에선 논문 쓰는 게 목적 중 하나인데 논문은 팹리스에 필요한 역량은 아니다.”

이와 함께 안기현 본부장은 산학협력 포럼을 만들고자 함을 밝히며, 산학이 깊은 관계를 통해 인력양성 문제를 해결하길 제안했다.



● SoC 분야의 산업 발전 방향과 필요한 인재 - 이서규 대표(픽셀플러스)

이서규 대표는 기조발표를 통해 한국, 중국 대만의 팹리스 업계의 현주소를 진단했다. “우리나라 팹리스 업계는 사면초가다. 대만은 17조, 중국은 6조 원 규모지만, 우리나라는 한해 1.7조 규모밖에 안 된다. 한국 대표 팹리스라고 해봤자 한 업체가 연 매출 4,000~5,000억 원이다. 매출 1,000억 원 정도 업체 몇 개 외에는 모두 연 매출이 1,000억 원 미만이다.”
그러면서 이서규 대표는 우리나라 팹리스 업계의 현저하게 부족한 수를 꼬집으며, 인력 부족에 그 원인을 두었다 “중국에 팹리스 업체 500개가 있지만, 한국은 100여 개 정도다. 실제 제대로 사업을 하는 팹리스는 20~30개 밖에 안 된다. 왜 이렇게 됐을까? 인력이 가장 큰 문제다. 팹리스의 가장 큰 자산은 인력이다. 인력을 어떻게 확보하느냐가 가장 큰 관심사다. 지금도 제품 개발할 건 많은데 인력이 없어서 제대로 대응하지 못하고 있다.”

그리고 이서규 대표는 고급 인력 양성이 어려운 현실을 지적했다. “대기업들은 학생들이 학부 2학년부턴 리쿠르트를 시작해, 장학금 지원을 통해 4학년을 마치면 전부 데리고 간다. 이 때문에 대학원 가는 애들은 이들보다 역량이 떨어진다고 봐야 한다. 대기업으로부터 장학생에 선발되면 대학원에 가고 싶어도 갈 수가 없다. 반도체 설계는 석사 정도는 마쳐야 기본 소양을 갖추기 때문에 대기업에서는 이들이 대학원에 가는 걸 막아서는 안 된다.”

마지막으로 이서규 대표는 “중국은 정부 차원에서 인력양성에 매년 5조 원을 투자하는 것으로 안다. 반도체는 기반 산업이기 때문에 인재 육성을 잘해야 우리나라도 미래가 있다.”라며 고급 인력양성을 위한 정부 지원의 필요성을 이야기했다.

● 시스템반도체산업 발전 소견 - 조중휘 교수(인천대학교 임베디드시스템공학과)

조중휘 교수는 기조발표를 통해 학교의 현실을 다시 한 번 되짚었다. “반도체 설계 쪽은 재미도 돈도 없다. 정부 사업을 들여다보면 산업원천기술개발 과제 하나에 대체로 지원비가 20억 원 내외다. 3~4차년도에 칩 제작하는데, 내 생각엔 칩 제작은 없애야 한다. 20억 원의 과제 예산에서 칩 제작비 빼면 남은 연구비가 없다. 만든 뒤 검증하고, 관찰으면 정부 지원금이 아니라 수요 기업들이 직접 제작할 수 있게 해야 한다.”

● 시스템반도체 발전 방안 - 이혁재 PD(산업통상자원부 산업기술평가관리원)

마지막 기조 발표자인 이혁재 PD는 시스템반도체 발전 방안에 대해 전반적인 소견에 대해 전했다. “우리나라 R&D 투자는 2000년(16조 1,105억 원)부터 2012년(55조 4,501억 원)까지 지속해서 증가했다. R&D 투자 규모로만 보면 세계 5위고, GDP 대비 투자 비율은 세계 1위다. 이스라엘하고 우리가 R&D에 가장 많은 투자를 하고 있다. 하지만 경쟁력이 없다. 2009년 11위였던 R&D 경쟁력 순위가 2013년에는 17위로 떨어졌다. R&D 생산성 역시 미국(3.93%)과 일본(1.87%)과 비교하면 뒤처지는 1.49%밖에 되지 않는다.

결국, 돈만 많이 쓴다는 얘기가. 그러면서 이혁재 PD는 시스템반도체 투자를 위해 연구기관들이 모여서 시스템반도체 발전을 위한 정기적인 의견 조율의 시간이 필요함을 주장했다. “시스템반도체에 투자를 많이 해야 한다는 것은 정부도 아주 잘 알고 있다. 그런데 결과는 어떤가. 삼성전자를 빼고 나면 제자리걸음이다. ‘투자를 더 해야 한다.’ 라고 건의하면 ‘지금까지도 성과 없었는데 어떻게 더 투자를 해야 하나?’ 라는 질문이 다시 돌아온다. 그러므로 좀 더 구체적인 비전이 필요하다. 협회나 IDEC, ETRI, KETI 같은 연구기관이 주기적으로 모여서 시스템반도체 산업을 어떻게 발전시킬 것인가에 대한 의견을 나누었으면 좋겠다. 그리고 거기서 도출된 비전으로 정부나 대개업을 설득한다면 충분히 지원을 얻을 수 있다고 생각한다.

정리 : 전항기 선임연구원
(반도체설계교육센터 042-350-8535 / jhg0929@idec.or.kr)



11th International SoC Design Conference
Nov. 3-6, 2014, Jeju Island, S.Korea

<http://www.isocc.org>
Contact : secretary@isocc.org

International Organizing Committee

- ▶ General Chair
Jun Rim Choi (Kyungpook National Univ., Korea)
- ▶ General Co-Chairs
Jin-Ku Kang (Inha Univ., Korea)
Makoto Ikeda (Univ. of Tokyo, Japan)
Yeo Kiat Seng (Nanyang Tech. Univ., Singapore)
Shyh-Jye (Jerry) Jou (National Chiao Tung Univ., Taiwan)
- Jun Jin Kong (Samsung Electronics, Korea)
- ▶ Conference Secretary
Kyung Ki Kim (Daegu Univ., Korea)

Technical Program Committee

- ▶ Technical Program Chair
Jinwook Burm (Sogang Univ., Korea)
- ▶ Technical Program Co-Chairs
Ken Choi (Illinois Institute of Tech., USA)
Tony Tae Hyoung Kim (Nanyang Tech. Univ., Singapore)
- An-Yeu (Andy) Wu (National Taiwan Univ., Taiwan)

A Unique Venue

- ▶ Seongsan Ilchulbong Tuff Cone



Seongsan Ilchulbong Tuff Cone was created by hydrovolcanic eruptions 100,000 years ago. The peak is a prime spot from which to view the sunrise. It was designated as a natural monument on July 19, 2000; a UNESCO World Natural Heritage site on July 2, 2007; a Global Geopark on October 1, 2010; and one of the New7Wonders of Nature on November 12th, 2011.

Yacht Tour



General Purpose Of The Conference

International SoC Design Conference (ISOCC) aims at providing the world's premier SoC design forum for leading researchers from academia and industries. Prospective authors are invited to submit papers of their original works emphasizing contributions beyond the present state of the art. ISOCC 2014 is technically co-sponsored by IEEE CAS Society and accepted papers will be published on IEEE Xplore. We also welcome proposals for special sessions.

Conference Theme

The theme for ISOCC 2014 is "SoC for Smart Connectivity". Solutions for providing smart and secure connectivity will need to evolve new approaches to securing the shared resources. ISOCC 2014 is looking for novel SoC solutions to create truly smart connectivity.

Paper Submission

A complete 2-page manuscript must be submitted electronically in PDF format (in Standard IEEE double-column format posted on the conference website). Only electronic submission will be accepted. For more information, please refer to the conference website : <http://www.isocc.org>

Key Dates

- Deadline for submission of special session proposal : June 30, 2014
- Acceptance notice of special session proposal: July 10, 2014
- Deadline for submission of regular session full paper: July 15, 2014
- Deadline for submission of chip design contest: July 31, 2014
- Deadline for submission of special session full paper: July 31, 2014
- Notification of acceptance (all submitted papers): Sep. 01, 2014
- Deadline for author and early-bird registration: Sep. 15, 2014
- Deadline for submission of accepted papers : Sep.15,2014
- Deadline for chip design contest registration: Sep. 30, 2014

Conference Venue

RAMADA PLAZA JEJU HOTEL



Topics of Interest

- Analog and Mixed-Signal Circuits
- Analog and Mixed-Signal Techniques
- Data Converters
- High-Speed Signal Interfaces
- Wireline and Wireless ICs (RF ICs)
- Digital VLSI Circuits and Embedded Systems
- Memory Circuits and Embedded Memory
- Digital Circuits and VLSI Architectures
- Multimedia (A/V) Algorithm and SoCs
- Communication SoCs
- Proccers / Multi-Core Architectures & Software
- Embedded Systems and Software
- SoC Design Methodology
- HW-SW Co-design
- SoC Testing
- Design Verification
- Signal Integrity / Interconnect Modeling and Simulation
- Low Power & Power Management ICs
- Power Electronics / Energy Harvesting Circuits
- Energy-Aware Systems
- Low Power Design Techniques
- Application Specific SoCs & Emerging Technologies
- Display Drivers
- Image Sensors
- Sensors and MEMS Circuits
- Biomedical SoCs
- Automotive SoCs
- Nanoelectronic Devices and Circuits
- 3-D SoCs & System-in-Package

From Jeju International Airport
by Taxi: 10 minutes' ride

Website: <https://www.ramadajeju.co.kr>



3차원 반도체 테스트 접근구조 연구동향

SoC(System-on-Chip)를 설계하고 반도체 칩으로 구현할 때 칩의 크기를 줄이기 위한 노력은 관련 산업 전반에 매우 중요한 요소가 되었다. 특히 칩의 복잡도가 증가하고 SoC 내부의 인터코넥션 라우팅(interconnection routing)이 어려워지는 등 기존의 평면 다이(die)에 구현하는 2차원 반도체는 면적의 측면에서 포화상태가 발생하게 된다. 그래서 반도체 칩의 면적에 대한 제한을 극복하기 위해 다이를 3차원으로 적층하는 새로운 구조가 도입되었다. 초기의 3차원 반도체는 그림 1-(a)와 같이 적층된 다이들 사이의 인터코넥션을 와이어(wire)로 연결한 SIP(System-in-Package)이며 이는 다이 간의 인터코넥션 경로가 길어짐에 의한 전송 딜레이(delay), 와이어의 수, 라우팅 및 높은 전력 소비 등의 문제가 발생하게 되었다. 실제로 이러한 3차원 반도체는 와이어 본딩(bonding)을 사용한 이유로 완전한 3차원 반도체가 아닌 2.5차원 반도체의 과도기적인 명칭으로도 불리게 되었다.

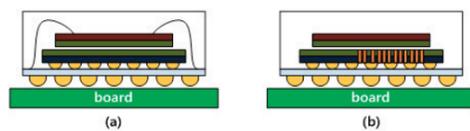


그림1. SoC의 3차원 구현 (a) SIP (b) TSV 기반 3차원 반도체

최근의 3차원 반도체는 그림 1-(b)와 같이 적층되는 다이들을 관통하는 전도물질로 채워진 TSV(Through-Silicon Vias)를 다이들 사이의 수직 인터코넥션으로 하는 구조에 대한 연구가 진행되었고, 상용화의 단계에 가까워지고 있다. TSV는 기존 와이어 본딩 방식의 3차원 반도체에 비해 더 많은 인터코넥션을 구현할 수 있고, 인터코넥션의 길이가 짧으므로 고속으로 동작할 수 있으며 전력의 소모도 적다. [1] 이러한 3차원 반도체도 기존의 2차원 반도체와 같이 새로운 적층 구조에 대한 테스트 전략이 필요하다. 2차원 반도체의 테스트 과정은 그림 2-(a)와 같이 wafer fabrication의 다음 단계에서 wafer test를 진행한다. 이는 다이의 구조적 결함을 as-

sembly & packaging 전에 찾아내어 불필요한 제조 비용 증가를 방지하고자 하기 위함이다. 또한, 칩 packaging 후에는 final test를 진행하여 불량 칩이 시장으로 유통되지 않게 걸러낸다. 3차원 반도체는 2차원 반도체와 달리 더 많은 테스트 과정을 거쳐야 칩 한 개가 생산된다고 할 수 있다. 예를 들어 n개의 다이들을 적층하는 3차원 반도체를 제조한다고 하면 2n개의 테스트가 필요한데, 먼저 각각의 다이들의 불량여부를 판단하는 KGD(Known-Good-Die) 테스트와 다이를 적층 후 이상 여부를 검사하는 KGS(Known-Good-Stack) 테스트가 진행된다. 그림 2-(b)를 보면 1번 다이와 2번 다이에 대한 KGD 테스트가 완료되면 두 다이를 적층하고 KGS 테스트를 한다. 이런 식으로 n개의 다이들을 적층하면서 KGD/KGS 테스트를 반복하고 packaging 후 final test를 수행한다.

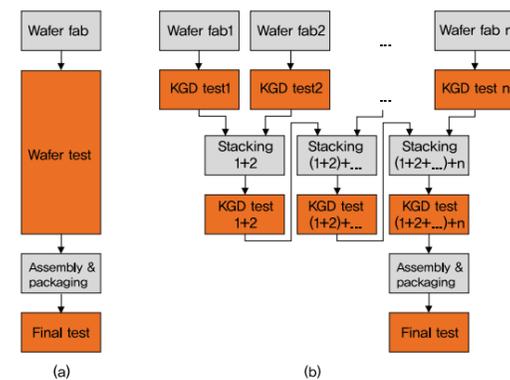


그림2. 반도체의 제조단계에서 테스트 수행 (a) 2D IC (b) 3D IC

KGD 테스트는 기존의 2차원 반도체에서 수행하는 테스트 방법들을 그대로 적용할 수 있으며, KGS 테스트는 적층된 다이들에 대한 테스트 및 다이 간의 TSV 인터코넥션에 대한 테스트도 같이 진행

된다. 특히 3차원 반도체는 앞서 언급한 바와 같이 2차원 반도체를 테스트할 때보다 많은 비용의 테스트를 요구한다. 그러므로 3차원 반도체를 효율적으로 테스트하기 위해서는 적응되는 다이, 다이 내의 코어(core)들, TSV 인터코넥션, I/O 등에 대한 개별적인 테스트 접근이 가능한 모듈라(modular) 테스트가 되어야 한다. [2] 그래서 각각의 테스트 대상들에 대한 모듈라 테스트가 가능한 TAM(Test Access Mechanism) 및 DFT(Design-for-Testability) 구조에 대한 연구가 활발히 진행되고 있다.

일반적으로 SoC를 모듈라 테스트함에 있어서 내장된 코어를 테스트 하는 경우, 코어를 코어 테스트 래퍼(wrapper)로 싸고 다른 테스트 대상들과 격리하여 테스트한다. 테스트 래퍼는 코어의 테스트 접근에 대한 코어 외부와의 인터페이스 및 프로토콜을 제공한다. 이를 다이 레벨로 확장한 것이 그림 3-(a)와 그림 3-(b)가 된다. 여기서 그림 3-(a)는 적응되는 탑 다이(top die)가 한 개인 경우이고, 그림 3-(b)는 두 개의 타워로 구성되는 경우이다. 그림 3-(a)를 보면 다이 래퍼에 접근하기 위한 테스트 인터페이스는 IEEE 1500 표준에 기반하고 있다. IEEE 1500 표준은 코어 테스트를 위한 테스트 래퍼 및 CTL(Core Test Language)를 정의하고 있다. 다이에 대한 테스트 접근은 각 다이에 WSC(Wrapper Serial Control), WSI(Wrapper Serial Input), WPI(Wrapper Parallel Input), WSO(Wrapper Serial Output), WPO(Wrapper Parallel Output)의 테스트 포트(test ports)로 접근하며 각각의 테스트 포트는 다이 외부와 직접 테스트 패드(그림의 ■)를 통한 접근도 가능하다.

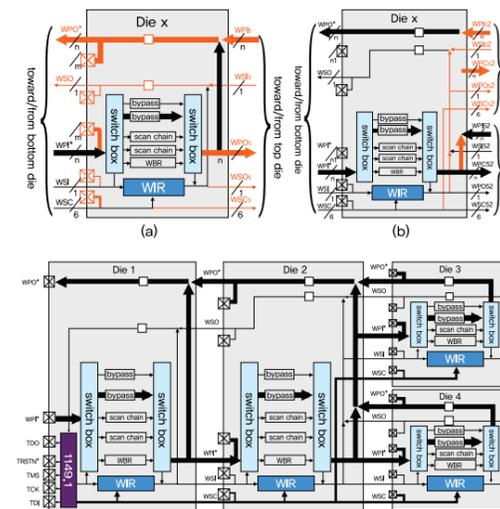


그림3. IEEE 1500 표준 기반의 3차원 반도체 테스트 구조의 다이 래퍼 (a) 탑 다이가 한 개인 경우 (b) 탑 다이가 두개인 경우 (c) 적층된 다이 사이의 테스트 구조 [3]

그림 3-(a)와 그림 3-(b)의 주황색으로 표시한 부분은 테스트 래퍼가 3차원 구조로 확장되는 부분을 표시한 것이며, 이때 테스트 포트와 테스트 패드는 멀티플렉서(multiplexer)로 선택할 수 있고 멀티플렉서 컨트롤을 포함한 테스트 경로에 대한 configuration은 WIR(Wrapper Instruction Register)에 IEEE 1149.1의 TAP 컨

트롤러를 사용해서 명령어(instruction)를 전송하고, 전송된 명령어를 디코딩하여 결정한다. 테스트 접근을 테스트 포트와 테스트 패드로 선택할 수 있는 이유는 KGD 테스트에서는 테스트 패드로 테스트 접근이 가능하지만, KGS 테스트 시 적층의 가장 아래에 있는 bottom 다이를 제외한 non-bottom 다이들은 테스트 패드로 테스트 접근이 불가능하기 때문이다. 적응시 bottom 다이는 테스트 패드를 통해 외부에서 테스트 접근을 하고, non-bottom 다이들은 bottom 다이의 테스트 패드를 통한 테스트 입/출력을 테스트 포트를 통해 전달받는다. 또한, 테스트 입력과 출력도 IEEE 1500 표준을 활용하여 직렬 입/출력인 WSI, WSO, 병렬 입/출력인 WPI/WPO 모두 활용할 수 있다. 다이 테스트 래퍼의 모든 테스트 포트는 현재 다이 기준으로 top 다리와 bottom 다리로 연결이 가능한데 top 다이 방향으로 테스트 데이터가 전달되는 테스트 포트를 TestElevators, bottom 다이 방향으로 테스트 데이터가 전달되는 테스트 포트를 TestTurns라고 한다. 그림 3-(a)를 통해 설명하면, top 다이 방향으로 테스트 데이터를 전달하는 WSC, WSO, WPO가 TestElevators, bottom 다리로 테스트 데이터를 전달하는 WSI, WPI가 TestTurns가 된다. (여기서 테스트 포트 이름 뒤에 s는 stack을 의미한다.)

그림 3-(c)는 다이 테스트 래퍼를 사용하여 4개의 다이를 적용한 예를 보여준다. 이 때, 다이 3과 다이 4는 다이 2 위에 다중 타워 형태로 적층되는 구조이다. 예를 들어 KGS 테스트를 위해 다이 2를 테스트 한다고 가정하면, 다이 1은 테스트 데이터를 다이 2로 전달해야 하므로 Bypass/TestElevators (내부 레지스터는 bypass, 테스트 경로는 TestElevators)로 설정이 되어야 하며, 다이 2는 Intest/TestTurns (내부 레지스터는 top-level logic scan chain으로 접근하고, 테스트 경로는 TestTurns)가 된다. 또 다른 예로, 다이 2와 다이 4 사이의 TSV 인터코넥션을 테스트한다고 하면, 다이 1은 Bypass/TestElevators가 되며 다이 2는 Extest/TestElevators4/TestTurns3가 된다. (exstest는 WBR에 접근하는 것이며 여기서 WBR은 Wrapper Boundary Register로 TSV 인터코넥션의 양 끝단이 WBR에 연결되어 있다고 가정하고, 테스트 데이터가 다이 4에는 전달되고 다이 3에는 전달되지 않아야 하므로 TestElevators4/TestTurns3이 된다.) 그리고 다이 4의 테스트 configuration은 Extest/TestTurns가 된다.

만약 테스트 하고자 하는 코어가 다이 내부에 계층구조(hierarchical architecture)로 연결되어 있을 때, 다이 테스트 래퍼에서 코어 테스트 래퍼에 접근하기 위해서는, 다이 테스트 레벨의 intest 모드에 코어 테스트 레벨의 incore 모드 (Intest/Incore) 또는 다이 테스트 레벨의 bypass 모드에 코어 테스트 레벨의 incore 모드를 결합하면 된다 (Bypass/Incore). 여기서 Intest/Incore 모드의 경우는 다이의 top-level 로직의 scan chain과 코어의 scan chain을 같이 접근하고 Bypass/Incore 모드의 경우에는 다이 레벨 테스트 래퍼에서 코어 테스트 래퍼로 바로 테스트 접근이 가능하다. 이렇게 코어 레벨로 접근하는 방법은 다이 테스트 래퍼를 configuration하는 것과 마찬가지로 코어 테스트 래퍼의 WIR을 같이 configuration 해주면 되며, 이를 그림 4의 테스트 래퍼 체인 구조로 표현할 수 있다. 그림 4에서 보면, 다이 레벨 래퍼와 코어 레벨 래퍼는 각각 bypass 레지스터를 갖고 있어서 서로 독립적으로 또는 동시에 접근이 가능하다. 또한, 다수의 코어가 존재하는 경우에도 선택적으로 해당 코어에 테스트 접근을 할 수 있다.

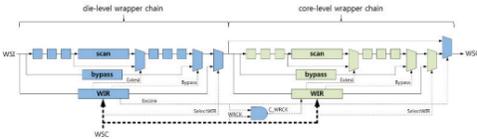


그림 4. 다이에 내장된 코어에 대한 테스트 접근을 위한 래퍼 체인 구조 [3]

또한, 적층시 그림 5와 같이 다수의 타워를 구성하게 되는 경우에도 다이 테스트 래퍼는 WIR에 테스트 경로를 설정하기 위한 명령어를 넣어주는 방식으로 적층되는 다이, 코어, TSV 인터코넥션 등에 대한 모듈라 테스트가 가능해진다.

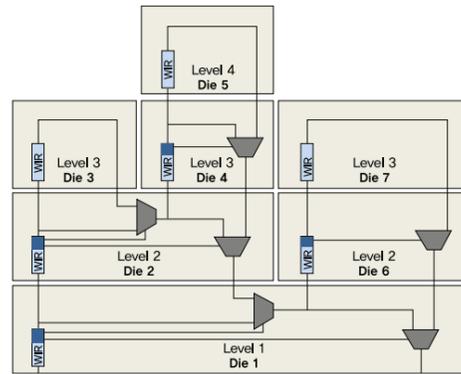


그림 5. 적층된 다이가 다수의 타워형태로 되어 있을 때, 각각의 다이에 대한 테스트 접근 구조의 도식화 [4]

최근에는 3차원 반도체의 테스트를 위한 다이 테스트 래퍼에 대한 표준화 작업을 위해 프로젝트 그룹이 조직되었고, 현재 IEEE P1838로 명명되었다. [5] IEEE P1838에는 3차원 반도체의 테스트 접근 구조를 위한 신호 인터페이스와 테스트 접근 프로토콜 및 컨트롤 방법, 테스트 및 디버깅을 위한 구조 체계 및 표준 기반의 설계를 위한 description language를 정의하고 있다. 특히 IEEE P1838은 IEEE 1149.1, IEEE 1500의 재사용을 통한 표준 인터페이스를 지향하고 있으며 테스트 경로 설정의 빠른 configuration을 위한 새로운 테스트 및 디버깅 표준으로 진행 중인 IEEE P1687 [6] 또한 IEEE P1838 표준에 포함되어 있다.

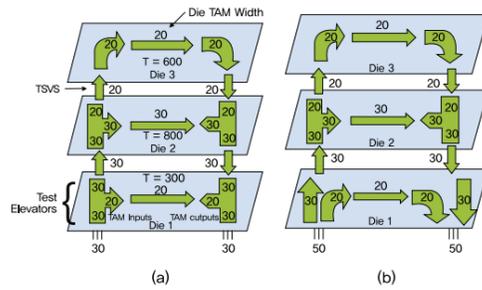


그림6. 3개의 다이가 적층되어 있는 경우 (a) 적층된 다이의 직렬 접근 (b) 병렬 접근 [7]

다이 테스트 래퍼와 코어 테스트 래퍼를 사용하여 3차원 반도체의 테스트 접근을 위한 인터페이스 및 프로토콜 등의 방법이 결정되면 테스트 접근 구조에 대한 최적화가 요구된다. 일반적으로 테스트 접근 구조를 적용할 경우에는 TAM width와 테스트 시간의 trade-off 관계가 존재하게 된다. 만약 테스트 래퍼의 WPI/WPO에 할당되는 TAM width가 증가하게 되면 테스트 시간은 상대적으로 단축되게 되며, 반대의 경우에는 테스트 시간이 증가하게 된다. 또는 bottom 다이의 테스트 패드의 수를 증가시키면 한 번에 전송할 수 있는 테스트 데이터의 양이 증가하기 때문에 테스트 시간은 줄어들지만 그만큼 테스트 패드의 크기에 의한 면적 오버헤드 (overhead)가 증가하게 된다. 예를 들어 그림 7과 같이 3개의 다이가 적층된 3차원 반도체에서, 다이 1은 TAM width가 20비트일 때

300 클럭 사이클의 테스트 시간이 걸리고, 다이 2는 30비트의 TAM width에 800 클럭 사이클의 테스트 시간, 마지막으로 다이 3은 20비트의 TAM width에 600 클럭 사이클의 테스트 시간이 걸린다고 하면 그림 7-(a)와 같이 각 다이 테스트 래퍼들을 순차적으로 테스트 접근한다면 최소한 30비트의 테스트 패드가 필요하고, 다이 1과 2 사이의 TestElevators 모드를 위한 TSV 30비트, 다이 2와 3사이의 TSV는 20비트가 필요하다. 만약 그림 7-(b)와 같이 다이 1과 다이 2를 동시에 테스트 접근한다면 각 다이의 테스트 시간을 충족시키기 위해 TAM width를 유지해야 하므로 테스트 패드는 최소 50비트의 테스트 데이터의 전송이 가능해야 한다. 특히 다이 1은 KGD 테스트 시에는 20비트의 테스트 패드만 있어도 되지만 KGS 테스트를 위해 총 50비트의 테스트 패드가 필요하게 되는 것이다.

3차원 반도체의 테스트 접근 구조는 기존의 2차원 반도체의 테스트 접근 구조에서 확장된 형태가 될 수 있기 때문에 기존의 테스트 자원을 활용하여 효율적인 테스트가 가능하다. 또한, 테스트 구조를 설계하는데 있어서 KGD, KGS 테스트가 모두 가능해야 하며 테스트 패드를 비롯한 테스트 포트와 TAM width의 최적화와 다이 테스트 래퍼들의 병렬 테스트 구조 등을 통한 테스트 비용을 줄이기 위한 지속적인 연구가 요구된다.



강 성 호 교수
소속 : 연세대학교 전기전자공학과
연구분야 : SoC test / SoC design
shkang@yonsei.ac.kr
soc.yonsei.ac.k



최 인 혁 박사과정
소속 : 연세대학교 전기전자공학과
연구분야 : SoC test architecture
ihchoi@soc.yonsei.ac.kr
soc.yonsei.ac.kr

참고문헌

[1] E. J. Marinissen and Y. Zorian, "Testing 3D Chips Containing Through-Silicon Vias," In Proceedings IEEE International Test Conference (ITC), 2009

[2] E. J. Marinissen et al, "3D DFT Architecture for Pre Bond and Post Bond Testing," In Proceedings IEEE 3D System Integration Conference (3DIC), 2010

[3] E. J. Marinissen et al, "A DFT Architecture for 3D-SICs Based on a Standardizable Die Wrapper," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 28(1), pp. 73-92, 2012

[4] C. Papamaleitis et al, "Automated DFT Insertion and Tests Generation for 3D-SICs with Embedded Cores and Multiple Towers," In Proceedings IEEE European Test Symposium (ETS), 2013

[5] IEEE 3D-Test Working Group (3DT-WG). <http://grouper.ieee.org/groups/3Dtest/>

[6] F. G. Zadejan et al, "Reusing and Retargeting On-Chip Instrument Access Procedures in IEEE P1687," IEEE Design & Test of Computers, Vol. 29(2), pp. 79-88, 2012

[7] B. Noia et al, "Test-Architecture Optimization and Test Scheduling for TSV-Based 3-D Stacked ICs," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 30, No. 11, 2011

웹 애플리케이션을 위한 병렬처리 소프트웨어 기술동향

1. 서론

오늘날의 HTML5 기반 웹 환경은 과거의 단순한 정보의 공유와 제한적인 인터랙션 제공을 넘어, 범용 애플리케이션 구동을 위한 프로그래밍 환경으로 진화하고 있다. 간단한 웹 문서의 스크립팅을 위해 처음 제안된 자바스크립트는 미디어 플레이어, 게임, 3D 렌더링 등 계산량이 매우 많고 복잡한 애플리케이션을 실행할 수 있는 플랫폼의 역할을 요구받고 있다. 또한, 브라우저 안에서 온라인으로 실행되는 웹 애플리케이션에서 한 걸음 더 나아가, 기존의 C/C++ 기반의 네이티브 애플리케이션을 자바스크립트 기반 애플리케이션으로 대체하고자 하는 Tizen, ChromeOS, FirefoxOS 등의 플랫폼과, 서버 프로그래밍 환경인 Node.js 등으로 그 역할이 확대되는 추세이다 (그림 1).



그림1 (a)웹 브라우저 프로젝트 (b)웹 기반 OS 프로젝트



그림2 Firefox브라우저에서 3D 게임 엔진(Unreal Engine)을 사용한 Epic Citadel 데모

하드웨어적인 측면에서는 CPU, GPU 및 다양한 가속기 IP를 하나의 칩 위에 집적하는 이기종(heterogeneous) 프로세서 SoC가 모든 컴퓨팅 세그먼트에서 보편화 되었다 (그림 3). 따라서, 최신의 프로세서 SoC가 제공하는 풍부한 하드웨어 리소스를 가장 효율적으로 사용하여, 성능과 전력효율을 극대화할 수 있는 병렬 프로그래밍 환경의 역할이 매우 중요해졌다. 보다 구체적으로는, 애플리케이션의 병렬성(parallelism)을 효과적으로 추출해 주는 컴파일러 및 API 지원과, 다양한 하드웨어 및 워크로드 조합에 적응하여 병렬 실행을 최적화해 주는 런타임 실행 환경 등을 포함한다. 또한,

애플리케이션 성능향상에 초점을 두는 전통적인 고성능 병렬처리 기술에서, 전력효율 및 발열 등을 함께 고려하는 고효율 병렬처리 기술이 더욱 중요해 지고 있다

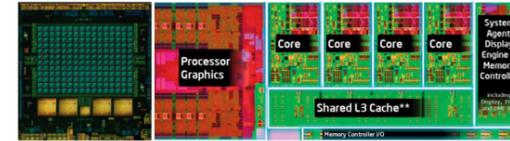


그림3 이기종 멀티코어 (a) Nvidia Tegra K1 (모바일); (b) Intel Haswell (데스크탑)

이러한 요구에 부응하여, 자바스크립트에서도 병렬성의 효과적인 추출과 효율적인 실행을 위한 다양한 병렬화 프로그래밍 환경이 제안되었다. 본 고에서는 자바스크립트를 위한 병렬 프로그래밍 환경을, Single-Instruction-Multiple-Data(SIMD) 모델에 기반을 둔 데이터 수준 병렬화 프레임워크와 Multiple-Instruction-Multiple-Data(MIMD) 모델에 기반을 둔 태스크 수준의 병렬화 프레임워크로 나누어 소개하고자 한다.

2. 데이터 수준 병렬화 프레임워크 (Data-Level Parallelization Frameworks)

데이터 수준 병렬화 기법은, 멀티코어 CPU나 GPU 등을 활용하여 배열의 각 요소에 대해 동일한 연산을 여러 개의 코어에서 동시에 수행하는 기술이다. 요소 간 작업에 의존성이 없다면 프로그램의 성능을 향상시키는데 가장 효율적인 병렬 실행 모델이다. 그림 4은 두 개의 배열 A와 B에 대해, 같은 인덱스를 갖는 요소끼리의 합을 배열 C에 저장하는 예제이다. 예를 들어, A[0]와 B[0]의 합을 C[0]에 저장하고, A[1]과 B[1]의 합을 C[1]에 저장한다. 이 예제에서는 모든 요소 간의 연산에 의존성(dependence)이 없으므로, 각각의 인덱스에 대해 병렬적으로 연산할 수 있다. 기존의 C 언어를 위한 대표적인 데이터 수준 병렬 프로그래밍 환경으로는 OpenMP, OpenCL 등이 있다.

	0	1	2	3	4	5	6	...
A	6	1	1	0	9	2	4	...
B	1	1	9	7	6	1	2	...
C	7	2	10	7	15	3	6	...

그림4 C[i] = A[i] + B[i]

[WebCL]

WebCL은, GPU 프로그래밍을 위해 널리 사용되는 데이터 수준 병렬화 프레임워크인 OpenCL을 자바스크립트에서 사용 가능하도록 지원하는 바인딩이다 [1]. 크로노스 그룹(Khronos)의 주도하에 표준을 제정하고 있으며, 웹킷과 파이어폭스 등 다양한 브라우저가 지원하고 있다. OpenCL을 사용할 수 있는 프로그래머라면 WebCL을 통해 웹 환경에서 손쉽게 데이터 수준 병렬화를 할 수 있다. GPU뿐만 아니라 OpenCL 드라이버가 포팅되어 있는 멀티코어 CPU, 가속기에서도 사용이 가능하여 높은 이식성(portability)을 가진다. 특히 이미지나 비디오 등의 그래픽 처리와 같은 단순한 연산을 반복적으로 처리하는 작업에서 큰 성능의 향상을 기대

할 수 있다. 또한, 그래픽 렌더링 라이브러리인 WebGL과 함께 사용할 수 있어 그래픽 처리에서의 유용성이 크다.

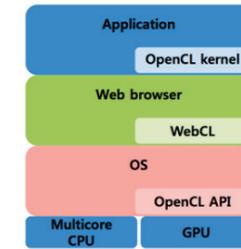
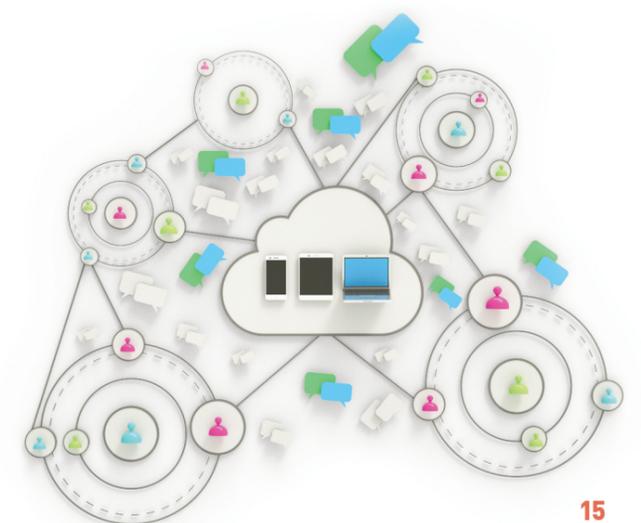


그림5 WebCL 실행 시스템 구조

WebCL은 높은 이식성과 효율성을 갖는 데이터 병렬화 프레임워크지만, 최적의 성능 튜닝을 위해서는 OpenCL 실행 모델을 이해해야 한다. 또한, WebCL을 사용하기 위해 C 스타일의 OpenCL 커널(kernel)을 직접 작성해야 한다. 이는 OpenCL에 익숙하지 않은 자바스크립트 프로그래머에게 다소 어렵게 느껴질 수 있다. 그림 5는 멀티코어 CPU와 GPU가 함께 있는 이기종 프로세서에서 WebCL의 실행 시스템 구조를 보여준다. WebCL을 사용하기 위해선 우선 브라우저에서 지원하는 WebCL API를 습득해야 하고, 프로그램을 최적화하기 위해 하드웨어 및 OpenCL 런타임 시스템을 이해해야 하는 어려움이 있다.

[Parallel JavaScript (River Trail)]

자바스크립트에서 OpenCL을 쉽게 사용하기 위해, 내부적으로 OpenCL 런타임을 사용하지만 OpenCL 커널 코딩에 익숙하지 않은 프로그래머도 쉽게 배워서 사용할 수 있는 자바스크립트 프레임워크를 Intel에서 제안하였다 [2]. 이를 Parallel JavaScript(과거 River Trail [3])이라 부르며, 실행 시에 자바스크립트 함수를 OpenCL 커널로 바꾸어 주는 컴파일러를 가지고 있어 자바스크립트 프로그래머도 쉽게 작성할 수 있고, 또한 입력값을 자동으로 OpenCL 런타임에서 최적화되도록 변환해 주는 기능이 있어 프로그래머의 편의를 도와준다. Parallel JavaScript는 WebCL에 비해 더 높은 추상 수준(abstraction level)의 API를 제공하고 있어, 더 적은 양의 코드로 같은 기능을 구현하게 해 준다. 그림 6은 그림 4의 연산을 Parallel JavaScript를 사용해 구현한 예제 코드이다.



배열 A와 B의 각 요소의 합을 배열 C에 저장하는 프로그램이며, 같은 결과를 얻기 위해 WebCL을 사용하여 프로그램을 작성하면 약 25줄 정도의 자바스크립트프로그래밍이 필요하다. WebCL은 프로그래머에게 다양하고 최적화된 병렬 수행을 가능하게 해주지만, 제안된 Parallel JavaScript API를 사용하면 비교적 간단한 방법으로 같은 결과를 얻을 수 있다. 만약 그림 6의 코드가 GPU에서 실행된다면, GPU의 하드웨어 쓰레드의 개수만큼 동시에 덧셈을 실행한다.

```
1 var A = [6, 1, 1, 0, 9, 2, 4, ... ];
2 var B = [1, 1, 9, 7, 6, 1, 2, ... ];
3 var C = A.mapPar(function(v, i){ return v+B[i]; });
// A[i] = v + B[i] = A[i] + B[i]
```

그림6 Parallel JavaScript의 간단한 예제

[SIMD.js]

SIMD.js는 범용 프로세서에서 일반적으로 지원되는 Single Instruction, Multiple Data(SIMD) 명령어를 타겟으로하는 코드를 생성해주는 자바스크립트 프레임워크이다 [4]. 예를 들어, Intel의 SSE, ARM의 Neon, IBM PowerPC의 AltiVec 등의 명령어 세트 확장을 타겟으로 삼을 수 있다. SIMD는 4~8개의 데이터 워드를 동시에 저장하는 SIMD 레지스터를 한 명령어로 처리하여 명령어 레벨에서의 데이터 병렬성을 지원한다. 예를 들어, 그림 4의 배열 A의 0부터 3까지와 배열 B의 0부터 3까지를 2개의 SIMD 레지스터에 저장한 후 이를 하나의 SIMD add 명령어로 처리하여, 그 결과를 또 다른 SIMD 레지스터에 저장한다.

SIMD 연산은 쓰레드를 생성하지 않는, 명령어 수준에서의 데이터 병렬 처리 기법이므로, 추가적인 WebCL이나 Parallel JavaScript를 사용한 병렬 코드에 비해 적은 성능 오버헤드와 높은 전력효율을 기대할 수 있다. 또한, 자바스크립트 쓰레드를 생성할 수 있는 Web Worker나 WebCL과 결합하여 추가적인 성능향상을 얻을 수 있다. 그러나 명령어 세트가 지원하는 비교적 단순한 연산에만 적용이 가능한 한계가 있다.

3. 태스크 수준 병렬화 프레임워크

태스크 수준 병렬화란 하나의 프로그램을 여러 개의 태스크 조각으로 나누어 이를 여러 쓰레드에서 동시에 수행하는 시나리오를 가리킨다. 태스크 수준 병렬화를 하기 위해선 효율적인 쓰레드 간 커뮤니케이션 기법이 중요하고, 만약 커뮤니케이션 중 의존성 문제가 생겼을 때 이를 검출하고 보완하는 과정이 필요하다. 기존의 C 언어를 위한 태스크 수준 병렬화 프레임워크의 예로 Intel의 Threading Building Blocks (TBB)와 Cilk Plus, Qualcomm의 Multicore Asynchronous Runtime Environment(MARE) 등이 있다.

그림 7은 두 개의 함수 호출로 구성된 순차 실행 프로그램(Seq)에 태스크 수준 병렬화를 적용했을 때와 안 했을 때 프로그램의 수행을 시간의 흐름에 따라 도시화한 것이다. 프로그램이 다수의 독립적인 태스크로 구성되어 있을 때, 이 태스크들을 각각 새로운 쓰레드에서 수행하여 성능 향상을 기대할 수 있다. 이를 위해 쓰레드들에게 일을 나누어 주고 (dispatch), 합치는 (merge) 과정이 추가되어야 하므로 추가적인 오버헤드가 발생한다.

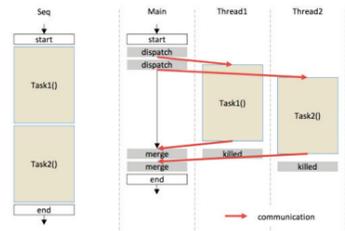


그림7 태스크 수준 병렬 실행의 시간 흐름도

[Web Workers]

웹 워커(Web Workers)는 HTML5 표준의 일부로, 자바스크립트 환경에서 메인 UI 쓰레드와는 별도로 새로운 워커(Worker) 쓰레드를 생성하여 백그라운드에서 수행한다 [5]. 메인 쓰레드와 워커 쓰레드간의 커뮤니케이션을 위해 XMLHttpRequest와 같은 방식의 메시지 전송 방식을 사용하며, 둘 사이에는 어떠한 메모리 영역도 공유하지 않는다. 이를 Shared-Nothing 모델이라 한다. 자바스크립트에서는 웹 워커를 사용하여 그림 7과 같은 병렬화를 위한 쓰레드를 생성할 수 있다.

그림 8은 두 개의 웹 워커를 사용해 입력받은 배열을 매 짝수 번째 요소를 2배씩, 매 홀수 번째 요소를 3배씩 병렬적으로 증가시키는 예제이다. 웹 워커는 메인 페이지와 워커 간 공유하는 자원이 없으므로 모든 입력 값과 결과 값을 그림 8의 4, 5번째 줄과 같이 메시지 전송 방식(postMessage / onmessage)을 통해 교환하여야 한다. 각 워커에서 계산이 끝나면 다시 한 번 메시지를 통해 그 계산된 결과 값을 메인 페이지에 전달하고 (6, 7번째 줄), 메인 페이지에서 그 결과를 합친다. 그림 8에서 두 워커의 결과를 저장하는 배열 (result)이 같으므로 만약 두 워커가 동시에 끝난다면, 일반적인 C/Java 프로그램의 경우 쓰기 충돌이 발생할 수 있다. 하지만 자바스크립트는 하나의 메시지 채널을 공유하므로 커뮤니케이션의 직렬화(serialization)로 인해 추가적인 락(lock) 없이도 충돌 없이 두 워커의 계산결과를 병합할 수 있다.

```
1 var w1 = new Worker( 'evenx2.js' );
// 배열의 짝수 요소를 2배 증가하는 워커 w1 생성

2 var w2 = new Worker( 'oddx3.js' );
// 배열의 홀수 요소를 3배 증가하는 워커 w2 생성

3 var result, input = [6, 1, 1, 0, 9, 2, 4, ... ];
// 입력 배열 input과 결과 배열 result 생성

4 w1.postMessage(input);
// w1에 배열 input 전송. 완료 시 w1 계산 시작

5 w2.postMessage(input);
// w2에 배열 input 전송. 완료 시 w2 계산 시작

6 w1.onmessage = function(e) { merge(result, e.data); };
// w1의 수행 결과 병합

7 w2.onmessage = function(e) { merge(result, e.data); };
// w2의 수행 결과 병합
```

그림8 Web Workers를 사용한 간단한 병렬화 예제

[Transferable Object]

웹 워커 간, 또는 웹 워커와 메인 UI 프로세스 사이에는 공유 메모리 영역이 없다. 따라서 그림 8에서 두 워커로 배열 input을 메시지를 통해 전달한다면 그 내부 과정 중에 전달하려는 모든 데이터를 복사하는 과정이 추가된다. 이는 따라 전달해야 하는 데이터의 크기가 크다면 커뮤니케이션 오버헤드는 선형적으로 증가하며, C/C++과 달리 가상머신 위에서 동작하는 자바스크립트는 그 오버헤드가 더욱 더 크게 드러난다. 그림 9는 메인 쓰레드와 워커 쓰레드 간 커뮤니케이션을 C와 자바스크립트에서 측정된 결과이다. C의 경우 원형 큐(circular queue)를 사용하였고, 자바스크립트는 기본적인 메시지 전송 메소드(postMessage, onmessage)를 사용하였다. 결과에서 보듯이 같은 양의 데이터를 전송할 때 자바스크립트에서 약 1,000배 정도 더 많은 시간이 소요된다.

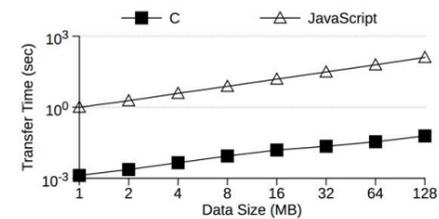


그림9 C와 자바스크립트에서 쓰레드간 커뮤니케이션 성능 측정

자바스크립트에서 워커 간 커뮤니케이션 중 발생하는 오버헤드를 복사하는 대신 해당 오버헤드의 접근 권한만을 특정 쓰레드로 전달해 다른 쓰레드들에서 읽거나 쓰지 못하도록 제한하는 Transferable Object가 구글 크롬(Google Chrome) 17과 파이어폭스(Firefox) 18 이상에는 포함되어있다 [6]. Transferable Object를 사용하면 커뮤니케이션 자체의 오버헤드는 줄어드나, 이를 사용하

기 위해 해당 데이터를 미리 나누어 놓거나, 복사하는 수행이 필요하다. 예를 들어 그림 8의 4번째 줄에서 Transferable Object를 사용해 w1로 배열 input을 전달할 경우, 메인 프로세서에서 배열 input에 더는 접근할 수 없으므로, 5번째 줄에서 w2에 배열 input을 전달할 수 없다. 따라서 4번째 줄 이전에 배열 input을 미리 복사해 놓거나 각 워커에서 사용할 수 있게 미리 나누어 놓아야 한다.

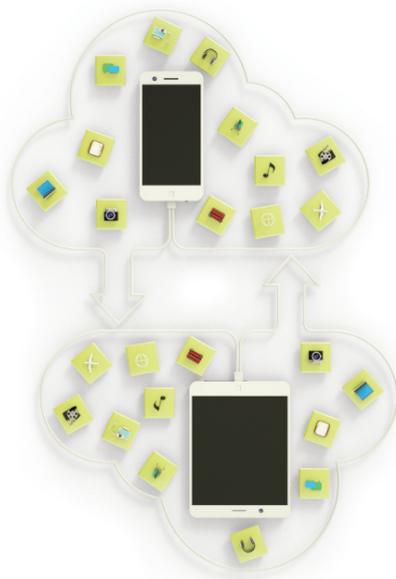
[자바스크립트를 위한 트랜잭션 메모리 지원]

웹 워커는 비교적 단순한 의존성 패턴을 갖는 DOALL 병렬화를 가능하게 하나, Worker 간 혹은 Worker와 메인 프로세스 간에 공유하는 메모리 영역이 없고 DOM 액세스가 불가능한 점등의 제한이 많아 복잡한 의존성을 갖는 태스크 간의 병렬 처리에는 적합하지 않다. 여러 쓰레드 간에 공유 메모리를 지원하게 되면 공유된 자원을 안전하게 액세스 하기 위해 락(lock) 등의 동기화 프리미티브(synchronization primitives)가 필요하다. 하지만 이 모든 읽기/쓰기에 락이 들어간다면 그 오버헤드가 더 커질 것이다. 이를 해결하기 위해 트랜잭션 메모리의 지원이 필요하다. 트랜잭션 메모리란 워커에서의 읽기/쓰기를 기록하여 그 계산 결과를 메인페이지에서 취합할 때, 그 읽기/쓰기의 기록을 검토해 충돌이 없다면 그 결과를 취합하고, 그렇지 않다면 그 결과를 버리고 재실행하는 것을 말한다.

자바스크립트에서 효율적인 태스크 수준 병렬화를 위해 자바스크립트 엔진의 이벤트 루프를 병렬화하거나 (JXcore, TigerQuoll), 메인 페이지와 자원을 공유하며 트랜잭션 메모리를 지원하는 쓰레딩 기법(ParaScript)이 제안되고 있다. 이들은 모두 기존의 자바스크립트 엔진을 수정하였고, 이들을 사용해 태스크 수준 병렬화가 가능하다.

[TigerQuoll]

루가노 대학의 Daniele Bonetta 연구팀은 자바스크립트 엔진의 이벤트 핸들러를 병렬화한 프레임워크 TigerQuoll을 개발하였다 [7]. 또한, 자바스크립트 오브젝트에 이벤트를 생성하고 관리할 수 있는 새로운 메소드들을 추가하여 이를 사용해 태스크 수준의 병렬화를 수행할 수 있게 지원한다. TigerQuoll은 하나의 자바스크립트 엔진에서 여러 개의 이벤트가 동시에 수행되므로 공유된 자원의 읽기/쓰기 과정 중 충돌이 일어날 수 있다. 이를 해결하기 위해 공유된 자원의 읽기/쓰기를 시간의 흐름에 따라 기록하는 트랜잭션 메모리의 지원이 포함되어있다. 충돌이 감지 되었을 경우 그 때의 가장 최신 정보들을 사용해 해당 이벤트를 다시 실행한다.



[ParaScript]

미시간 대학의 Scott Mahlke 연구팀은 자바스크립트 엔진을 수정하여 핫 루프를 찾아 이를 자동으로 병렬화해주는 프레임워크 ParaScript를 발표했다 [8]. ParaScript는 실행 중 배열을 연산하는 핫 루프를 자동으로 찾고 이를 자동으로 병렬화해 실행한다. 실행 중 연산에 사용되는 배열에 대한 읽기와 쓰기 연산이 수행되는 인덱스를 모두 트랜잭션 메모리 기법을 통해 기록하며, 이것을 통해 병렬화의 연산 결과의 정확성을 보장한다. 만약 실행 중 기록된 인덱스에서 충돌이 발생하면 병렬화된 실행을 모두 취소하고 기존의 순차실행을 실행하여 최종 연산 결과를 얻는다.

[JXcore for Node.js]

Node.js서버 애플리케이션을 위해 널리 사용되는 자바스크립트 기반의 프로그래밍 환경이다 [9]. 내부적으로는 Google의 v8 자바스크립트 엔진을 사용하고 있다. 초기 자바스크립트 엔진이 디자인 되었을 당시의 이벤트들은 싱글 스레드만으로 충분했으나 최근 자바스크립트 프로그램들에서 요구되는 이벤트들의 연산량은 증가하고 있다. JXcore는 멀티스레드 버전의 Node.js 프로그램 실행 엔진이며, 다수의 자바스크립트 엔진을 사용해 자바스크립트 엔진이 가지는 이벤트 직렬화로 인한 성능 감소를 해결하였다 [10]. 그림 10은 기본 Node.js와 JXcore의 이벤트 핸들러를 비교한 것이다. 기본 Node.js와는 달리 JXcore는 여러 개의 event loop를 가지고 있어 이벤트 처리의 쓰루풋 향상을 기대할 수 있다.

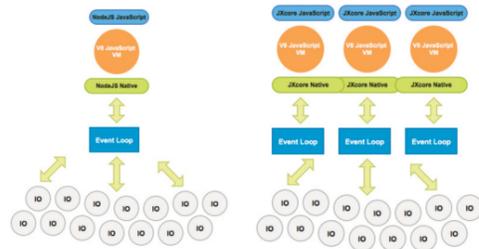


그림10 (a) Node.js와 (b) JXcore의 이벤트 처리 구조

4. 결론

웹 애플리케이션은 다양한 플랫폼에서 수정 없이 동작이 가능한, 높은 이식성을 갖는 장점이 있다. 그러나 미래의 웹 플랫폼은 더욱 다양하고 강력한 애플리케이션을 지원하면서, 네이티브 실행환경 대비 성능 및 전력효율의 차이를 극복해야 하는 과제를 안고 있다. 이를 위해, 미래의 이기종 매니코어 프로세서를 효율적으로 활용하게 해 주는, 자바스크립트 기반의 고성능/고효율 병렬 프로그래밍 환경의 중요성이 지속적으로 증가하리라 예상된다. 또한, 다양한 병렬 프로그래밍 프레임워크의 표준화 및 커뮤니티 지원을 통해 애플리케이션 개발자의 생산성을 높이는 노력 역시 지속되어야 할 것이다.



이 재욱 교수
소속 : 성균관대학교 반도체시스템공학과
연구분야 : 컴퓨터 아키텍처, 병렬프로그래밍
jaewlee@skku.edu
icc.skku.ac.kr/~jaewlee



김 찬 노 석박사통합과정
소속 : 성균관대학교 전자전기컴퓨터공학과
연구분야 : 컴퓨터 아키텍처, 병렬프로그래밍, 웹 최적화
channoh@skku.edu
parallel.skku.edu/~channoh

참고문헌

[1] "WebCL standard," [온라인]. Available: <https://www.khronos.org/webcl>.
[2] "Parallel JavaScript," [온라인]. Available: <https://github.com/IntelLabs/ParallelJavaScript>.
[3] "River Trail," [온라인]. Available: <https://github.com/rivertrail/rivertrail>.
[4] "SIMD.js," [온라인]. Available: https://github.com/johnmccutchan/ecmascript_simd.
[5] "Web Worker," [온라인]. Available: <https://developer.mozilla.org/en/docs/Web/API/Worker>.
[6] "Passing data by transferring ownership," [온라인]. Available: https://developer.mozilla.org/en/docs/Web/Guide/Performance/Using_web_workers.
[7] D. Bonetta, W. Binder 그리고 C. Pautasso, "TigerQuoll: Parallel Event-based JavaScript," %1 PPOPP '13.
[8] M. Mehrara, P.-C. Hsu, M. Samadi 그리고 S. Mahlke, "Dynamic parallelization of JavaScript applications using an ultra-lightweight speculation mechanism," %1 HPCA '11.
[9] "Node.js," [온라인]. Available: <http://nodejs.org>.
[10] "JXcore," [온라인]. Available: <http://jxcore.com>.



IDEC, 설계 환경 다변화를 위해 실바코 AMS 디자인 플로우 도입

KAIST에 위치한 반도체설계교육센터(IC Design Education Center, 이하 IDEC)는 한국의 주요 국공립대, 사립대 및 전문대에 VLSI 설계 교육, 칩 제조 서비스 제공을 위해 아날로그/ 믹스드 시그널(AMS) 및 EDA 소프트웨어의 선도 기업인 실바코의 AMS 디자인 플로우를 도입하였다. IDEC은 대학의 VLSI 교육 및 연구 개발에 최신 정보와 소프트웨어를 제공하기 위하여 항상 노력하고 있습니다. 실바코의 소프트웨어 제공을 통한 설계 환경 다변화는, 다양한 설계 경험을 통해 설계 기술 과 능력 향상이 가능할 것이라 기대 됩니다. 실바코는 한국의 우수한 교육 시스템을 지원하기 위해 최선을 다하고 있습니다. 이번 IDEC과 SILVACO사와의 파트너십을 통하여, 한국의 대학은 우수한 톨로 미래의 엔지니어들을 교육할 수 있게 되었으며, 이들은 향후 실무에서 마주칠 과제에 대처할 수 있는 능력을 갖추게 될 것입니다."

IDEC에서 이용할 수 있는 SILVACO TowerJazz PDK List

- TS18SL (Mixed Signal CMOS 0.18um)
- TS18IS (CMOS image sensor 0.18um)
- TS18PM (Power Management 0.18um)
- CA18HD (CMOS 0.18um)
- SBC18HA (SiGe 0.18um)

실바코 아날로그/믹스드 시그널 디자인 톨 소개

실바코의 아날로그/믹스드 시그널 디자인 톨 구성은 많이 사용하고 있는SmartSpice 회로 시뮬레이터, Gateway 스키매틱 에디터, Expert 레이아웃 에디터, Guardian DRC/LVS/LPE 및 Hipex full-chip 기생 성분 추출 톨을 포함합니다. 실바코의 AMS 톨을 사용해서 IC 디자이너는 최적의 성능, 개발비 감소, 위험 감소와 궁극적으로 TAT (turn around time)의 단축을 제공하는 반도체 제품을 만들 수 있습니다.

실바코에서 제공하는 TowerJazz 프로세스 디자인 키트

IDEC에서 진행되고 있는 TowerJazz 공정에 적용 가능한 Silvaco 용 PDK를 지원한다고 발표 하였습니다. 멀티 프로세스 PDK는 교육 기관 및 팹리스 기업이 실바코의 IC 디자인 캡처, 시뮬레이션, 레이아웃 및 검증 도구를 이용하여 바로 설계 및 제작을 용이하게 합니다.

IDEC,

IDEC(IC 설계 교육 센터)은 대학의 LSI 교육 및 연구 과정의 개발 진흥을 담당하고 있습니다. IDEC은 칩 시험 제작 시스템을 구현 및 운영할 뿐만 아니라, 대학 내 사용자들에게 최신 설계 톨 환경을 제공하고 있습니다. 또한, IDEC은 톨 및 최신 칩의 시험 제작에 대한 세미나를 정기적으로 개최하고 있습니다. 현재 한국에 있는 대학 대부분의 연구실에서 이용하고 있으며 연간 320여 종류의 칩 제작 서비스를 지원하고 있습니다.

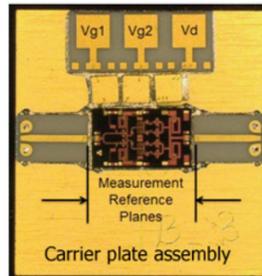
Silvaco, Inc.

Silvaco는 TCAD, 회로 시뮬레이션 및 IC CAD 소프트웨어 톨을 제공하는 선도 기업입니다. Silvaco의 톨은 반도체 공정을 개발하는 팹과 아날로그/믹스드 시그널/RF 집적 회로를 개발하는 디자인 하우스에서 사용됩니다. Silvaco는 서드-파티의 설계 플랫폼에 대한 인터페이스와 함께 완벽한 PDK 기반 설계 플로우를 제공합니다. Silvaco는 전세계 주요 지역에 사업 거점을 두고 있습니다.

주소 대한민국 대전광역시 유성구 대학로 291(우: 305-701)
웹사이트 www.idec.or.kr

연락처
• CEO David Halliday / david.halliday@silvaco.com

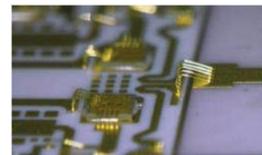
IMS/RFIC 2014 Conference 참가 후기



(a)



(b)



(c)

그림 1. (a) GaN 소자를 이용해 제작된 mm wave용 전력 증폭기와 보드 결합사진, (b) 측정용 Zig 사진, (c) 전력 증폭기 칩들과 보드와의 결합사진.

IMS/RFIC 학술대회는 RF 분야의 시스템 및 회로 분야에 있어, 전 세계에서 가장 큰 규모를 자랑하는 학술대회이다. 올해에도 RF 및 mm-wave 통신 분야에서 많은 세계적인 기업들과 대학의 연구자들이 학술대회에 참가하여, 다양한 회로 분야의 신기술을 선보였다. 특히 전력 증폭기의 고효율 특성을 얻기 위한 다양한 기술들이 소개되었고, Smart 통신 기술이라 하여 기존의 정형화된 아날로그 회로 기반인 RF 송수신 기술을 탈피하고자 하는 노력에 대해서도 많은 토론이 이루어졌다. 그리고 최근에 많은 이슈가 되고 있는 사물 인터넷 기술(IoT)과 관련된 각종 통신기술이 소개되었지만, 그중에서 Small cell (피코 셀, 나노 셀 등) 기지국을 위한 다양한 RF 이슈들에 대한 연구가 활발하게 진행되고 있음을 볼 수 있었다. 그뿐만 아니라, 향후 5세대 (5G) 통신을 위한 mm-wave 통신 기술에 대해 흥미로운 연구들도 많이 소개되었다.

1. 전력 증폭기 분야

다양한 RF 전력 증폭기 설계 기술에 대한 내용이 다루어졌다. 그중에서도 IMS workshop에서 발표되었던 mm-wave 주파수 대역의 고효율 전력 증폭기에 대한 내용이 주목을 받았다. 대표적으로 mm-wave에서 Envelope Tracking (ET) 기술을 적용하여 고효율 전력 증폭기와 송신부에 대한 기술이 Colorado University의 Zoya Popovic 교수에 의해 발표되었다. 최근 ET 기술은 높은 PAPR을 가진 신호에 대한 전력증폭기의 효율을 높이기 위해서, 국 내/외 연구진에 의해서 많은 개발이 이루어졌다. 하지만, 주파수 대역폭에 제한을 받고 있어서, 넓은 주파수 밴드를 가지는 밀리미터파 통신에서는 아직 연구가 미비한 상태이다. 향후 5G 통신을 위해서, mm-wave 통신과 관련 부품들이 주목을 받고 있는 현 상황에서 관심을 가져볼 만한 연구라고 여겨진다.

주목받은 증폭기 중에 하나는 TriQuint사가 GaN 소자를 이용하여 10GHz 대역에서 설계하였으며, 그 출력 전력 세기는 13 Watt를 얻었다. 그림 1은 제작된 MMIC와 밀리미터파 측정용 보드와 Zig에 대한 사진을 보여주고 있다. 그리고 칩과 와이어 본딩의 결합 사진을 통해 좀 더 자세히 측정이 이루어지는 과정을 볼 수 있었다. 측정된 제품의 결과는 대략 60% 정도 최대 효율을 달성되어, mm-wave 증폭기의 종전 40% 정도의 효율과 비교해 높은 효율을 가진다는 것을 볼 수 있었다. 게다가, 이 증폭기에 고정 supply voltage를 인가하지 않고, ET 기술을 접목하여, 4.5dB PAPR을 가지는 신호를 인가하였을 때, 40%의 효율을 56%까지 증가하는 결과를 얻었다는 것을 볼 수 있었다. 향후 mm-wave 통신 시스템 개발에 있어서, 참고될 만한 내용을 담고 있었다.

2. Smart 송신부 분야

최근 CMOS 공정의 발전에 의해 트랜지스터 크기가 갈수록 작아지고 있는 추세이다. 이는 디지털 회로 관점에서는 스위칭 속도를 높일 수 있기 때문에 큰 장점이지만, RF 회로 특히 전력 증폭기 측면에서는 작아지는 트랜지스터 항복 전압 때문에 고효율을 얻기 어렵다는 단점을 가지고 있다. 그리하여, 최근에 주목을 받기 시작한 기술은 디지털화된 RF 송/수신부 기술이다. 이 기술의 개발과 관련하여, 높은 효율을 가지는 고주파 스위칭 증폭기에 대한 기술에 대한 연구가 활발히 진행됐지만, 실제로 대역폭에 따라서 스위칭 증폭기의 대역폭과 선형성 문제에 직면하여, 그 문제 해결에 다양한 연구의 필요성이 증대되고 있다. 이에 따라, University of California San Diego (UCSD)에서 연구를 출판하고 있는 Donald Kimball 교수가 연구해 온 결과에 대하여 발표가 이루어졌다. 발표된 내용의 디지털화된 송신부의 구조는 그림 2와 같다.

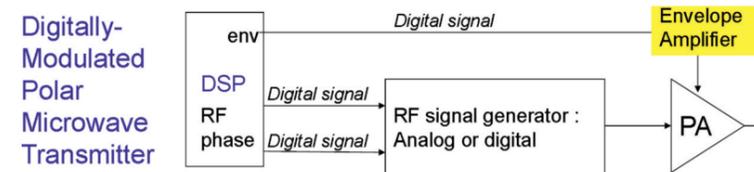


그림 2. UCSD에서 연구중인 디지털 송신부의 구조도.

150nm의 CMOS 공정을 이용한 ET 증폭기와 RF 스위칭 전력증폭기를 이용해 구성되었고, 실제로 Pulse Width Modulation (PWM) 방식을 이용하여, 73%의 전력 증폭기의 효율과 40% 이상 갖는 전체 시스템 효율을 달성함을 보여줬다. 그림 3에서는 디지털 전력 증폭기의 구성도와 제작된 칩 사진을 보여준다.

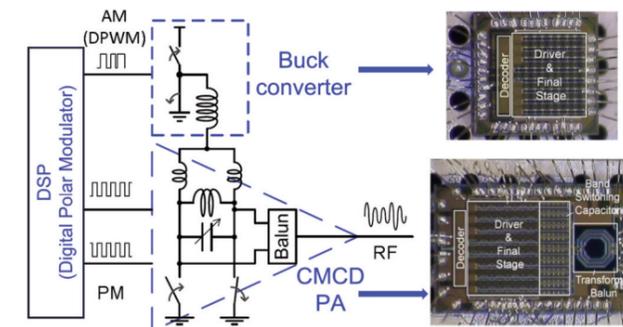


그림 3. 디지털 전력 증폭기의 구성도와 제작된 칩 사진.

게다가, 기존 디지털 송신부의 문제점인 선형성 문제에 대해서, 일반적인 PWM 방식과는 다르게 Charge-sampling mode (CSM) 로 동작하도록 회로를 제안하여, 디지털 전치 왜곡 (digital predistortion: DPD) 기술 없이 45 dBc의 ACLR 특성을 얻었음을 볼 수 있었다. 그림 4에서 제안하고 있는 CSM 회로에 대한 동작 원리를 설명하고 있다. 결과적으로, 이 새로운 구조를 이용한 디지털 송신부 특성은 DPD 같은 복잡한 모듈부의 도움 없이 3GPP 규격을 모두 만족 할 수 있는 성능을 가짐을 보여주고 있었다.

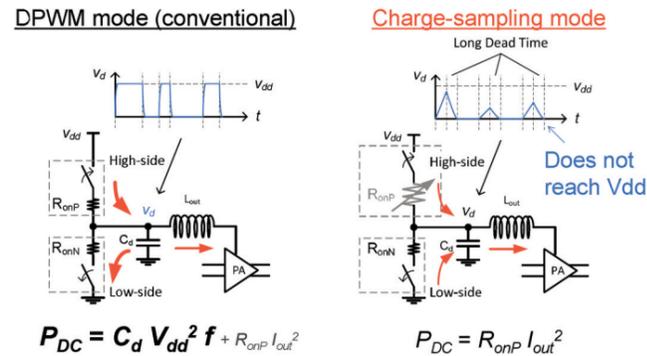


그림 4. 제안된 Charge Sampling mode의 동작 원리.

3. 스몰셀용 전력 증폭기 분야

최근 통신 기술의 발달과 데이터 통신의 수요가 급증함에 따라서, 데이터 통신 속도가 감퇴됨을 예방하고, 효율적으로 기지국 망을 확보하기 위해서, 스몰셀 기지국에 대한 관심이 높아지고 있다. 아래 표 1과 같이 다양한 스몰셀 기지국에 대한 새로운 개념이 도입되었다.

Cell	Application Area	Pmax @ Antenna [dBm /W] ¹⁾	Cell Radius [Km]	Signal Bandwidth [MHz]	MIMO
Small Cells	Femto	20 / 0.1	0.01	10	-
	Pico	24 / 0.5	0.2	40	2x2
	Micro	38 / 6.3	2	40-60	4x4
	Macro	49 / 80 ²⁾	10	60-100	4x4

〈표1. 스몰셀 기지국의 규격과 통신 영역〉

스몰셀 기지국에 대한 기술이 대두하면서, 기존의 Macro 기지국보다 굉장히 축소된 RF 전력 증폭기에 대한 솔루션을 새롭게 찾고자 많은 회사에서 연구 중임을 볼 수 있었다. NXP라는 반도체 칩 개발회사에서는 기존 Macro 기지국에서 선형성 확보를 위해 반드시 필요로 했던 DPD 알고리즘이 더 이상 스몰셀 기지국에서는 유용하지 않다는 점을 강조하였고, DPD를 대체하고자 하는 새로운 아날로그 전치 왜곡 (Analog Pre-distortion: APD) 기술에 대한 내용을 소개하였다. 스몰셀 기지국용 증폭기에서는 DPD 방법은 전력 증폭기의 선형성을 좋게 하나, 전체 효율을 저하시키는 단점을 가지게 될 것으로 예측하고 있다. APD를 이용한 선형화 기법은 DPD보다 적은 양의 선형성을 확보하지만, 상대적으로 전력 소모가 작고, 복잡성이 덜하기 때문에, 스몰셀 기지국에서 더 유력한 기법이 될 것으로 본다. 그림 5는 APD와 DPD와 비교해서, 안테나 출력 전력 세기 대비 DC 전력 소모량의 상대적 특성을 보여주고 있다. 결과적으로 NXP는 APD를 이용하여, 스몰셀 기지국용 전력 증폭기 개발에 박차를 가하고 있음을 보여주고 있다.

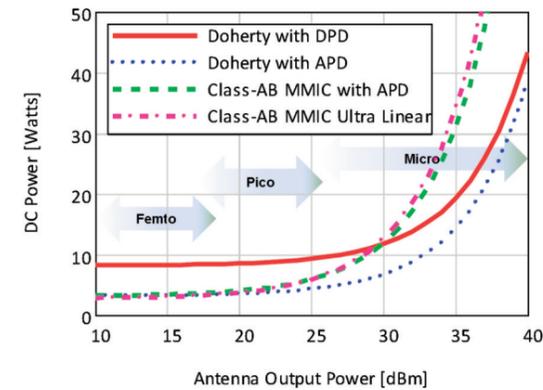


그림 5. DPD와 APD의 시스템 효율 특성 비교.

4. 다양한 RF 관련 회사의 전시회

IMS/RFIC 2014 학술대회에서는 100개 이상의 RF 관련 회사들이 자사들의 신제품들 또는 신기술을 보여주기 위해서 전시회에 참가하였다. Agilent, Anritsu, TI, Analog Device 등 세계적인 RF 관련 장비 회사, 부품 회사 및 tool 회사들이 모여 각자 회사의 강점들을 내세웠으면, 학술대회에 참가한 많은 사람에게 새로운 제품/기술들을 선보였다. Skyworks와 Freescale은 새로운 고효율 전력 증폭기를 선보였으며, Analog Device와 RFMD는 DPD와 ET 기술에 대해서 선보였다. 국내 업체로서는 RFHIC가 다양한 응용 분야의 전력 증폭기 소자들이 선보여, 세계적인 RF 전문가들에게 관심을 받기도 하였다.



유 남 식 선임연구원
소속 : 한국전자통신연구원(ETRI) 인터넷통신연구부 이동 RF연구실
연구분야 : CMOS RF송수신부, 고효율 RF 전력증폭기, WiFi/LTE용 SoC 설계
E-mail: namsik4085@etri.re.kr



정 용 체 교수
소속 : 전북대학교 공과대학 전자공학부
연구분야 : 마이크로파 회로 및 시스템 설계
E-mail: yjeong@jbnu.ac.kr
http://wavelab.jbnu.ac.kr



(a)



(b)



(c)



(d)

그림 6. (a) IMS/RFIC 2014 전시회 사진, (b) 전력 증폭기 업체인 Skyworks booth 모습, (c) LTE용 Freescale 전력 증폭기 사진.

Mentor사 Questa (Modelsim)

1. Questa (Modelsim)

A. 목적

Verification Platform

B. 구분

Logic Simulation 및 Verification Environment를 효과적으로 수행할 수 있는 Engine 제공

C. Supported Platform and O/S System

- Linux RHEL 4/5/6 32/64bit
- Linux SLES 10/11 32/64bit
- Windows XP 32bit, 7 32/64bit, Vista 32bit

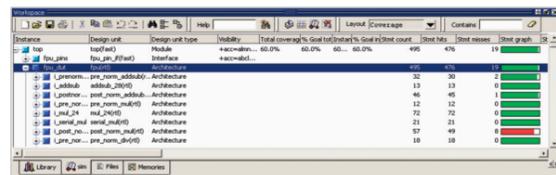
D. 특성 및 기능

Questa Simulator는 High Performance를 가지는 집적 Simulator로서 고성능 디버깅 기능과 Industry의 Native Standard를 지원하는 툴 엔진이다. Questa Simulator은 TLM기반의 검증 기능을 제공하며, High Abstraction환경을 제공함으로써 더욱 고급화된 검증환경 구축을 도와준다. Questa Core, Questa Prime 그리고 Questa Ultra는 이러한 검증환경을 위하여 MentorGraphics에서 제공하는 Product종류이다.

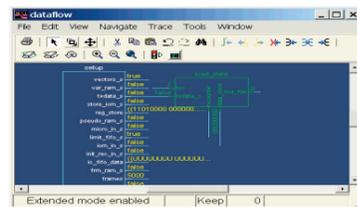
1. Questa는 SystemVerilog, SystemC, UPF 그리고 UCDB를 지원하며, Industry Standard HDL을 지원하고, 서로 상이한 Language간의 Simulation인 Mixed Language를 제공한다. 또한, Industry 검증 Methodology인 ABV, OVM, UVM을 지원한다.

2. Questa 디버깅 환경제공

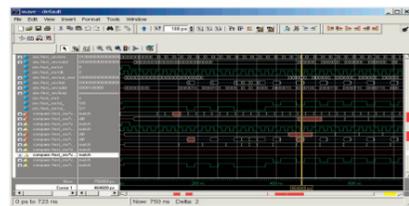
2.1 최적의 Simulation 수행을 위하여, 아래의 다양한 디버깅 기능을 제공한다. Coverage 최적화를 위한 Code Coverage와 Functional Coverage를 지원하며, 해당 GUI를 제공함으로써 Coverage향상에 도움을 준다.



2.2 Data Flow Window는 X값 Tracing에 도움을 주며, SignalSPY는 Mixed Language Simulation에서 VHDL과 Verilog의 Language 간 관계를 극복하여 Signal 디버깅을 도와준다.

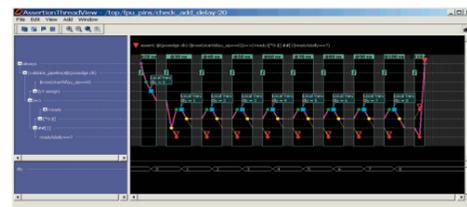


2.3 Systemverilog검증환경을 위한 다양한 Window를 제공함으로써 더욱 효율적인 Systemverilog디버깅을 도와준다. Text Based Dataflow Window, Watch Window 그리고 Object Window등 다양한 GUI로 상기 검증 환경에 도움을 준다.



2.4 Waveform Compare기능은 Waveform을 서로 비교해줌으로써 디버깅에 소요되는 시간을 Save해준은 물론 더욱 효과적이고 정확한 디버깅을 도와준다.

3. Questa은 SystemverilogAssertion 검증을위한 QVL Library를 제공한다. 다양한 Protocol Monitor와 Assertion Checker를 각각의 Application별로 제공하며, 이에 해당하는 Assertion Tread Viewer (ATV)인 디버깅 GUI를 지원함으로써, Assertion Based Verification (ABV)을 가능하게 한다.



4. Questa는 Advanced Tectbench환경을 구축하기 위한 UVM/OVM Methodology를 제공함으로써 보다 효율적이며, Reusable한 Test환경구축을 한다. Constraint Random Verification으로 구성된 유틸리티 Stimuli는 Questa에서 재해석되어 Testbench Automation을 가능하게 해준다.

2. Questa CDC

A. 목적

Functional Verification

B. 구분

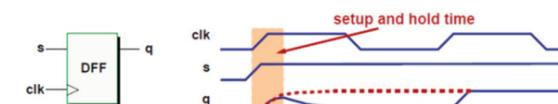
Static Analysis를 사용한 Clock Domain Crossing 검증

C. Supported Platform and O/S System

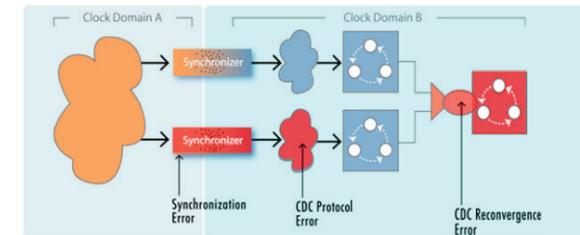
- RedHat 7,8,9
- Red Hat Enterprise (32/64bit) Linux 3,4,5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능

Metastability in Hardware



Silicon상의 Register들은 위 그림과 같이 Setup/Hold Time이 존재하며 Asynchronous Domain 간에는 위와 같은 Side Effect를 피할 수 없다. 그러나 RTL Simulation으로는 위와 같이 Random 하게 DFF의 Q가 0 또는 1이 되어 비정상적인 동작을 하는 것을 검증할 수 없다.



Missing or Incorrect Synchronizers

Design을 분석하여 Clock Domain Crossing이 있는 부분을 Report 해주며 자동으로 어떤 Synchronizer가 있는지 또는 빠져 있는지를 Categorization하여 보여 준다.

CDC protocol error

Protocol 상에 문제가 될 수 있는 부분에 자동으로 Assertion을 생성해주며 이 Assertion을 Simulation에 적용하여 검증을 수행할 수 있다.

ReconvergenceError

실제 Silicon상처럼 Metastable 할 수 있는 Point의 Register Q에 자동으로 '0' 또는 '1'값을 Random 하게 Simulation에 적용해 준다. 이 Modeling Design은 툴에 의해서 자동으로 생성이 되며 Design을 건드리지 않고 Simulation환경에 추가하여 검증하도록 한다.

3. Questa Formal

A. 목적

Functional Verification

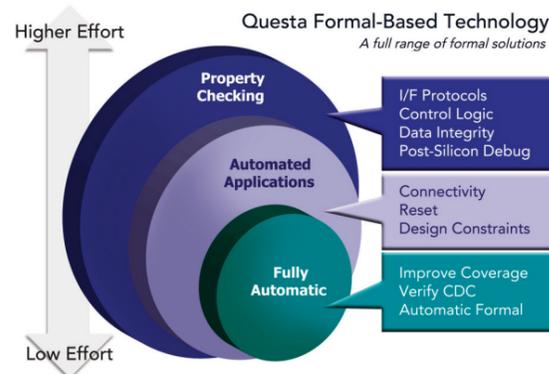
B. 구분

Assertion을 이용한 RTL 검증

C. Supported Platform and O/S System

- RedHat 7, 8, 9
- Red Hat Enterprise (32/64bit) Linux 3, 4, 5
- SuSE (SLES 9/10) (32/64bit) Linux

D. 특성 및 기능



Fully Automatic

모든 Property 들과 디자인에 관련된 검증이 툴에 의해서 자동으로 생성된다. 이것은 크게 3가지 자동화 툴로 나눌 수 있다. Questa CoverCheck은 CodeCoverage에 관련된 검증을 수행하며 Questa AutoCheck은 RTL에 대해서 Formal Analysis를 수행한다.

Automated Application

Connectivity, X-States, Reset Structures와 Design Constraints와 같은 이슈들에 대하여 툴에서 제공하는 Application을 이용하여 Property를 생성하며 이에 대한 FormalAnalysis를 수행한다.

Property Checking

사용자가 Property와 Constraint를 직접 기술하여 더욱 적극적인 방법으로 검증을 수행할 수 있다. 이를 통해서 I/F Protocols, Functional-Coverage, Control Logic, Data Integrity 그리고 Post-SiliconDebug를 디자인에 적용해 볼 수 있으며 이를 통해 가장 Exhaustive 하게 검증을 수행할 수 있다.

회사명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주소 : <http://www.mentor.com/>
한국지사 : 한국멘토
전화 : (031) 8061-0790
주소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동) 판교 미래에셋센터 7층

꾸준함과 고민의 자세는 언제나 정직하다.



홍성민 교수
광주과학기술원 정보통신공학부

테라헤르츠 발진기 소자 기술은, 테라헤르츠 영역의 주파수 대역을 활용하기 위해서 꼭 필요한 기술이다. 그래서 전 세계적으로 많은 연구가 진행되어 왔고, 지금도 진행되고 있지만, 아직 실용적인 응용을 위해 필요한 소형화 및 고효율화는 어려운 문제로 남아있다. 잠재적 가치가 매우 높은 테라헤르츠 발진기 소자의 시뮬레이션 분야 연구를 수행하고 있는 광주과학기술원 홍성민 교수를 만나보았다.

문의 광주과학기술원 정보통신공학부 반도체소자시뮬레이션연구실
전화 062-715-2640 E-mail smhong@gist.ac.kr
<https://sites.google.com/site/semidevsimlab>

“테라헤르츠 발진기 소자의 시뮬레이션 분야 연구를 진행하기까지”

광주과학기술원 정보통신공학부에서 2013년부터 조교수로 재직 중인 홍성민 교수는 서울대학교 전기·컴퓨터공학부에서 반도체 소자의 전기적 잡음을 전공했고, 독일 뮌헨 근교의 연방군 대학에서 박사후 과정을 지냈다. 그 후 미국 캘리포니아 주 산호세에 위치한 삼성전자 연구소에서 2년 동안 근무한 후, 광주과학기술원으로 부임하게 되었다. “운이 좋게도, 대학원에서부터 지금까지 줄곧 반도체 소자 시뮬레이션 분야에서 연구를 진행할 수 있었습니다. 저는 상용 반도체 소자 시뮬레이터를 사용하기도 하지만, 주로 필요한 코드를 자체 제작하여 연구를 진행하고 있습니다.”

그는 현재, 테라헤르츠 발진기 소자의 시뮬레이션 분야 연구를 하고 있다고 한다. “채널의 이동도가 매우 높은 소자, 예를 들어 HEMT 소자 같은 거죠. 여기에 일정한 경계 조건을 잡아주면, 테라헤르츠 주파수 영역에서 전기적인 불안정성이 생겨서 발진기로 사용할 수 있다는 이론이 있습니다. 이것을 소자 시뮬레이터로 검증하는 작업을 하고 있습니다.”

“선택의 길목에서 발견하다.”

홍성민 교수가 현재 전공을 선택하기에는 한 교수님의 강의가 결정적인 역할을 했다고 합니다. “진로를 결정하지 못한 채 4학년을 맞이했습니다. 그때 지도교수님이 되실 민홍식 교수님의 수업을 듣게 되었어요. 교수님의 열정적 강의와 함께 전자공학을 전공하면서도 물리적인 내용을 다루는 부분에 매료되었죠. 제가 물리학과 전자공학에 평소 관심이 많았거든요.”

홍성민 교수는 대학원 진학 후 반도체 소자의 측정된 저주파 잡음의 결과를 설명하기 위한 도구로 반도체 소자 시뮬레이션을 처음 접하게 되었다고 한다. 당시 연구 목적에 딱 맞는 툴이 없었기에 직접 작성하여 연구를 수행했다던 그는 반도체 소자 시뮬레이터 개발의 대가인 박영준 교수의 지도를 감사히 여긴다고 했다.

2000년대 초중반은 RF CMOS가 급속도로 발전하던 시기였고, 이에 맞추어 스케일 되는 소자의 전기적인 잡음 특성을 정확히 예측할 수 있는 시뮬레이션 기법이 필요하던 때였다. 이 시기 그는 박사과정에서 반도체 소자의 전기적 잡음을 소자 시뮬레이터를 사용하여 계산하는 연구를 수행했다고 한다. “세계적으로 앞선 그룹들은 제가 본격적으로 연구를 시작하기 5년 전쯤에 연구에 착수했고, 가장 큰 걸림돌인 시뮬레이션 방법론은 어느 정도 해결된 상태였습니다. 저는 이러한 시뮬레이션 방법론의 물리적인 의미를 재검토해 보고, mixed-mode 시뮬레이션 환경에 적용 가능한 시뮬레이터를 작성하여, mixer나 LC oscillator와 같은 회로에 적용해 보았습니다.”

세계적으로 앞선 그룹들이 시뮬레이션 방법론을 개발하여 활발하게 적용하는 가운데서 그것을 자기 것을 완전히 소화하는 일은 어려운 일이다. 홍성민 교수도 이 부분에서 많은 어려움을 겪었다고 한다. “자신의 언어로 표현하는 과정을 처음 겪었기 때문에 그랬던 것 같습니다. 그 당시, 박사학위 논문심사를 마치고 이제 곧 졸업하는 실험실 선배님을 붙잡고 매일 밤 늦게까지 토론하곤 했죠.”라며 그때를 회상하며 웃었다.

홍성민 교수는 박사후 과정에서의 경험담도 들려줬다. 이 시기를 통해 반도체 소자 시뮬레이터에 대한 그의 이해의 폭을 넓힐 수 있었다고 한다. “독일인 교수였던 Prof. Christoph Jungeman가 간단한 소자 구조에 대해 이미 많은 연구를 성공적으로 진행한 상태에서 팀에 합류했습니다. 그런데 그가 제안한 시뮬레이션 기법은 더 복잡한 소자에 대해서는 적용이 어려웠습니다. 이것을 이해시키고, 더 좋은 성능을 가진 시뮬레이터를 개발할 때까지 1년 반 가까운 시간이 필요했습니다.”

“연구자에게 필요한 ‘꾸준함’의 자세”

테라헤르츠 발진기 소자의 시뮬레이션은 주로 실리콘이 아닌 III-V족 소자를 다루게 되는데, 이에 따라서 수치 해석적인 특성 역시 다르다. 또한, 다루는 주파수 영역이 통상적인 반도체 소자 시뮬레이터에서 다루는 것보다 훨씬 높은 상황이기 때문에, 늘 새로운 상황에 접하게 되는 어려움이 있다고 한다. “연구를 진행하면서 초반 얼마 동안은 문제의 핵심적인 어려움이 무엇인지를 파악하고 해결하는데 시간이 필요한 거 같습니다. 늘 이 문제에 대해서 고민하면서 해결을 위한 수치적인 기법을 고민하는 것이, 가장 정직한 해결방안이라고 생각합니다.”

이를 뒷받침하듯이 홍성민 교수는 ‘꾸준함’이 연구에 필요한 자세라고 말한다. “매일 매일의 발전은 더디더라도, 끊임없이 현재의 문제를 고민합니다. 또한, 제가 이해하고 있는 방법을 낫설게 바라보기 위해서 노력합니다.”

“테라헤르츠 발진기 소자 기술의 잠재적 가치”

마지막으로 홍성민 교수는 테라헤르츠 발진기 소자 기술의 잠재적 가치에 대해 자신했다. “테라헤르츠 발진기 소자 기술은, 테라헤르츠 영역의 주파수 대역을 활용하기 위해서 꼭 필요한 기술입니다. 그래서 많은 연구가 전 세계적으로 진행됐고 지금도 진행되고 있습니다. 그럼에도 지금까지 실용적인 응용을 위해 필요한 소형화 및 고효율화의 문제는 쉽게 해결되지 못하고 있습니다. 이러한 상황에서 테라헤르츠 발진기 소자 기술을 확보할 수 있다면, 그 잠재적인 가치는 매우 크다고 생각합니다.”

반도체 회사에서는 수없이 많은 반도체 소자 시뮬레이션들이 일상적으로 수행되고 있다. 이 시뮬레이션 결과의 올바른 해석은 숙련된 엔지니어에 의해서만 가능하고, 이 또한 때때로 잘못된 방향을 제시해 줄 수 있다. 엔지니어들에게 단순히 계산된 물리량을 제시하는 것을 넘어 향후의 공정 최적화 방안에 대한 유용한 정보를 가공하여 보여줄 수 있을지를 늘 고민하고 있는 홍성민 교수의 열정에서 신진연구자로서 연구 활동에 대한 기대가 전해진다.

