



반도체설계교육센터  
IC DESIGN EDUCATION CENTER



IDEC

*newsletter*



VOL. 212  
FEBRUARY 2015

IDEC Newsletter | 통권 제212호

- ◎ 발행일 2015년 02월 30일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸윌디자인
- ◎ 기획 전향기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>
- ◎ E-mail [jng0029@idec.or.kr](mailto:jng0029@idec.or.kr) ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 212 FEBRUARY 2015

## MPW (Multi-Project Wafer) 2015년 MPW 진행 현황

### 2014년 MPW 진행 결과

- 1) 10개 공정 26회 모집 결과 : 341개 칩제작
- 2) 2014년 공정별 칩제작 참여 내역

공정	삼성	매그나칩/SK하이닉스			동부			TowerJazz			
	65nm	0.18um	0.35um	0.11um	0.18um	0.35um	SiGe	CIS	CA18HA	BCD	
제작팀수	86	90	39	56	19	26	4	7	7	7	

### 2015년 MPW 진행 내역

공정	회차구분 (공정_년도순서)	우선모집	정규모집	제작칩수	DB 마감 (Tape-out)	Die-out	비고
매그나칩/ SK하이닉스 0.18um	MS18-1501		2014.12.29	25	2015.03.02	2015.08.03	설계중
	MS18-1502		2015.01.26	25	2015.05.11	2015.10.12	모집마감(정규)
	MS18-1503	2015.01.26	2015.02.23	25	2015.07.13	2015.12.14	모집마감(우선)
	MS18-1504	2015.01.26	2015.03.23	25	2015.09.07	2016.02.01	모집마감(우선)
	MS18-1505	2015.02.23	2015.05.26	25	2015.12.07	2016.05.09	
매그나칩/ SK하이닉스0.35um	MS35-1501		2015.01.26	20	2015.06.08	2015.09.29	모집마감(정규)
	MS35-1502	2015.05.26	2015.07.20	20	2016.01.11	2016.04.30	
삼성 65nm	S65-1501		2014.12.29	48	2015.06.15	2015.12.14	설계중
	S65-1502	2015.02.23	2015.02.23	48	2015.10.19	2016.04.19	
	S65-1503	2015.04.20	2015.06.22	48	2014.03.27	2016.07.18	
TowerJazz BCD 0.18um	TJB18-1501		2014.12.29	3	2015.03.02	2015.07.06	설계중
	TJB18-1502	2015.01.26	2015.03.23	3	2015.08.24	2015.12.28	모집마감(우선)
	TJB18-1503	2015.02.23	2015.05.26	4	2015.11.30	2016.04.04	
TowerJazz CIS 0.18um	TJC18-1501		2015.01.26	1	2015.06.15	2015.10.23	모집마감(정규)
	TJC18-1502	2015.02.23	2015.05.26	1	2015.11.23	2016.03.28	
TowerJazz SiGe 0.18um	TJS18-1501	TJS18-1501	2014.12.29	1	2015.04.27	2015.09.15	추가모집중

\* 일정은 사정에 따라 다소 변경될 수 있음.  
 \* 회차 표기 방법 변경 : 공정코드-년도 모집순서(예시) 삼성65nm 2015년1회차:S65-1401  
 \* TowerJazz 공정은 sub chip(5mmX2.5mm 또는 2.35mmX2.35mm)으로 분리하여 모집  
 \* 모집기간 : 모집 마감일로부터 2주전부터 접수  
 \* Package 제작은 Die out 이후 1개월 소요됨  
 \* 기준일 : 2015.01.28

\* 문의 : 이의숙 (042-350-4428, ylslee@idec.or.kr)

## 2015년 2월 교육프로그램 안내

수강을 원하는 분은 IDEC홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

### KAIST 개설 강좌 안내

교육장소	강의일자	강의제목	분류
본센터	2월 3일-5일	SystemVerilog Testbench Workshop	Tool강좌
	2월 6일	Virtuoso AMS Designer v11.1	Tool강좌
	2월 16일-17일	임베디드 CPU 코어 (Aldebaran by ETRI) 활용 AP SoC 및 SW 개발	설계강좌
	2월 25일-27일	IC Compiler SoC Design Planning	Tool강좌
	2월 10일-12일	공학도를 위한 MATLAB 및 활용	설계강좌
부산대	2월 24일-26일	CMOS 아날로그 회로설계	설계강좌
	2월 9일-10일	Pspice를 이용한 전자회로 설계 해석	설계강좌
성균관대	2월 11일-13일	Pspice를 이용한 회로 설계, 해석 고급 활용	설계강좌
	2월 23일-24일	Cadence® Virtuoso Schematic & Spectre	설계강좌
	2월 25일-27일	Cadence® Virtuoso Schematic & Layout	설계강좌

- 강좌일 : 2월 3일-5일
- 강좌 제목 : SystemVerilog Testbench Workshop
- 강사 : 정한선 부장 (Synopsys)

**강좌개요** 강력한 simulation인 VCS를 사용한 일련의 Labs을 통해 강의에서 학습한 내용을 확인하는 hands-on workshop입니다. DUT와 SystemVerilog test program 간의 interface development, SystemVerilog testbench에 구현되는object-oriented technology, 그리고 testing을 위한 다양한 scenarios 생성에 사용되는 Data Randomization 및 Functional Coverage에 대한 overview.

**수강대상** Design or Verification engineers who write SystemVerilog test-benches at the block or chip level

**강의수준** 초급

**강의형태** 이론+실습

**사전지식, 선수과목**

UNIX text editor Basic programming skills in Verilog, VHDL or C Debugging experience with Verilog, VHDL or C

- 강좌일 : 2월 6일
- 강좌 제목 : Virtuoso AMS Designer v11.1
- 강사 : 서승원 차장 (Cadence)

**강좌개요** Virtuoso AMS Designer 사용방법 교육

**수강대상** Analog/Digital Mixed Signal Circuit Engineer

**강의수준** 중급

**강의형태** 이론+실습

**사전지식, 선수과목**

Analog/Digital Design simulation

Verilog language / NC-Verilog Simulator

Spectre Simulator / Analog Design Environment

Schematic Editor

- 강좌일 : 2월 16일-17일
- 강좌 제목 : 임베디드 CPU 코어 (Aldebaran by ETRI) 활용 AP SoC 및 SW 개발
- 강사 : 권영수 박사 (ETRI)

### 강좌개요

- ▶ Aldebaran CPU Core 기반 AP 이해, IP 설계 및 통합
  - 한국전자통신연구원의 Aldebaran 32-bit RISC CPU Core 이해
  - Aldebaran CPU Core 및 Peripheral IP 통합 Platform의 RTL Simulation
  - 설계자가 직접 IP(Designer IP)의 RTL 설계 (APB 또는 AXI)

※설계자 소양 및 강의 시간 고려 PWM-LED-Wave 설계

- 설계자 IP를 통합한 Aldebaran Platform RTL 설계 및 RTL Simulation
- ▶ Aldebaran SDK (ADE) 이해 및 Bare-Metal Driver 개발
  - Aldebaran CPU Core Compiler 및 Toolchain 구조 및 사용법 이해
  - Aldebaran 기반 운영체제(OS)와 Bare-Metal Driver 구조 이해
  - 설계자 IP를 위한 Bare-Metal Driver 개발 및 RTL Simulation
- ▶ Aldebaran F7A 보드 및 Debugger 응용 시스템 검증
  - Aldebaran Platform과 설계자 IP를 통합하여 F7A Board에 구현(Vivado)
  - Aldebaran F7A 보드에서의 기능 시험
  - Aldebaran OCD (On-Chip Debugger) 응용 Driver Debugging

**수강대상** SoC 설계 및 임베디드 SW 관련 분야, 업체 개발자 및 대학/대학원생

**강의수준** 중급

**강의형태** 이론+실습

**사전지식, 선수과목**

Linux, Verilog RTL, C

- 강좌일 : 2월 25일-27일
- 강좌 제목 : IC Compiler SoC Design Planning
- 강사 : 윤희찬 차장 (Synopsys)

**강좌개요** Hierarchical Design Planning

**수강대상** ASIC, physical designers with basic experience in the Place&Route flow.

**강의수준** 고급

**강의형태** 이론+실습

**사전지식, 선수과목**

- ▶ A Unix text editor, for example: emacs, vi, pine
- ▶ Basic physical design, layout or standard cell Place&Route concepts and terms, including:
  - Standard cells and libraries
  - Placement and routing fundamentals
  - Causes and effects of congestion

\*문의 : KAIST IDEC 오가영 (042-350-8536, oky0818@idec.or.kr)

2015년 2월 교육프로그램 안내

- 강좌일 : 2월 10일-12일
- 강좌 제목 : 공학도를 위한 MATLAB 및 활용
- 강사 : 김미경 교수 (부산대학교), 조미숙 교수 (부산대학교)

**강좌개요** MATLAB의 기본 개념 및 명령어에 대해서 배운다. MATLAB을 이용한 프로그래밍 방법과 시각화에 대해 배운다. GUI의 설계 방법에 대해 배운다. GUI를 이용하여 간단한 응용 프로그램을 만들어 본다.

**수강대상** 이공계열의 학부 및 대학원생 일반인

**강의수준** 초급

**강의형태** 이론+실습

**사전지식, 선수과목** 다른 컴퓨터 언어를 알고 있으면 배우기가 쉬움.(C언어)

- 강좌일 : 2월 24일-26일
- 강좌 제목 : CMOS 아날로그 회로설계
- 강사 : 이용재 교수 (동의대학교), 최영식 교수 (부경대학교)

**강좌개요** CMOS 및 전자회로에 대한 기본적인 이해를 돕기 위하여 만들어진 코스이다. 대부분의 대학에서 증폭기를 만드는 실험을 하지만 파형의 왜곡이 왜 생기고 그것을 어떻게 해결하는가를 설명하지 않는 경향이 있다. 본 강좌에서는 소자의 동작원리에서부터 왜곡의 원인과 해결책, 이득 결정 방법 등을 손으로 설계해보고 HSPICE를 이용하여 검증하여 체험적으로 이해하도록 할 계획이다.

**수강대상** 2학년 수료자 아날로그 설계 초보자

**강의수준** 초급

**강의형태** 이론+실습

**사전지식, 선수과목** 전기회로 전자회로 1

\*문의 : 부산대학교 IDEC 윤성심 (051-510-2828, idec@pusan.ac.kr)

- 강좌일 : 2월 9일-10일
- 강좌 제목 : Pspice를 이용한 전자회로 설계 해석
- 강사 : 나인플러스아이티(주)

**강좌개요** PSpice의 기본 환경 PSpice의 해석의 종류 및 해석의 type에 따른 시뮬레이션 설정 방법 DC Bias, DC Sweep, AC Sweep Analysis, etc PSpice의 해석조건과 문제 해결 방법

**수강대상** 산업체 엔지니어

**강의수준** 초급

**강의형태** 이론 + 실습

**사전지식, 선수과목** 전기 전자를 배운 엔지니어/회로 시뮬레이션을 경험한 엔지니어 OS ( Window XP, Window 7 무관)

- 강좌일 : 2월 11일-13일
- 강좌 제목 : Pspice를 이용한 회로 설계, 해석 고급 활용
- 강사 : 나인플러스아이티(주)

**강좌개요** PSpice를 활용한 회로 기본 법칙, RLC수동회로의 분석 및 설계, Diode/TR/MOSFET을 이용한 각종 기본 및 응용회로의 설계/분석, OPAMP, 전원IC 등의 subckt model을 이용한 실무 Application회로의 분석 및 설계 그리고 Si, Pi 회로의 분석/설계의 기초능력 개발에 교육의 목적이 있다.

**수강대상** 산업체 엔지니어

**강의수준** 중급

**강의형태** 이론+실습

**사전지식, 선수과목** 전기 전자를 배운 엔지니어/대학원생으로 기초회로(Pspice 기본 과정수료) PSpice를 이용한 회로 설계 해석 기본 과정 이수자 회로 설계, 해석 시뮬레이션을 경험한 엔지니어, OS ( Window XP, Window 7 무관)

- 강좌일 : 2월 23일-24일
- 강좌 제목 : Cadence® Virtuoso Schematic & Spectre
- 강사 : 나인플러스아이티(주)

**강좌개요** Cadence Virtuoso Schematic & Spectre 소개 Spectre 해석을 위해 관계되는 Parameters & Netlists에 대한 Syntax 이해 Using parameters along with global options, to set convergence criteria and control transient time steps during simulation

**강의형태** 이론+실습

**사전지식, 선수과목** 전기 전자를 배운 엔지니어, 반도체 설계 기초 과정 Analog/Mixed Signal IC Designers, Custom Circuit Designers

- 강좌일 : 2월 25일-27일
- 강좌 제목 : Cadence® Virtuoso Schematic & Layout
- 강사 : 나인플러스아이티(주)

**강좌개요** Cadence FULL-CUSTOM IC 설계를 위하여 Tool의 전반적인 이해와 기초 과정 CMOS를 중심으로 기초적인 아날로그 회로에 대한 설계방법과 Layout design rule에 대한 이해, 다양한 layout technique을 기초 실습설계 CAD tools (Schematic, Layout, Assura DRC/LVS)의 이해

**강의형태** 이론+실습

**사전지식, 선수과목** 전기 전자를 배운 엔지니어, 반도체 설계 관련 학과 학부/대학원생 Analog/Mixed Signal IC Designer/Custom Circuit Designer

\*문의 : 성균관대학교 IDEC 김상윤 (031-299-4629, ksy0501@skku.edu)



# 2015년 IDEC MPW 지원 내역 및 일정

- 2015년 MPW 지원 내역
- 6개 공정 16회 진행
- 아래 지원 내역은 공정사의 사정에 따라 변경될 수 있음.

회사	공정 [μm]	공정내역	size	칩수/1회	모집 회수	Package 사용 가능 pin 수 (Design)	Package type 실제작 pin 수	
							LQFP	BGA
삼성	65nm RFCMOS	CMOSRF 1-poly 8-metal	4mmx4mm	48	3	208pin		
매그나칩/ SK하이닉스	0.35μm MOS	CMOS 2-poly 4-metal (Optional layer(DNW, HRI, BJT, CPOLY) 추가)	5mmx4mm	20	2	144pin	208pin	364pin
	0.18μm MOS	CMOS 1-poly 6-metal (6 metal을 Thick metal (TKM)로만 사용 가능) (Optional layer (DNW, HRI, BJT, MIM) 추가)	3.8mmx3.8mm	25	5	184pin		
Tower-Jazz	0.18μm CIS	CMOS 1-poly 4-metal	5mmx5mm	1	2	지원하지 않음		
	0.18μm BCDMOS	CMOS 1-poly 3-metal (MT)	5mmx5mm	3~4	3			
	0.18μm SiGe	SiGe BiCMOS 1-poly 6-metal	5mmx5mm	1	1			

- 2015년 MPW 진행 일정
- 회차 표기 방법 변경 : "공정코드-년도모집순서"(예시) 삼성65nm 2015년 1회차 : S65-1501)
- 아래 일정은 공정사의 사정에 따라 변경될 수 있음.

회차구분 (공정_년도순서)	우선모집	정규모집	제작칩수	DB마감 (Tape-out)	Die-out	공정	공정사
MS18-1501		2015.12.29.	25	2015.03.02.	2015.08.03.	0.18μm (CMOS)	매그나칩/ SK하이닉스
MS18-1502		2015.01.26.	25	2015.05.11.	2015.10.12.		
MS18-1503	2015.01.26.	2015.02.23.	25	2015.07.13.	2015.12.14.		
MS18-1504	2015.04.26.	2015.03.23.	25	2015.09.07.	2016.02.01.		
MS18-1505	2015.02.23.	2015.05.26.	25	2015.12.07.	2016.05.09.		
MS35-1501		2015.01.26.	20	2015.06.08.	2015.09.29.	0.35μm (CMOS)	
MS35-1502	2015.05.26.	2015.07.20.	20	2016.01.11.	2016.04.30.		
S65-1501		2014.12.29.	48	2015.06.15.	2015.12.14.	65nm (RF CMOS)	삼성
S65-1502	2015.02.23.	2015.04.20.	48	2015.10.19.	2016.04.19.		
S65-1503	2015.04.20.	2015.06.22.	48	2016.01.18.	2016.07.18.		
TJB18-1501		2014.12.29.	2	2015.03.02.	2015.07.06.	0.18μm (BCD)	TowerJazz
TJB18-1502	2015.01.26.	2015.03.23.	4	2015.08.24.	2015.12.28.		
TJB18-1503	2015.02.23.	2015.05.26.	4	2015.11.30.	2016.04.04.		
TJC18-1501		2015.01.26.	1	2015.06.15.	2015.10.23.	0.18μm (CIS)	
TJC18-1502	2015.02.23.	2015.05.26.	1	2015.11.23.	2016.03.28.		
TJS18-1501		2014.12.29.	1	2015.04.27.	2015.09.15.		

- 모집 : 우선과 정규모집으로 구분. 정규모집까지 마감되지 않는 공정에 대해서는 추가 모집 진행 (\* 신청접수 기간 : 모집 마감일로부터 2주전부터 접수)
- 선정결과 : 모집 마감 후 15일내 개별 통보
- Package 제작 : Die out 이후 1개월 소요됨.
- TowerJazz 공정은 sub chip(5mmx2.5mm 또는 2.35mmx2.35mm)로 분할하여 모집
- 문의처 : yslee@idec.or.kr (Web site : http://www.idec.or.kr)

# 스마트 혁명 시대를 주도할 SoC 반도체



**손 재 철 전무**  
삼성전자 S.LSI사업부 Processor개발팀



21세기 스마트 모바일 기기의 등장으로 현대인은 진정한 스마트 혁명이라고 불릴 만큼 빠른 변화의 시대를 겪어가고 있다.

새로운 사용자 인터페이스와 다양한 모바일 서비스가 지속적으로 출현하면서 모바일 생태계는 매일 진화되어 가고 있고, 이를 지원하기 위한 모바일 기기도 그 기능과 성능 관점에서 거의 6개월마다 발전을 거듭하고 있다. 이러한 스마트 기기의 가장 핵심 부품은 두뇌 역할을 하는 모바일 SoC라고 할 수 있는데, SoC란 System on Chip (또는 System on a Chip)의 약자이다.

말 그대로 시스템이 하나의 반도체 칩 안에 들어있다는 말이다. 시스템도 단순한 수준의 시스템이 들어 있는 것이 아니다. 과거 많은 반도체 부품으로 이루어졌던 고성능 컴퓨터 수준의 시스템이 이제는 하나의 반도체에서 구현되는 시대가 된 것이다.

마이크로프로세서, 그래픽스는 기본이고 오디오, 비디오 등 멀티미디어 처리, 카메라 신호 처리, 디스플레이 인터페이스, 모뎀, 외부 메모리 및 저장매체 인터페이스 및 기타 각종 커넥티비티 등에 이르기 까지 가히 ICT 기술의 모든 분야를 총망라하여 집적했다고 해도 과언이 아니다. 특히 최근의 모바일 SoC를 살펴보면 성능이나 직접도가 매우 가파르게 발전하고 있음을 알 수 있다.

주연산장치인 마이크로프로세서만 보더라도 초기 스마트폰이나 태블릿에 장착되었던 1GHz급 32-bit single-core CPU와 비교해보면 최근 64-bit octa-core CPU는 순간 최대 DMIPS 성능을 기준으로 보면 25배가 넘는 고성능을 자랑한다.

그래픽스도 과거에는 데스크톱 PC에서 쓰이던 그래픽스 처리 기법들이 이제는 모바일 SoC에도 대부분 적용되고 있고, 성능도 1초당 처리하는 폴리곤이나 부동소수점연산 횟수를 비교해보면 2000년대 초반 대비 1,000배 가까운 성장률을 보이고 있다. 또한, 메모리 반도체도 모바일 반도체 한 패키지 안에 이미 2000년대 후반부터 집적됐으므로 실로 요즘 모바일 반도체 패키지 안에는 거의 온전한 컴퓨팅 시스템이 들어있다고 하는 것이 맞을 것이다.

이러한 SoC를 잘 만들기 위해서 중요한 것은 무엇일까?

**첫째,** 기본적으로 SoC는 수많은 IP (Intellectual Property) 블록들의 integration 결과물이다. 즉, 언뜻 보면 integration 기술만 잘 갖출 수 있다면 누구나 도전해볼 만한 기술로 보일 수 있다. 그러나 실제 SoC에 대한 진입장벽은 생각보다 꽤 높다고 봐야 할 것이다. 우선 IP들을 경쟁력 있게 갖추기가 쉽지 않은 문제이다.

경쟁 제품들과 비교할 때 비슷한 수준의 IP로서는 차별화하기 어렵다. 따라서 고사양 제품이라면 IP들의 기능이나 성능 측면에서 일일이 뛰어나게 만들어야 하고, 저사양 제품이라면 경쟁 제품의 IP보다 작게 만들 수 있거나 제작 비용을 낮출 수 있는 차별화된 아이디어가 있어야 한다. 이를 위한 꾸준한 기술 확보나 상당한 투자가 뒤따라야만 한다.

**둘째,** 이렇게 IP들을 잘 갖추었다고 해도 전력 소모나 발열이라는 복병이 기다리고 있다. 배터리에 의해 구동되는 모바일 제품 특성 상 사용자의 관점에서 중요한 여러 사용 시나리오상에서 어떻게 IP들을 운영 또는 제어해야 성능도 문제없으면서 전력 소모도 줄일 수 있는지를 지속해서 고민해야 한다. 발열도 마찬가지이다. 특별히 발열 특성은 사용자의 만족도 측면에서 매우 중요한 역할을 하므로 단순히 온도가 오르면 성능을 낮추는 기초적인 제어 방식이 아닌 부품 및 기구 측면에서 오랜 연구가 있어야만 경쟁력 있는 발열 solution을 갖출 수 있다.

**셋째,** SoC에서 소프트웨어 엔지니어링의 중요성은 점점 더 중요해지고 있다. 하드웨어 경쟁력도 중요하지만, 컴퓨팅 방식도 heterogeneous multi-processing등으로 진화했고 성능 및 전력 최적화, 보안 및 가상화에 이르기까지 소프트웨어의 역할은 점점 커지고 있어서, 수준 높은 소프트웨어 엔지니어의 확보가 경쟁력의 주요 관건이 되고 있다.

**넷째,** SoC는 반도체로 구현되는 제품이기 때문에 제품의 목표 시장과 요구 성능에 최적의 반도체 공정 선택도 중요한 요소가 된다. 저사양의 제품이라면 비용이나 성능 측면에서 볼 때 안정화된 공정을 사용하는 것이 적절하나, 고사양 제품이라면 공정 비용이 비싸더라도

성능 및 전력 최적화 측면에서 최신 미세 공정을 사용해야 경쟁력을 갖출 수 있을 것이다.

그러나 최신 미세 공정을 사용하기 위해서는 수율 또는 공정이 얼마나 빨리 안정화될 것이냐에 대한 리스크를 감안해야 하는데, 이를 최대한 방지하려면 variability에 강한 설계가 강조되어야 하고 결국은 성능과 면적과 수율 사이의 trade-off를 잘 감안한 설계 능력을 갖추는 것이 중요해진다. 이외에도 성공적인 SoC 제품을 만들어내기 위해서는 수준 높은 검증 기법을 비롯하여 수많은 다른 측면의 기술들까지 고려해야 하므로, 결국 SoC란 소위 ICT 기술의 집대성임을 알 수 있다. 그래서 필자는 과감히 SoC란 첨단 ICT 기술의 종합 예술품이라는 표현을 쓸 수 있다고 생각한다.

그렇다면 미래의 SoC 경쟁력을 더욱 구축하기 위해서 지금 우리가 기초를 더 탄탄히 해야 할게 있다면 무엇일까?

이미 앞서 SoC가 첨단 ICT 기술의 종합 예술품이라고 주장한 만큼 거의 모든 기술이 중요하다는 것은 다시 말할 필요도 없겠으나, 그 가운데 꼭 강조하여 다시 언급할 분야를 꼽는다면 저전력 설계 및 발열 제어 분야라고 말하고 싶다. 모바일 SoC의 성능을 올릴 수 있는 기법들은 상당히 다양한 아이디어가 존재할 수 있으나 이를 결국 제품에 적용할 수 있느냐의 여부는 전력 소모나 발열 이슈를 야기하지 않느냐에 의해 결정될 만큼 전력과 발열 이슈는 마지막 순간까지 개발자들의 신경을 곤두세우는 분야이다. 이 분야는 학계에서도 기초적인 부분부터 연구를 통해 개선한 결과를 통해 산학 연계를 이룰 수 있는 좋은 분야라고 생각되며 향후에 이 분야에 대한 학계의 더 많은 기여를 기대해본다. 그러나 이것보다 더 중요하다고 판단되는 것은 개발 프로세스 체계의 경쟁력이다. 앞서 언급하였듯이 요즘 SoC에는 상당히 많은 IP가 집적되어 있다. 이런 IP들을 기능, 성능, 전력소모, 발열 등의 모든 측면에서 이슈가 생기지 않도록 실수 없이 집적하여 단번에 제품화를 성공시키려면 제품화에 관련된 모든 프로세스들이 체계적 및 효율적으로 구성되어 있는 것이 매우 중요하다. 요즘 단 한 차례 제품이 경쟁력을 잃었을 때 재기하지 못하고 사라져 가는 수많은 일류 기업의 예를 보면 그 중요성은 아무리 강조해도 지나치지 않다. 아직도 공과대학이나 대학원 과정에서 이런 부분을 강조한 교과목이 준비되어 있는지는 잘 모르겠다. 젊은 학생 시절부터 여기에 대한 중요성을 파악하고 경험시켜 보는 것은 매우 의미 있는 일이라고 생각한다.

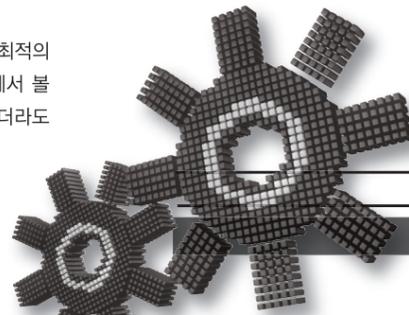
바야흐로 사물인터넷, 즉 IoT의 시대가 열리고 있다. 금년 CES에서 5년 내 모든 가전 제품은 IoT가 적용될 것이라는 포부도 발표되고 있고, 아직 사람들은 많이 체험해보지 못했지만, 머지않아 스마트홈, 스마트카, 스마트시티로 그 적용 분야는 광대한 영역으로 확장될 것이다. IC인사이드의 분석을 보더라도 사물인터넷 관련 반도체 시장은 향후 연평균 20% 이상 고성장을 지속할 전망이다. 사물인터넷이란 기본적으로 우리 주변의 모든 사물이 스마트해진다는 것이다. 그러므로 모든 사물에는 두뇌의 역할을 하는 SoC가 필요하게 될 것이고, 바로 SoC는 지금 열리고 있는 사물인터넷 시대에 가장 핵심적인 반도체가 될 것이다. 언뜻 생각해보면 스마트폰 또는 태블릿 정도에나 고성능 SoC가 필요할 것이고, 대부분의 사물인터넷 디바이스들은 단순한 마이크로 컨트롤러와 센서 및 저사양 커넥티비티 기능 정도의 저사양 SoC면 해결될 것으로 예상해볼 수도 있다.

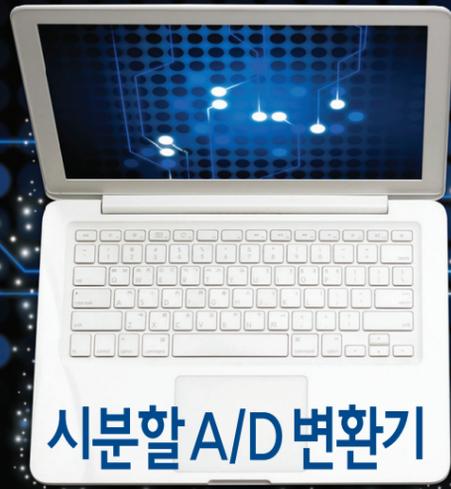
그러나 기본적으로 시계, 전구, 자동차, 가전제품, 드론, 안경, 의복, 신발, 헬스용품, 로봇 등 가시적인 제품들로부터 신호등, 주방기기, 가구, 문, 천장, 벽 등 상상할 수 있는 모든 사물은 인터넷에 연결되고 스마트해질 수 있다면, 그 사물들이 어느 수준까지 스마트해지느냐는 것은 결국 인간의 상상력에 달린 문제라는 것을 알 수 있다.

이러한 창의력이 결국 사물인터넷 시대에 필요한 반도체의 사양 및 성능을 끌어올릴 수 있다는 점을 생각한다면 앞으로 사물인터넷 시대에 SoC의 성장 가능성은 또한 무한하다고 할 수 있다.

진정 사물인터넷 시대가 다가오고 있음을 느낄 수 있는 2015년 벽두이다. SoC의 역할이 앞으로 분명히 증대될 것이라는 확신이 있다면 지금은 정말 상상의 나라를 활짝 펼 때라고 생각한다.

• 외부 필진 기고의 논조는 IDEC 방향과 다를 수 있습니다.





## 시분할 A/D 변환기

# (Time-Interleaved ADC, TIADC)의 연구 동향

### 제 1장 서론

A/D 변환기 (A/D Converter, ADC)는 아날로그 신호를 양자화 (Quantized)된 디지털 정보로 변환시켜주는 혼성 신호 회로로서, 마이크로 프로세서와 같은 디지털 연산 시스템을 제외한 대부분의 통신/센서 시스템을 구성하는 데에 필수적으로 사용된다. 최근의 스마트/모바일 시스템의 대중화와 더불어, 더 넓은 대역(Bandwidth)의 아날로그 정보를 저전력으로 최소한의 양자화 손실만 가지고 디지털 정보로 변환시키려는 노력이 산업계와 학계에서 지속적으로 전개되고 있다.

ADC의 다양한 아키텍처들중 시간 분할 ADC (Time-Interleaved ADC, TIADC)는 GHz이상의 광대역 (High Bandwidth)의 신호를 고품질로 양자화하기 위하여 많이 채택되는 구조로, CMOS 공정 기술의 발달과 더불어 그 활용 및 설계 방법에 대한 재조명이 활발히 이루어지고 있다. 기존의 TIADC는 물리적인 크기와 전력소모의 문제로 고성능 계측기나 레이더/이미징 시스템과 같은 고가의 벤치탑(Bench-Top) 장비에만 적용될 수 있는 설계 기법이었다.

하지만 CMOS 공정기술의 발달과 축차비교 ADC(Successive-Approximation ADC, SAR ADC)로 대표되는 단위 ADC 전력효율의 비약적인 향상으로 인해, 머지않은 미래에는 스마트기기와 같은 모바일 시스템이나 배터리로 작동되는 저전력 시스템에도 TIADC 기술이 사용될 수 있을 것으로 생각된다.

TIADC는 기존의 ADC에는 존재하지 않는 고유한 오류 매커니즘(Error Mechanism)이 있기 때문에, 내재된 오류 매커니즘을 이해하고 이를 디지털 CMOS 기술을 이용하여 보정하여야만 설계시 목표한 성능을 실현할 수 있다. 따라서 본 컬럼에서는 TIADC의 기본적인 배경이론과 TIADC의 성능을 제한하는 대표적인 오류 매커니즘에 대해 설명하고, 그 보정 방법에 대해 간단한 소개를 하려고 한다. 또한 최근 TIADC의 연구 동향에 대해 언급하려고 한다.

### 제 2장 본론

#### 2-1 TIADC 배경이론

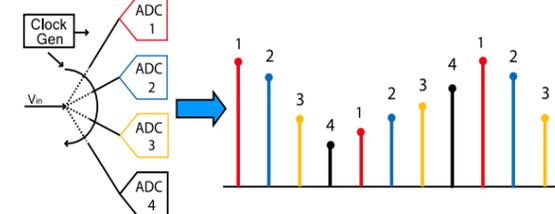


그림1. TIADC의 개념도 (4-Channel의 예)

TIADC의 기본적인 개념은 샘플링 주파수  $f_s$ 로 동작하는 ADC M개를 병렬로 시분할 동작시켜서 ADC의 변환성능(Conversion

Throughput)을 M배 증가시키겠다는 것으로, 4-채널의 TIADC 예를 그림 1에 도시하였다.

이러한 시도는 UC Berkeley대학의 Black and Hodge[1]에 의해 최초로 제안되었고, 이후 고속 A/D 변환이 필수적인 고성능 계측기와 같은 분야의 제품에 사용되는 ADC 설계에 TIADC 기술이 적극적으로 이용되었다 [2].

역사적으로 보면, 1990년대에는 상대적으로  $fT$ 의 우위에 있는 BJT 공정을 이용한 TIADC가 많이 구현 되었지만 2000년대부터는 나노미터 CMOS공정을 이용한 저전력 ADC를 채널 ADC로 이용한 TIADC가 많이 출현하였고, 80개이상의 대량의 병렬 채널을 이용한 TIADC까지 구현되고 있다 [2].

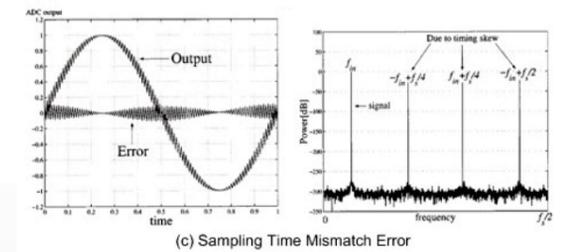
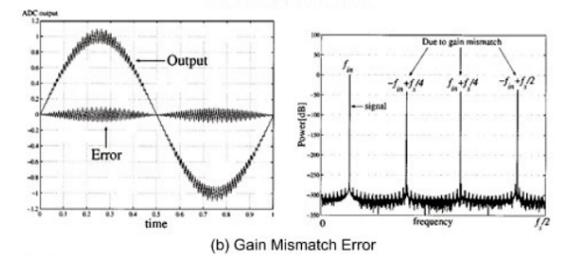
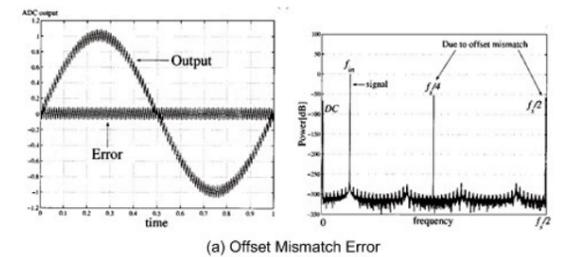


그림2. TIADC의 Error Source들과 주파수 스펙트럼에서의 발현 양상 비교 [3]

TIADC 시스템에서는 채널이 하나인 ADC에서는 발생하지 않는 고유한 오류 매커니즘이 존재한다. 이는 병렬로 구성된 ADC 채널들간의 미세한 물리적인 오차(mismatch)에 기인한다.

채널간의 오차는 각 채널 ADC의 변환 결과의 선형성에는 영향을 미치지 않으나, 최종적으로 모든 채널의 ADC의 출력을 하나로 합쳐서 구한 데이터 변환 결과의 선형성에 열화 (Linearity Degradation)를 가져오게 된다. 대표적으로, 채널 ADC간의 입력의 오프셋 오차 (Offset Mismatch), 채널 ADC간의 이득오차 (Gain Mismatch), 또한 채널의

전면부에 위치한 트랙-홀드 (Track-and-Hold)에서 입력 신호를 샘플하는 순간의 타이밍 오차 (Sampling Time Mismatch)를 들 수 있다.

이러한 오차들은 그 특성이 다르기 때문에 최종 ADC 출력에서 서로 다른 성질을 지니면서 발현이 된다. 그림 2에 이러한 오차 매커니즘의 발현 양상을 시간 영역(Time-Domain)과 주파수 영역(Frequency-Domain)에 나누어서 도시하였다 [3]. 그림 2-(a)는 오프셋 오차가 채널들 간에 존재할 경우이다. 이 경우는 입력 신호의 주파수와 무관하게 채널들간의 오프셋이 오차가 존재하게 되는데, 수학적으로는 주기가 M인 반복되는 에러성분 패턴이 이상적인 TIADC의 출력에 더해지는 것으로 표현이 가능하다.

따라서 이 에러성분은 주파수 영역에서는  $f_s/M$ 과 이의 고차 하모닉 (higher-order harmonics) 주파수에 톤(Tone)의 형태로 나타난다. 이 에러는 입력 주파수와 무관하게 생기는 오류이기 때문에 입력 주파수의 변화에 상관없이 일정한 톤의 크기가 형성된다.

그림 2-(b)는 채널간에 이득 오차가 존재할 때의 경우인데, 이득 오차로부터 생기는 에러 성분은 수학적으로 보면 입력 신호에 일정한 크기를 가지고  $f_s/M$ 의 주파수를 가지는 신호가 곱해지는 형태로 표현될 수 있다. 따라서 이 오차는 통신 이론에 나오는 AM 변조(modulation)와 같은 형태로 표현된다.

수식을 전개하여 보면 이득 오차에서 생기는 에러에서 발생하는 톤은 주파수 영역에서  $\pm f_{in} \pm f_s \times k/M$  에 존재하게 된다. 이때 역시 톤의 크기는 입력 주파수와 무관한데, 이는 이득 오차의 크기는 샘플된 ADC 입력 값의 크기에만 비례하고 주파수에는 영향을 받지 않기 때문이다. 그림 2-(c)에 도시된 샘플링 시간 오차는 TIADC의 가장 앞단에 존재하는 샘플-홀드 (Sample-and-Hold, S&H) 회로에서 입력 신호를 샘플하는 시간이 이상적인 위치에서 벗어나게 될때 생기는 에러이다.

이 경우 실제 ADC는 원하는 이상적인 입력 신호에서 시간적으로 오차가 있는 입력 신호를 샘플링 하게 된다. 이 에러성분 역시 수학적으로 해석하면  $f_s \times 1/M$  마다 오차성분이 입력신호에 곱해지는 형태로 나타나기 때문에, 톤의 위치는 이득 오차의 경우와 동일하게  $\pm f_{in} \pm f_s \times k/M$  에 나타난다.

하지만 동일한 시간 오차라고 해도 입력 신호의 기울기, 즉 슬루율 (Slew-rate)에 비례해서 전압 에러가 커지기 때문에 톤의 크기가 입력 신호의 주파수에 비례해서 커진다는 점이 이득 오차의 경우와 다른점 이라고 할 수 있다.

이러한 오차들간의 서로 다른 특성차이는 TIADC를 설계하였을 경우 다양한 오차성분들이 어떻게 전체 성능에 영향을 미치는지 확인 할 때 사용될 수 있다.

예를 들어, TIADC 설계 후 입력 주파수를 증가시키면서 가해진 입력신호의 주파수가 아닌 톤들의 크기와 주파수를 측정해본다면, 어떤 오차 성분이 성능열화에 가장 큰 영향을 미치고 있는지 확인해 볼 수 있을 것이다. 표 1에 TIADC에서 생길 수 있는 대표적인 오차의 특성들을 정리해 보았다.

	Offset Mismatch Error	Gain Mismatch	Sampling Time Mismatch
Error Tone Frequency	$f_c \times \frac{k}{M}$	$\pm f_m + f_c \times \frac{k}{M}$	$\pm f_m + f_c \times \frac{k}{M}$
Error Tone Amplitude	$f_m$ 과 무관	$f_m$ 과 무관	$f_m$ 에 비례하여 증가

표 1. TIADC의 Error Source와 주파수 영역에서의 발현 양상 비교

2-2 TIADC 에러 보정 기법

앞서 언급한바와 같이 TIADC에는 다양한 에러요소들이 존재하기 때문에, 이를 아날로그 혹은 디지털 적인 방법으로 보정하려고 하는 기법이 많이 연구되었다. 이러한 에러를 보정하는 방법을 대략적으로 분류하면 아날로그적인 방법과 디지털적인 방법으로 나뉜다.

간단하게 설명하자면, 아날로그 적인 방법은 채널간의 오프셋이나 이득차이가 동일하게 되도록 아날로그 전압이나 전류등을 조절하여 맞추어 주는 방법이라고 할 수 있고, 디지털적인 방법은 ADC의 양자화된 결과를 가지고 DSP 알고리즘을 이용하여 보정해 주는 방법이라고 할 수 있다. 각각의 오차 매커니즘에 대해 아날로그/디지털기법 모두 사용이 가능하지만, 대중적으로 많이 사용되는 방법으로는 신호의 크기에 관련되는 오차는 디지털 기법으로, 타이밍과 관련되는 오차는 아날로그적인 방법으로 보정하는 기법이 많이 사용된다 [2].

이러한 경향의 이유는 실제 구현의 용이성과 밀접한 관련이 있는데, 신호의 크기는 ADC라는 회로의 속성상 결국 입력 신호가 디지털값으로 변환이 되어야 하기 때문에, 이를 디지털 영역에서 곱하거나 더해서 보정하는 것은 비교적 용이하기 때문이다.

이때 양자화에 의한 손실을 막기 위해서 목적하고 있는 타겟 분해능 (Target Resolution)이상의 여분의 분해능을 가지도록 ADC를 설계하면 디지털 신호 처리 기법을 통하여 오류보정시 양자화에 의한 손실까지 막을 수 있다.

반면, 타이밍 오차를 디지털 회로를 이용하여 보정하기 위해서는 프랙셔널 지연(Fractional-Delay)을 구현할 수 있는 고속 디지털 필터가 필요한데, 이론적으로는 이를 구현할 수 있으나 사용되는 필터 하드웨어의 복잡도와 전력소모가 과도하기 때문에 실제 구현상의 어려움이 따른다.

이와달리 아날로그 적으로 시간오차를 보정하는 방법은 프로그래머블 지연 (Programmable Delay) 회로로 비교적 손쉽게 구현이 가능하기 때문에 디지털 보정방법보다 선호 되는 경향이 있다. 그림 3에 나타난 예는 고속 계측기에 사용되는 TIADC의 구조를 나타낸 것인데 32개의 ADC를 병렬로 연결하여 사용하고 있다.

이 경우도 우선 클럭 버퍼에서 프로그래머블 버퍼 회로를 이용하여 아날로그 적으로 샘플 타이밍 오차를 보정하고 채널간의 이득이나 오프셋, 그리고 파이프라인구조로 설계된 채널 ADC내부의 스테이지별 이득 오차까지 모두 Radix Converter (RC)라는 디지털 연산 엔진을 이용하여 한꺼번에 보상해주는 구조를 가지고 있다.

또한 추가적으로 최종 출력은 룩업-테이블(Look-Up table)을 이용하여 비선형성(Nonlinearity)까지 보상해 주어 최종적인 ADC 출력을 만들어 낸다.

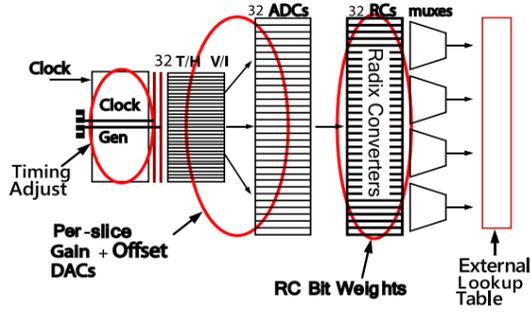


그림 3. 고속 계측기에 사용되는 multi-GS/s TIADC구조 [3]

2-3 TIADC 최신 설계 동향

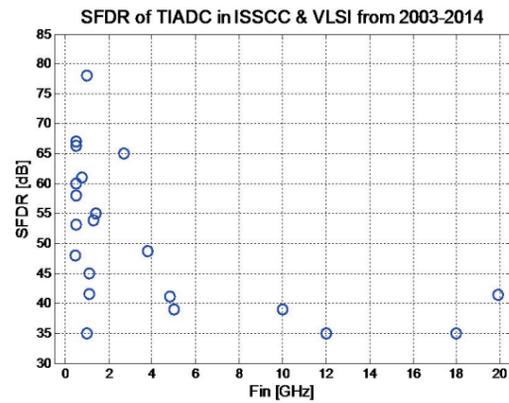


그림4. 최근 발표된 논문들에 나타난 TIADC의 SFDR성능 비교

고속/광대역 ADC의 성능은 얼마나 높은 주파수를 선형성의 열화 없이 양자화 할 수 있느냐에 달려있는데, SFDR (Spurious-Free Dynamic Range)을 지표로 삼아 그 성능을 비교를 해볼 수 있다. 그림 4는 최근 ISSCC와 VLSI에 발표된 TIADC 논문중 대역폭이 GHz이상인 ADC의 SFDR을 비교해보았다 [4].

그림4의 그래프에서 알 수 있는 경향으로는 i) TIADC를 이용하여 GHz이상의 신호를 양자화 하려는 노력이 많이 있고 ii) 3GHz 이하의 대역에서는 60dB이상의 고성능 양자화가 가능하지만 iii) 3GHz 이상의 대역폭에서는 성능이 급속하게 열화되고 있다는 점이다.

이는 채널간 오프셋, 이득, 그리고 타이밍 오차를 보정해주는 다양한 기법이 사용되었지만, 초광대역에서 그 영향이 더욱 두드러지는 채널간의 대역폭 오차(Bandwidth Mismatch)가 보정이 되지 않고 있음이 주된 원인으로 여겨지고 있다.

채널간의 대역폭 오차는 샘플링 시간 오차와 유사하게 고주파 신호로 갈수록 더 에러의 크기가 커지지만, 근본적으로 다른 물리적 이유로부터 발생하기 때문에 샘플링 시간 오차를 보정한다고 하여서 교정되지 않는다. 보다 자세히 설명하자면, 샘플링 시간 오차로 인한 입력 신호의 위상 오차는 입력 신호의 주파수와 무관하게 선

형적이지만, 제한된 RC-대역폭에 의해 생기는 채널 대역폭 오차에 의한 위상 오차는 입력 주파수에 비선형적으로 반응하기 때문이다.

따라서 시간 오차를 보정하기 위해서 하나의 입력 주파수 성분의 신호를 가하여 채널간의 샘플링 시간 오차를 보정한다고 해도 넓은 범위의 다양한 입력 주파수에 대해서는 채널 대역폭의 오차가 교정되지 않기 않고, 따라서 주파수 영역에서 이로 인한 톤이 발생하여 선형성의 열화를 막을 수 없게 된다.

채널 대역폭의 오차를 보정하려는 시도는 2000년대 후반부터 이론적으로 많이 시도 되었는데, [5]에서는 2개의 채널을 가정하고 두 채널의 크기 응답의 합과 차를 통하여 채널의 크기 응답의 차이를 구해내어 보정해 주는 방법을 발표 하였고, [6]에서는 입력 신호와 함께 작은 테스트 신호를 Nyquist주파수보다 약간 낮은 주파수에 넣어주어, 그 응답을 이용하여 채널의 대역폭 응답 차이를 보정해 주는 방법을 발표 하였다.

하지만 기존의 논문들에서 발표한 기법들은 다소 복잡한 디지털 신호 처리 기법을 사용하였고 채널수가 2개일때로 국한하여 연구를 전개하였기 때문에, 채널수가 다수인 실제 TIADC에 적용하여 구현 가능한지의 여부에 대한 의문점이 남아 있다.

제 3장 결론

GHz이상의 광대역 신호를 고품질로 양자화하고자 하는 노력은 새로운 응용분야의 지속적인 등장과 더불어 계속 되고 있다. 광대역 ADC 시스템의 구현에 적합한 TIADC는 그 설계 및 운용의 복잡도가 높고 아날로그, RF, 디지털, 알고리즘 기술이 유기적으로 협력되어야 하기 때문에 기술적인 진입 장벽이 아주 높다.

하지만 이러한 TIADC를 이용한 시스템은 고성능 이미징/레이더 시스템이나 바이오/계측기등과 같은 고부가가치 시스템에 사용될 수 있어 새로운 시장을 창출할 수 있고, 또한 고급 기반기술로서 타 분야로의 파급효과가 굉장히 크다. 그러므로 우리나라의 대학과 기업에서도 고속 TIADC 분야의 기술에 대한 연구와 상용화가 시급하다고 여겨진다.



김진태 교수  
 소속 : 건국대학교 전자공학부  
 연구분야 : 고성능 혼성신호 IC설계 (Date Converter, 온도센서, Serial Link) 및 아날로그 CAD  
 E-mail : jintae.kim@mse.konkuk.ac.kr  
 홈페이지 : http://mse.konkuk.ac.kr

참고문헌

[1] W. C. Black Jr. and D. A. Hodges, "Time Interleaved Converter Arrays," IEEE Journal of Solid State Circuits, vol. 15, no. 12, , pp. 1022-1029, Dec 1980.

[2] Ken Poulton & Michael Flynn , "GHz ADCs: From Exotic to Mainstream", tutorial session, IEEE Custom IC Conference, Sep 19, 2009.

[3] Kurosawa, N, et. al, "Explicit analysis of channel mismatch effects in time-interleaved ADC systems," IEEE TCAS-I, vol. 48, no. 3, pp.261-271, March 2001.

[4] B. Murmann, "ADC Performance Survey 1997-2014," [Online]. Available: <http://www.stanford.edu/~murmann/adcsurvey.html>.

[5] S. Mendel, et. Al, "A Compensation Method for Magnitude Response Mismatches in Two-channel Time-interleaved ADCs", IEEE Circuit and System Conference, May 2007, pp. 3375-3378.

[6] P. Satarzadeh, et. Al, "Adaptive Semiblind Calibration of Bandwidth Mismatch for Two-Channel Time-Interleaved ADCs," IEEE TCAS-I, vol. 56, no. 9, pp. 2075-2088, Dec 2008.

# 생체 신호 수집을 위한 바이오포텐셜 Analog Front End (AFE) 설계 기술

## 1. 머리말

최근 모바일 및 웨어러블 기기는 인간과 기기 간의 보다 밀접한 상호 작용을 통한 기술 혁신을 목표로 발전하고 있으며, 기존의 스마트폰/태블릿 플랫폼을 비롯하여 시계/팔찌/목걸이/신발/안경 등 다양한 형태의 플랫폼이 시도되고 있다. 그림 1은 전형적인 생체 신호 계측 플랫폼의 예시이다. [1] 전형적인 생체 신호 계측 플랫폼에는 미세한 전기 신호를 증폭하기 위한 아날로그 프론트엔드 (Analog Front-End, AFE) 와 필터링/증폭 등을 위한 아날로그 신호 처리 (Analog Signal Processing), 저전력 ADC, DSP 및 필요에 따라 프로세싱 코어, 전원 관리 회로 및 유/무선 네트워킹 회로들이 포함된다.

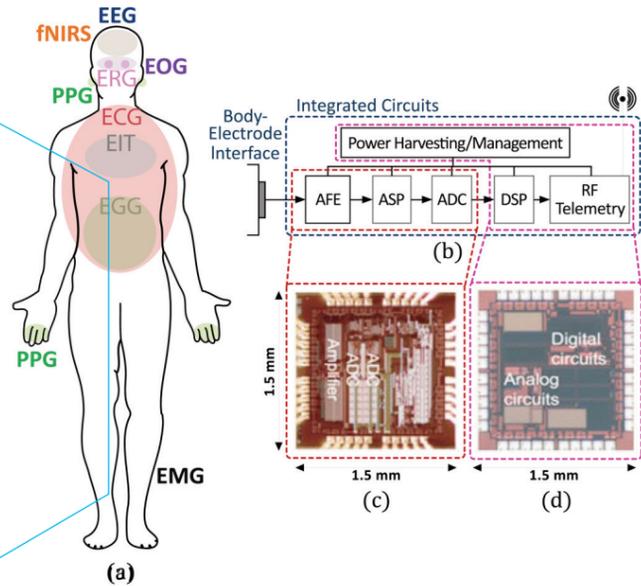


그림 1. 생체 신호 계측 플랫폼 예시 [1]

다양한 생체 신호 중 심전도 및 심박 모니터링, 뇌파를 이용한 뇌-기계 인터페이스, 혈압, 체지방, 혈당, 콜레스테롤, 산소포화도, 피부 습도, 피부 전도도, 인체 임피던스 등이 주로 주목받고 있다. 웨어러블 기기를 중심으로 주로 고려되고 있는 생체 신호는 주로 전압형, 임피던스형, 광학형으로 분류할 수 있으며, 전압형 신호에는 뇌파 (EEG, Electroencephalography), 심전도 (ECG, Electrocardiography), 안전도 (Electrooculography), 근전도 (EMG, Electromyography) 등이 포함된다. 임피던스형 생체 신호로는 EIT (Electrical impedance tomography), 체지방, 호흡 등이 포함된다.

또한 광학형 생체 신호로는 PPG (Photoplethysmography) 및 산소포화도 (SpO2) 등의 신호를 들 수 있다. 본 뉴스레터에서는 다양한 생체 신호 중 전압형 바이오 포텐셜 (bio-potential) 신호를 계측할 수 있는 다양한 구조의 아날로그 프론트엔드 회로의 설계 기술에 대하여 살펴보고자 한다.

## 2. 바이오포텐셜 계측 AFE 구조

### 2.1. 바이오포텐셜 계측 AFE 요구 사양

그림 2는 주요 바이오포텐셜 신호의 주파수 대역 및 신호 크기를 나타낸다. 뇌파(EEG)의 경우 1~100  $\mu\text{V}$  의 amplitude 와 sub-Hz ~ 100 Hz 수준의 대역폭을 가진다. 심전도(ECG)의 경우 수십  $\mu\text{V}$  ~ 수 mV 수준의 amplitude 를 보이며, sub-Hz ~ 수백 Hz 수준으로 뇌파에 비하여 신호 크기와 대역폭이 더 높은 편이다. 근전도(EMG)의 경우 수십 Hz ~ 수 kHz 의 대역폭과 수십  $\mu\text{V}$  ~ 수십 mV 까지의 대역폭을 가진다.

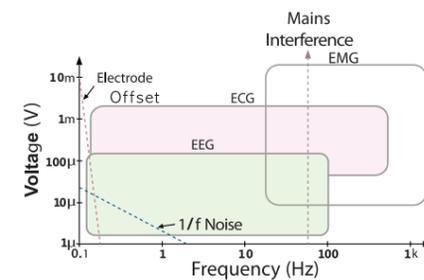


그림 2. 바이오포텐셜 신호의 주파수 대역 및 신호 크기 [1]

바이오포텐셜 생체 신호 계측 시 주로 요구되는 성능 지표들은 그림 3과 같이 정리할 수 있다. 특히 뇌파 등의 경우 신호 크기 자체가 매우 작기 때문에 처리 가능할 정도의 충분히 큰 신호를 얻기 위해서는 주로 수십 dB 에서 높게는 100 dB 수준의 높은 증폭 gain 이 필요하다. 또한 입력 환산 잡음 (input referred noise) 가 수  $\mu\text{V}$  이하로 저잡음 특성이 요구된다.

바이오포텐셜 계측 회로에서 중요한 설계 이슈 중의 하나는 증폭 회로의 주파수 특성이다. 대부분의 바이오포텐셜 신호들에서 DC 성분은 의미가 없는 경우가 많고, 계측 전극에서 발생하는 오프

셋 등을 제거하기 위하여 sub-Hz 수준의 매우 낮은 차단 주파수가 필요하다. 이러한 특성을 구현하기 위하여 일반적으로 수백 pF ~ 수 nF 수준의 큰 커패시터와 수백 MOhm ~ 수 TOhm 수준의 큰 저항을 구현하기 위한 특수한 기법들이 많이 도입된다. 또한 생체 신호 계측 전극과 인체 간의 접촉 저항 및 인체 내 저항 등으로 인하여 인체의 바이오포텐셜 전압 출력은 매우 높은 (건식 전극의 경우 수 MOhm 이상) 출력 저항을 가지며, 따라서 생체 신호 계측 회로는 신호 감쇄를 최소화하기 위하여 전극의 출력 저항보다 매우 높은 (수백 MOhm ~ 수 GOhm) 입력 임피던스가 요구된다. 또한 전원 라인의 interference 및 외부의 다양한 공통 모드 노이즈를 제거하기 위하여 높은 (일반적으로 60~100 dB 수준) 의 CMRR 이 요구된다.

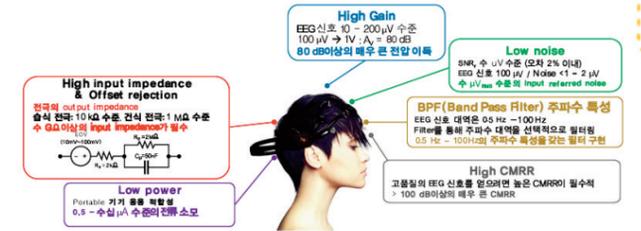


그림 3. 바이오포텐셜 계측 회로의 주요 요구 사항

### 2.2. Large time constant 구현 방법

바이오포텐셜 계측 회로는 기본적으로는 전형적인 bandpass amplifier 이나, bandpass 의 cut-off frequency 가 sub-Hz 수준으로 매우 낮다는 특징이 있다. 제한된 면적에서 fully integrated 생체 신호 계측 회로를 구현하기 위해서는, 매우 큰 면적의 R 과 C 가 요구된다. 일반적인 passive 저항으로는 수 GOhm 수준의 저항과 수 nF 수준의 커패시터를 구현할 수 없기 때문에, 대부분의 경우 pseudo resistor 또는 switched capacitor resistor 를 주로 사용한다.

Pseudo resistor 는 일반적으로 수백 MOhm 에서 수 TOhm 수준의 저항값을 가지며, 기본적으로 그림 4와 같은 형태로 PMOS 의 D-G 를 연결하고, S-B 를 연결한 형태의 MOS-Bipolar 소자를 주로 사용한다. PMOS를 그림 4와 같은 형태로 연결할 경우, 동작 조건에 따라 B 노드의 전압이 A노드보다 낮을 경우 표면의 PMOS 가 동작하며, 반대의 경우 PNP 가 동작하는 구조로, MOS-bipolar 소자라 부른다.

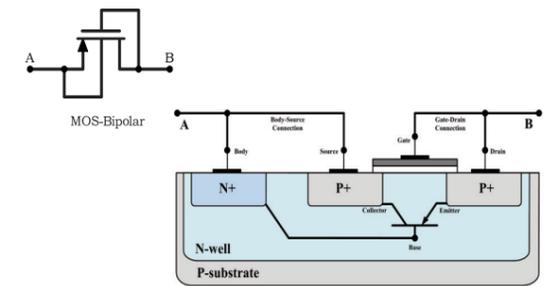


그림 4. MOS-bipolar 소자

실제 회로에서는 MOS-bipolar 소자 및 switched capacitor resistor 를 이용하여 높은 저항을 구현한 다양한 사례들이 있으며, 그림 5에 도시된 바와 같이, (a) MOS-bipolar 소자를 이용하여 pseudo resistor 를 이용한 경우, (b) 2개의 MOS-bipolar 소자를 직렬 연결한 경우, (c, d) 대칭적 MOS bipolar 소자를 사용한 경우, (e) 전압 바이어스를 이용하여 저항을 tuning 하는 경우, (f) 보다 넓은 선형적 동작 범위를 확보하기 위하여 tunable pseudo resistor 를 이용하는 경우, (g, h) switched capacitor resistor 를 이용하는 경우 등 다양한 형태로 적용되고 있다. [2-10]

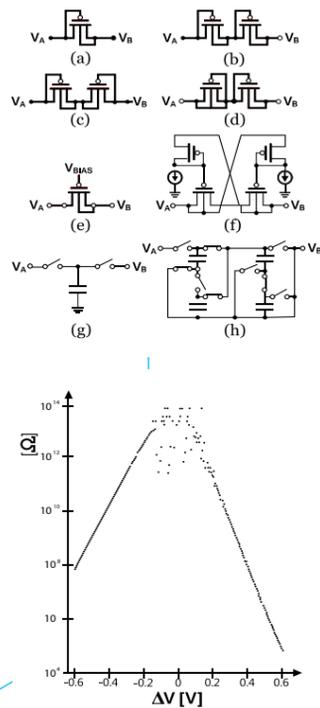


그림 5. 큰 저항을 구현하기 위한 다양한 방법 [2-10]

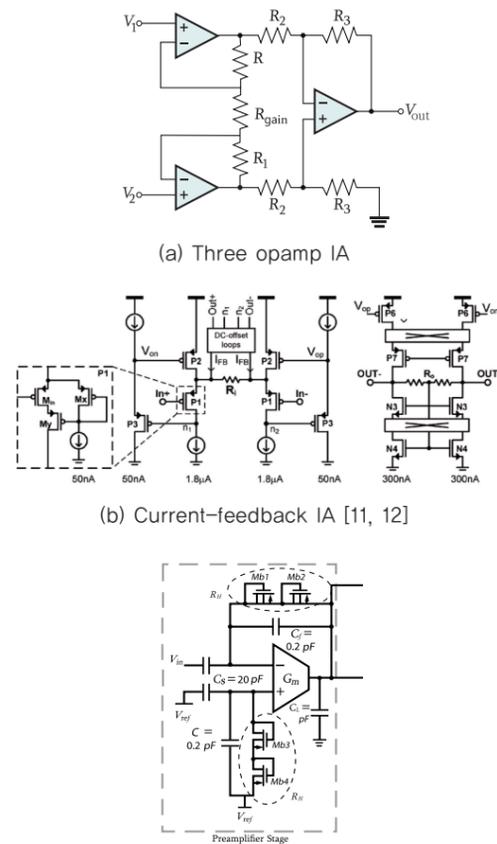
### 2.3. 계측 증폭기 (Instrumentation Amplifier, IA)

계측 증폭기는 높은 입력 저항과 높은 gain, 높은 CMRR 을 가지는 증폭기로, 바이오포텐셜 회로의 핵심적인 역할을 담당한다. 3-opamp IA 는 3개의 opamp를 이용하여 그림 6(a) 와 같은 형태로 구성된 가장 전통적인 형태의 IA 이다. 첫단의 non-inverting 증폭기와 둘째단의 차동 증폭기로 이루어지며, 높은 입력 저항과 높은 gain 을 얻을 수 있다는 장점이 있다. 그러나, 둘째 단 저항의 매칭 특성으로 CMRR 이 제한되며, opamp 가 3개가 필요하여 전력 소모가 높다는 단점이 있으나, 오랜 기간 검증된 구조로 여전히 다수의 상용 제품에 적용되고 있다.

최근 발표되고 있는 바이오포텐셜 계측 집적회로의 IA 구조는 대부분 그림 6(b) 와 같은 구조의 current-balanced IA (CBIA) 구조 또는 그림 6(c) 와 같은 구조의 capacitively coupled IA (CCIA) 구조이다. CBIA 의 경우 입력과 출력 간 피드백 패스가 없어 회로의 안정성이 보장되며, 수동 소자를 이용한 피드백이 없

기 때문에 수동 소자 간 mismatch 로 인한 CMRR 제한이 없어 높은 CMRR 을 확보할 수 있다. 또한 상대적으로 저전력 구동이 가능하다는 장점이 있다.

CCIA 의 경우 전형적인 inverting amplifier 의 구조이며, input capacitor 와 capacitive feedback 을 이용하여 gain 을 구현하기 때문에 구조적으로 high-pass 특성을 보이며, DC offset 을 제거해야 하는 생체 신호 증폭기의 특성에 잘 맞아 널리 이용된다. 그러나 입력 capacitor 및 피드백 capacitor 의 mismatch 로 인하여 CMRR 제한된다. [11-14]



(c)Capacitive feedback IA (AC coupled IA) [13, 14]

그림 6. 계측 증폭기 구조

### 3. 맺음말

본 뉴스레터에서는 생체 신호 계측용 바이오포텐셜 아날로그 프론트엔드의 구조와 특징 및 AFE 설계 시의 고려 사항에 대하여 검토하였다. 생체 신호, 특히 바이오포텐셜 신호의 특성 상 높은 입력 임피던스와 높은 gain 및 높은 CMRR 이 요구되며, 또한 동적인 신호 계측 상황을 고려하면 다양한 형태의 동작 잡음 (motion artifact) 을 제거할 수 있는 기술이 요구된다. 또한 미세 신호를 증폭해야 하기 때문에, 낮은 입력 잡음을 구현하기 위한 저잡음 설계 기법에 대한 고려가 필수적이다.

### [참고문헌]

[1] M. Mollazadeh, K. Murari, G. Cauwenberghs, and N. V. Thakor, "Wirelessmicropower instrumentation for multimodal acquisition of electrical and chemical neural activity," IEEE Trans. Biomed. Circuits Syst., vol. 3, no. 6, pp. 388-397, Dec. 2009.

[2] T. Delbruck and C. A. Mead, "Adaptive photoreceptor with wide dynamic range," in Proc. IEEE Int. Symp. Circuits Syst., 1994, vol. 4, pp. 339-342.

[3] J. L. Bohorquez, M. Yip, A. P. Chandrakasan, and J. L. Dawson, "Abiomedical sensor interface with a sinc filter and interference cancellation," IEEE J. Solid-State Circuits, vol. 46, no. 4, pp. 746-756, Apr. 2011.

[4] R. R. Harrison and C. Charles, "A low-power low-noise CMOS amplifier for neural recording applications," IEEE J. Solid-State Circuits, vol. 38, no. 6, pp. 958-965, Jun. 2003.

[5] H. Wu and Y. P. Xu, "A 1V 2.3μW biomedical signal acquisition IC," in Proc. IEEE Int. Solid-State Circuits Conf. Digest Tech. Papers, 2006, pp. 119-128.

[6] F. Zhang, A. Mishra, A. G. Richardson, and B. Otis, "A low-power ECoG/EEG processing IC with integrated multiband energy extractor," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 58, no. 9, pp. 2069-2082, Sep. 2011.

[7] W. Wattanapanitch, M. Fee, and R. Sarpeshkar, "An energy-efficient micropower neural recording amplifier," IEEE Trans. Biomed. Circuits Syst., vol. 1, no. 2, pp. 136-147, Jun. 2007.

[8] R. H. Olsson, D. L. Buhl, A. M. Sirota, G. Buzsaki, and K. D. Wise, "Band-tunable and multiplexed integrated circuits for simultaneous recording and stimulation with microelectrode arrays," IEEE Trans. Biomed. Eng., vol. 52, no. 7, pp. 1303-1311, Jul. 2005.

[9] M. S. Chae, Z. Yang, M. R. Yuce, L. Hoang, and W. T. Liu, "A 128-channel 6mW wireless neural recording IC with spike feature extraction and UWB transmitter," IEEE Trans. Neural Syst. Rehabil. Eng., vol. 17, no. 4, pp. 312-321, Aug. 2009.

[10] N. Verma, A. Shoeb, J. Bohorquez, J. Dawson, J.

Gutttag, and A. P. Chandrakasan, "A micro-power EEG acquisition SoC with integrated feature extraction processor for a chronic seizure detection system," IEEE J. Solid-State Circuits, vol. 45, no. 4, pp. 804-816, Apr. 2010.

[11] N. Van Helleputte, S. Kim, H. Kim, J. P. Kim, C. Van Hoof, R. F. Yazicioglu, "A 160μA Biopotential Acquisition IC With Fully Integrated IA and Motion Artifact Suppression," Biomedical Circuits and Systems, IEEE Transactions on, vol. 6, no. 6, pp. 552-561, Dec. 2012.

[12] Van Helleputte, Nick, et al. "A 160 Biopotential Acquisition IC With Fully Integrated IA and Motion Artifact Suppression." Biomedical Circuits and Systems, IEEE Transactions on 6.6 (2012): 552-561.

[13] X. Zou, W.-S. Liew, L. Yao, Y. Lian, "A 1V 22μW 32-channel implantable EEG recording IC," IEEE International Solid-State Circuits Conference, vol. no., pp. 126-127, 7-11 Feb. 2010.

[14] C. Qian, J. Parramon, E. Sanchez-Sinencio, "A Micropower Low-Noise Neural Recording Front-End Circuit for Epileptic Seizure Detection," IEEE Journal of Solid-State Circuits, vol. 46, no. 6, pp. 1392-1405, June 2011.



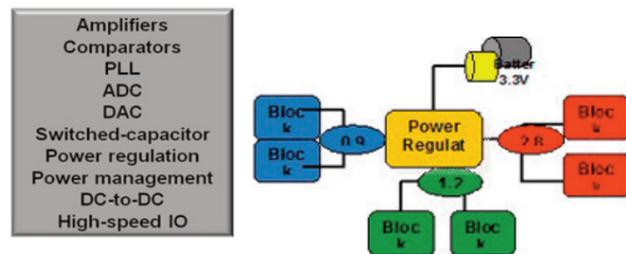
고형호 교수  
소속 : 충남대학교 전자공학과 조교수  
(Integrated Circuit Design Lab.)  
주 연구 분야: 아날로그 집적회로, 센서 인터페이스  
E-mail: hhko@cnu.ac.kr

# Mentor사 ADiT & Tessent

## 10-9. Mentor사 ADiT

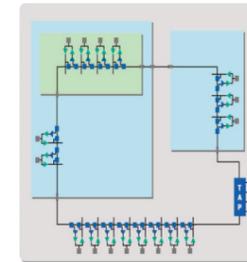
- A. 목적**  
Circuit Fast SPICE Simulation
- B. 구분**  
Mentor사의 ADiT는 빠른 아날로그 시뮬레이터로 대용량의 Circuit을 빠르게 검증
- C. Supported Platform and O/S System**
- RedHat 7,8,9
  - Red Hat Enterprise (32/64bit) Linux 4,5,6
  - Linux SLES 10/11 (32/64bit) Linux
  - Window 7/ Vista/ XP 32bit
- D. 특성 및 기능**
- What is ADiT?
  - Alleviate SPICE bottleneck
    - Speedup SPICE Simulation by 3X - 100X
    - Allow more Circuits in Transistor Level
    - Eldo, HSPICE and SpectreDevice Model and NetlistCompatible
  - Verilog-A/Verilog-AMS Support
    - Verilog-A → Analog Portion of Verilog-AMS
    - Verilog-AMS → Digital Gates in Verilog
  - Core Technologies
    - Analog/Mixed-Signal (AMS) aware Partitioning
      - Preserves tight Circuit Feedback Loops
      - Opamp, PLL, ADC/DAC
    - Charge-Conserved Device Models
      - Improves Accuracy of Devices
      - Switched capacitor, ADC/DAC
    - Algorithms for Derived Power Rails (VDD/VSS)
      - Improves Performance on these Circuits
      - Power regulation and management
  - ADiTFeatures Highlights
  - Circuit Checks:
    - High Impedance Node Check
    - Hi-Z Induced Leakage Current Check

- MOS Device Current Check
- Node Current Check
- User-Defined Reliability Model (Aging Simulation)
- Save and Restart
- Post-layout Simulation
  - DSPF Annotation
  - RC Reduction using RCLK Method
- EldoCompatibility
  - Support for Eldo Analog and Digital Macro-Models
  - EldoEncryption Support
  - Eldo Safe Operating Area
- .MEAS & .EXTRACT Post-Processing
- Monte Carlo Analysis
- I/O Test Vector and VCD
- Initialization File, adit.ini
- Mixed-Signal Verification with Questa ADMS
  - ADiT-VPI Interface allows the Integration with other Digital Simulators



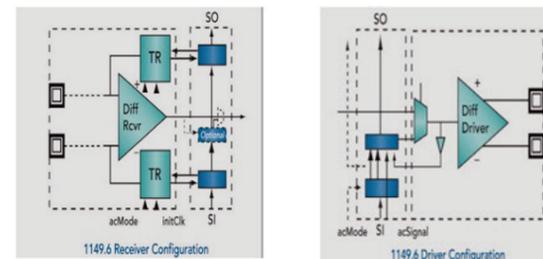
## 10-10. Mentor 사 Tessent

- A. 목적**  
Design For Test (DFT)
- B. 구분**  
Mentor Graphics 사의 Tessent는 생산된 Wafer 상의 Chip에 대한 양품 불량 검사를 위한 DFT 설계분야의 Solution으로 Logic Test, Memory Test, Mixed-Signal Test 등을 제공하며 BoundaryScan, Diagnosis, FastScan, IJTAG, LogicBIST, MemoryBIST, PLLTest, SerdesTest, SiliconInsight, SoCScan, TestKompress, YieldInsight 등의 Tool들로 구성
- C. Supported Platform and O/S System**
- Red Hat Enterprise Linux (RHEL) 4, 5 and 6 64bit
  - SUSE Linux Enterprise Server (SLES) 10 and 11 64bit
- D. 특성 및 기능**
1. TessentBoundaryScan  
TessentBoundaryScan은 IEEE1149.1 표준 Boundary Scan 지원하며, 어떤 Size나 복잡성을 갖는 IC라도 자동으로 처리한다. Boundary Scan Logic은 IC의 수명이 다할 때까지 Access될 수 있다. 또한, 모든 Package Level, Silicon Debug, 그리고 System Verification에서 생산 Test를 포함한다.



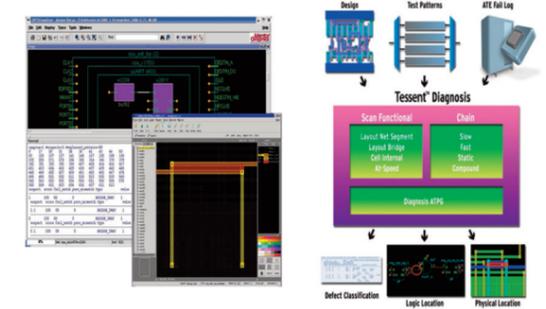
계층적인 TessentBoundaryScan 기반

TessentBoundaryScan은 아래 그림과 같이 선택적으로 IEEE 1149.6 표준도 지원한다.



## 2. Tessent Diagnosis

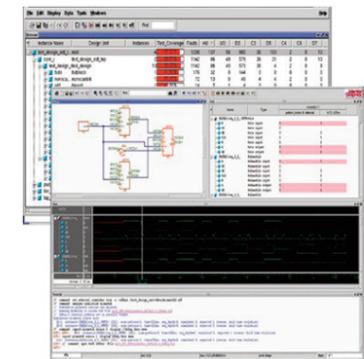
Tessent Diagnosis는 결함에 대해 가장 예상되는 문제점 Mechanism, Logic Location 그리고 Physical Location에 대한 결함에 있어 가장 예상되는 문제점을 밝혀내기 위한 정밀하고 세밀한 Test 문제점 진단을 수행한다. 이 Tool은 생산 Test, Scan Test Patterns 그리고 설계 정보로부터의 오류 Data를 사용한다. Tessent Diagnosis는 이 data를 분석해서 해당 오류의 원인이 되는 결함의 위치와 유형을 찾아낸다. 이는 Diagnosis가 구동하는 수율과 오류분석에 대한 기반을 만들어낸다.



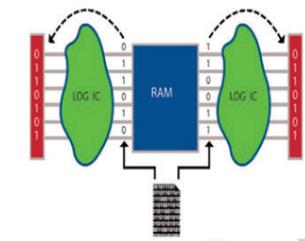
Tessent Diagnosis는 생산 Test 오류의 원인인 결함을 분류하고 위치를 알아낸다.

## 3. TessentFastScan

TessentFastScan은 Fault Model, 종합적인 Design Rule Check, 광범위한 Clocking 지원 그리고 ATPG Tool을 가장 다양하게 활용할 수 있게 하는 Pattern 간결화 Algorithm의 폭넓은 범위를 갖는 ATPG Solution이다.



시험 가능성을 수집하는 Interface



MacroTest는 Array 주변에 Memory Test Logic 추가 없이 작은 Embedded Register Array에 대한 Test를 생성한다.

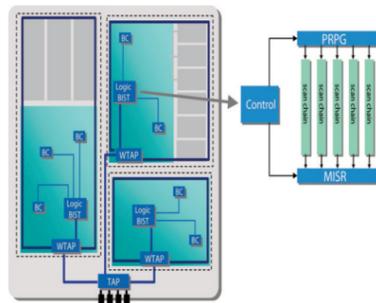
#### 4. Tessent IJTAG

Tessent IJTAG는 Plug-and-Play IP 통합을 위해 최근에 만들어진 IEEE P1687 표준을 지원하기 위한 자동화를 제공한다.

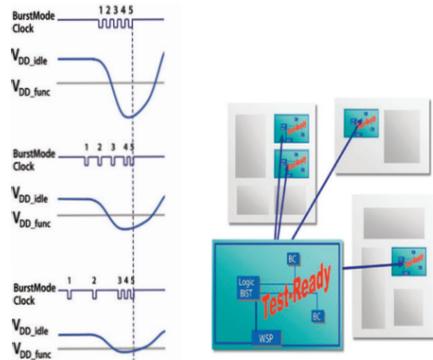
Tessent IJTAG는 통합, 계층적인 Network에 Single Access Point로부터 Block에 명령들을 송수신하기 위한 IEEE P1687을 따르는 여러 IP Block들을 연결하는 과정을 단순화한다. 이는 IP 공급자뿐만 아니라 Chip Designer와 Test Engineer들이 표준을 준수하고, 1687 표준을 따르는 IP를 통합하면서 효과적으로 동작하도록 사용될 수 있다.

#### 5. TessentLogicBIST

TessentLogicBIST는 집적 회로의 Digital Logic Component들을 Test하기 위한 Built-In Self-Test Solution이다. Test Quality는 최대화하면서 Test 비용은 줄이고 개발 기간은 더 짧게 하기 위한 Nanometer SoC Design을 겨냥한 특별한 기능을 포함한다.



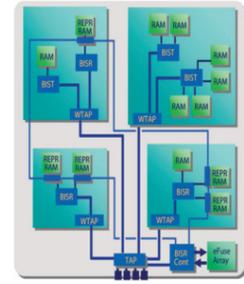
TessentLogicBIST의 계층적 Architecture



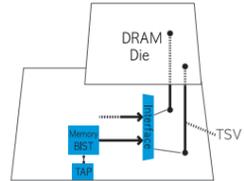
Test-ready Core는 Design을 서로 바꿀 필요 없이 재사용될 수 있다.

#### 6. TessentMemoryBIST

TessentMemoryBIST는 At-speed Testing, Diagnosis, 그리고 Embedded Memory의 수정 등에 대한 완벽한 Solution을 제공한다. 이 Solution의 Architecture는 계층적이고, BIST를 지원하며 그리고 Self-repair 기능을 개개의 Core뿐만 아니라 Top Level에 추가한다.



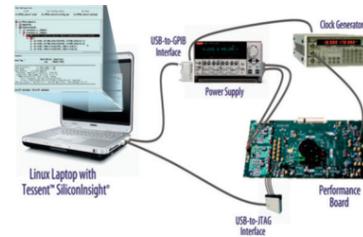
TessentMemoryBIST의 계층적 기반



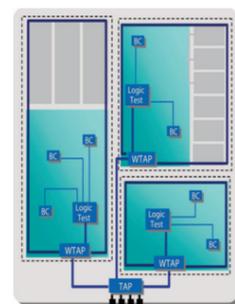
3D-IC 지원, DRAM Die용 Test Interface는 Logic Die 위에 적층

#### 7. TessentSiliconInsight

TessentSiliconInsight는 Test 및 Debug와 Tessent BIST 기능을 포함하는 Device의 Silicon Characterization에 대한 자동화된 대화형 환경을 제공한다. Chip 설계자와 Test Engineer에 대해 Silicon Validation과 Debug, Time-to-market에의 빠른 대응으로 탁월하게 생산성을 향상시킬 수 있다. TessentSiliconInsight는 Benchtop 환경으로써 대화형 Debug와 Characterization을 사용하여 Test하고 Silicon을 완성하는 시간을 줄인다.



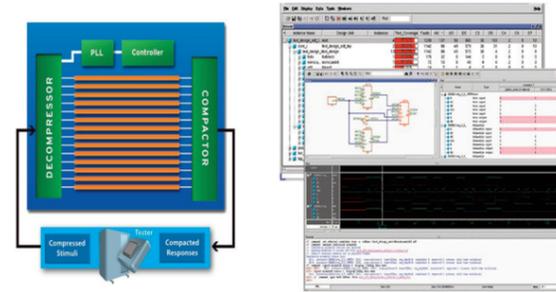
TessentSiliconInsight의 대화형 환경



TessentSiliconInsight는 Block Level Debug를 가능하게 한다.

#### 8. Test TestKompress

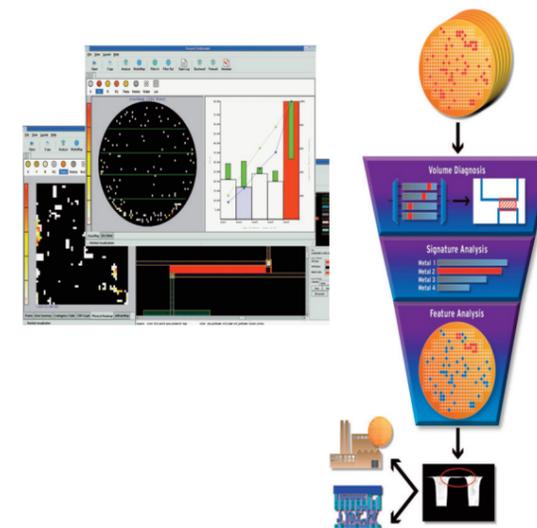
TessentTestKompress는 가장 낮은 Test 비용으로 최고 품질의 Scan Test를 제공하는 ATPG (Automatic Test Pattern Generation) Tool이다. TestKompress는 전체 Logic Design에 효과적인 Fault Model을 적용하는 업계에서 검증된 ATPG Engine을 사용한다. Embedded Deterministic Test (EDT)로 불리는 수상 경력의 Test Pattern 압축 테크닉은 생산 Test 비용을 절감한다.



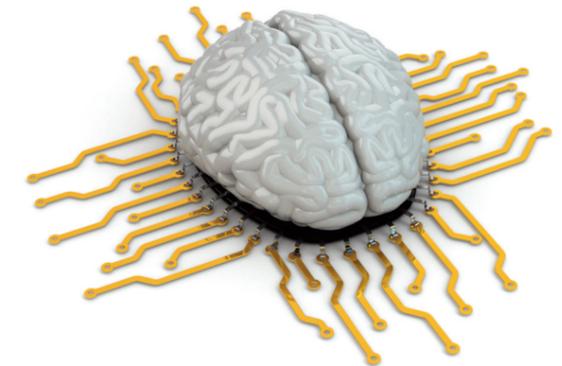
TessentTestKompress는 Test 시간과 Test Data 양을 줄이는 동안 Test 품질을 최상급으로 달성할 수 있도록 Embedded 결정적 Test 기술을 사용한다. 오른쪽은 시험 가능성 문제들을 바로잡기 위한 Interface 화면이다.

#### 9. TessentYieldInsight

TessentYieldInsight는 불량 분석 전에 진단 Data를 확인하고 체계적 수율 제한기를 구분하기 위해 통계학적으로 분석한다. 비용적으로 물리적인 위치 측정에 대한 요구를 제거하고 수율 저하의 근본 원인 규명을 위한 시간을 몇주에서 며칠로 줄인다. 불량 분석을 위한 Die의 선택은 확인된 체계적인 Issue를 바탕으로 명확히 나타나는 Die를 자동으로 확인하여 가속화된다.



진단-구동 수율 분석 Flow는 제품 Test 진단과 통계 분석을 포함한다.





회사명 : Mentor Graphics  
(Subsidiary of Ansys Inc.)  
웹 주소 : <http://www.mentorkr.com/>  
한국지사 : 한국멘토  
전화 : 031) 8061-0790  
주소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동)  
판교 미래에셋센터 7층

# 전력 반도체 원천기술 확보에 도전하다.

전력 반도체는 전력의 변환, 변압, 안정, 분배 및 제어 등 날로 복잡해지고 가혹해지는 전자 장치의 작동환경에서 최상의 퍼포먼스를 유지하기 위한 반도체로써 모바일 기기 증가와 전기자동차 개발과 맞물려 적용 범위가 확대되는 추세이다. 하지만 국내 전력 반도체 기술은 해외 수준에 미치지 못하고 있는 게 현실이다. 이를 극복하기 위해 새로운 구조의 전력 반도체 소자 연구를 통해 원천기술 확보를 목표로 연구에 매진하고 있는 전남대학교 이명진 교수를 만나 보았다

전력 반도체 원천기술 확보를 위하여 전남대학교 전자컴퓨터공학부에서 재직 중인 이명진 교수는 현재 전력 반도체 구조 연구를 수행하고 있다. 앞으로 전압형 HVDC와 같은 송배전 시스템에서 전력 반도체 구조 중 IGBT, IGCT 등의 구조를 적용이 활발해질 것으로 예측되고 있지만, 현재 전력 반도체의 국내 기술은 해외 기술 수준에 미치지 못하고 있는 현실이다. 이를 극복하기 위해 이명진 교수는 새로운 구조의 전력 반도체 소자 연구를 통해 원천기술 확보를 목표로 연구에 매진하고 있다.

이명진 박사의 말에 따르면 전력산업은 한동안 안정기를 거쳐왔고, 최근 에너지가 주된 산업의 분야 중 하나로 떠오르고 있다고 한다. "전력과 관련된 산업 및 연구가 다시 성장하는 시점에서, 전력 반도체 분야는 메모리 반도체 산업에 이어, 대한민국이 가장 잘 연구하고, 산업화할 수 있는 분야 중 하나라고 생각합니다."



이명진 교수  
전남대  
전자컴퓨터공학부

- 문의 : 전남대학교 공과대학 집적소자 및 회로 연구실
- 전화 : 062-530-1810
- E-mail : mjlee@jnu.ac.kr
- <http://ece.jnu.ac.kr/user/indexMain.action?siteId=ece>

## ● 인생의 터닝포인트가 되어준 두 분의 멘토

대부분 사람은 대학 학부 과정 동안 다양한 분야를 접하게 된다. 이명진 교수 역시 다양한 분야를 접하는 과정에 친형의 권유로 반도체에 관심을 두게 되었다고 한다. "반도체 분야에서 학위를 받고 SK하이닉스 반도체에 근무하는 친형의 권유가 있었어요. 그리고 뛰어난 학문적 성과와 기업(현 SK하이닉스 반도체)에서의 탁월한 실무 능력을 갖추신 박영준 교수님께 가르침을 받게 되었죠." 두 분의 좋은 멘토를 통해 이명진 교수는 반도체를 알게 되었고 조금씩 자신이 성장하는 희열을 통해 반도체 분야에서 능력을 키우고 싶다는 열정을 갖게 되었다고 한다.

이명진 교수는 석.박사 과정 중에는 반도체소자 물리, 차세대 반도체 구조 제안 및 제작, 디램 회로 설계 등의 연구를 진행했다고 한다. 이 과정에서 멘토이신 박영준 교수님의 가르침에 대한 일화를 하나 말해주었다. "석사과정 지도교수이신 박영준 교수님께서 저의 석사과정 졸업논문의 연구결과를 이미 석사 1년 차 연구 시작 시절부터 알고 계셨구나 하는 것을 제가 박사과정이 되어서 느꼈습니다." 이명진 교수의 말은 이랬다. 박영준 교수는 학생이 수동적으로 능력을 성장시키는 것이 아니라, 스스로 문제를 해결하고 새로운 방법을 제시하도록 유도하는 연구 지도를 해주셨다고 한다. 즉 연구의 성과만 따졌을 때는 학생 개인의 연구능력 개발보다는 지금의 결과가 중요할 수도 있지만, 후학 양성의 입장에서, 스스로 문제를 해결할 수 있는 능력을 길러주기 위해 노력하는 것이 얼마나 중요한 것인지를 깨달았다고 한다.

## ● 항상 자신의 현재에 만족하지 말자

이명진 교수는 「항상 자신의 현재에 만족하지 말자」를 신조로 삼고 연구에 임한다고 한다. "현재 나 자신을 돌아보며, 내가 정체되어 있는가를 판단해 보고, 나 자신을 업그레이드시키도록 노력하는 자세를 가지려 애씁니다." 그러면서도 연구 시스템 및 함께 할 연구 인력 부족에 대해 어려움을 토로하기도 했다 "과거 학생, 혹은 큰 조직 연구원의 입장에서 연구를 수행할 때와는 많이 다른 거 같아요. 이제 시작하는 단계라서 그렇겠지만, 저 스스로 조직을 꾸리고 이끌어 나가는 입장이 되다 보니, 많은 것이 부족하고 어렵네요. 그러다 보니 좋은 아이디어로 기업 프로젝트를 진행하여, 함께할 학생 연구 인력 양성을 꾀하는 것이 가장 좋은 해결책이자, 목표가 되었습니다." 또한, 그는 후배와 독자들에게 조언도 아끼지 않았다. "제가 석사 과정 때는 꼭 어느 분야를 연구해야 한다는 그런 생각이 있었습니다."

그 당시에는 그게 옳은 생각이라 여겼었지만, 석사, 박사, 그리고 대기업 엔지니어, 특허청 사무관의 다양한 경험을 통해 새롭게 드는 생각이 한 가지는 아주 잘해야 하고, 가능하면, 그러한 잘 키워진 능력을 기반으로 다양한 분야의 능력을 키우는 것이 중요하다고 생각합니다. 물론 기본적인 분야에서 일정 수준의 능력을 키우지 못한다면 큰 문제이지만, 한 분야에서 키운 능력을 계속해서 고집하지 말고, 연구 측면에선 산업 측면에선 그 분야를 조금씩 변경해가며 능력을 넓혀 가는 것이 매우 중요하고, 그런 능력을 갖춘 사람이 학계나 기업에서 성공할 수 있는 인재상이 아닌가 생각합니다. 이러한 인재상이 되기 위해서는 끊임없이 자신을 발전시키려는 그런 신념을 확고하게 가지며 살아가는 것이 중요할 것 같습니다."

## ● 전자 공학의 기본인 반도체

PC에서 핸드폰, 스마트폰 등으로 전자 산업의 hot 아이템이 변화하고 있다. 이러한 애플리케이션을 변화할 수 있게 한 것이 바로 반도체 산업이라고 이명진 교수는 말한다. "반도체는 학문적 관점, 산업적 관점에서 봤을 때도 전자공학 분야 중 가장 기본이예요." 그리고 그는 반도체는 전자공학 중 하나의 분야이지만, 그 내부를 살펴보면, 아주 다양한 분야가 있다면서, 전력 반도체에 대한 자부심과 함께 지금보다 많은 경험을 쌓고 싶다는 목표 의식도 전했다. "현재 반도체 산업으로 꽃피고 있는 메모리 분야뿐 아니라, 제가 최근 연구하는 전력 반도체 분야가 주목을 받을 거라 생각합니다. 또한, 미래의 바이오 반도체 산업이 대한민국을 이끌어갈 산업 중 하나가 아닐까 생각합니다. 반도체 공학의 기본을 잘 쌓고, 반도체 공학의 여러 분야 중 어느 한 분야에서 성과를 낼 수 있다면, 또 다른 분야에서도 성과를 낼 수 있다고 생각하고, 그런 연구자가 뛰어난 엔지니어이며, 학자라고 생각합니다."

이명진 교수의 말에 따르면 전자산업의 기본인 대량생산을 가능하게 하는 기술이 바로 반도체고 반도체 물리의 기본 하에 반도체 기술이 적용되는 애플리케이션에 따라 다양한 영역으로 무궁무진하게 펼쳐질 것이라고 한다. 이처럼 다양한 반도체 분야에 도전을 앞둔 그의 포부 앞에 밝은 반도체의 미래를 그려 본다.

