

IDEC
newsletter

VOL. 216
June 2015

IDEC Newsletter | 통권 제216호

◎ 발행일 2015년 05월 29일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인
◎ 기획 전항기 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://idec.or.kr>
◎ E-mail jrg0229@idec.or.kr ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 동부하이텍, 앰코테크놀로지코리아, KEC, 에이티세미콘, TowerJazz)의 지원으로 수행되고 있습니다.

VOL. 216 JUNE 2015

MPW (Multi-Project Wafer) 2015년 MPW 진행 현황

| 공정 | 회차구분 (공정_년도순서) | 모집칩수 ((mmxmm)x 칩수)/회별 | 정규모집 신청마감 | 참여칩수 ((mmxmm)x칩수) | DB 마감 | Die-out | 비고 |
|-----------|-------------------|-----------------------------|--------------|------------------------------|------------|------------|--------------------|
| 삼성 65nm | S65-1501 | (4x4) | 2014.12.29 | (4x4)x 38 | 2015.06.15 | 2015.12.14 | 설계중 |
| | S65-1502 | x48 | 2015.04.20 | (4x4)x 28 | 2015.10.19 | 2016.04.19 | 설계중 |
| | S65-1503 | | 2015.06.22 | (4x4)x 9 | 2016.01.18 | 2016.07.18 | 정규모집예정 |
| MS 0.18um | MS18-1501 | (3.8x3.8) x25 | 2014.12.29 | (3.8x3.8)x17 (3.8x1.9)x16 | 2015.03.02 | 2015.08.03 | 칩제작중 |
| | MS18-1502 | | 2015.01.26 | (3.8x3.8)x20 (3.8x1.9)x7 | 2015.05.11 | 2015.10.12 | 칩제작중 |
| | MS18-1503 | | 2015.02.23 | (3.8x3.8)x19 (3.8x1.9)x6 | 2015.07.13 | 2015.12.14 | 설계중 |
| | MS18-1504 | | 2015.03.23 | (3.8x3.8)x22 (3.8x1.9)x6 | 2015.09.07 | 2016.02.01 | 설계중 |
| | MS18-1505 | | 2015.05.26 | (3.8x3.8)x20 (3.8x1.9)x1 | 2015.12.18 | 2016.05.09 | 설계중 |
| MS 0.35um | MS35-1501 | (5x4)x20 | 2015.01.26 | (5x4)x18 (5x2)x4 | 2015.06.08 | 2015.09.29 | 설계중 |
| | MS35-1502 | | 2015.07.20 | 5x4)x9 | 2016.01.11 | 2016.04.30 | 정규모집 예정 |
| TJ SiGe | TJS18-1501 | (2.35x2.35)x4 | 2014.12.29 | (2.35x2.35)x3 | 2015.04.27 | 2015.09.15 | DB 마감연기 (-6.29) |
| TJ CIS | TJC18-1501 | (2.35x2.35) | 2015.01.26 | (2.35x2.35)x4 | 2015.06.15 | 2015.10.23 | 제작중 |
| | TJC18-1502 | x4 | 2015.05.26 | (2.35x2.35)x4 | 2015.11.23 | 2016.03.28 | - |
| TJ BCD | TJB18-1501 | (2.35x2.35) x12-16 | 2014.12.29 | (5x2.5)x2 (2.35x2.35)x8 | 2015.03.02 | 2015.07.06 | 칩제작중 |
| | TJB18-1502 | | 2015.03.23 | (2.35x2.35)x8 | 2015.08.24 | 2015.12.28 | 설계중 |
| | TJB18-1503 | | 2015.05.26 | (2.35x2.35)x8 | 2015.11.30 | 2016.04.04 | 설계중 |

*문의: 이의숙 (042-350-4428, yslee@idec.or.kr)

- * 일정은 사정에 따라 다소 변경될 수 있음.
- * 회차 표기 방법 변경 : 공정코드-년도 모집순서 (예시) 삼성65nm 2015년 1회차 : S65-1501)
- * TowerJazz 공정은 sub chip(2.35mmx2.35mm)으로 분리하여 모집
- * 모집기간 : 모집 마감일로 부터 2주전부터 접수
- * Package 제작은 Die out 이후 1개월 소요됨
- * 기준일 : 2015. 05. 28

2015년 6월 교육프로그램 안내

수강을 원하는 분은 IDEC 홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

KAIST 개설 강좌 안내

| 센터명 | 강의일자 | 강의제목 | 분류 |
|-----|-----------|-------------------------------|------|
| 본센터 | 6월 5일 | TFT-LCD 구동 기술의 이해 및 구동 회로 설계 | 설계강좌 |
| | 6월 23일 | 생체신호 수집을 위한 저잡음 바이오포텐셜 증폭기 설계 | 설계강좌 |
| | 6월 24-26일 | 고성능 데이터변환기 설계를 위한 이론 및 실습 | 설계강좌 |

- 강좌일 : 6월 5일
- 강좌 제목 : TFT-LCD 구동 기술의 이해 및 구동 회로 설계
- 강사 : 최병덕 교수 (한양대학교)

강좌개요

TFT-LCD data driver IC의 설계는, 기본적으로 디지털 회로 및 아날로그 회로 설계 지식을 바탕으로 하지만, 이에 못지 않게 TFT-LCD system 및 구동 기술에 대한 이해도 중요하다. 따라서, 본 강의에서는 구동 기술과 구동 회로 설계에 대한 내용을 함께 강의한다.

수강대상

전자공학 전공 대학원생 또는 해당 산업체 근무자
강의수준 : 중급 **강의형태** : 이론
사전지식, 선수과목
 회로이론, 전자회로, 디지털 논리설계, 전자기학

- 강좌일 : 6월 23일
- 강좌 제목 : 생체신호 수집을 위한 저잡음 바이오포텐셜 증폭기 설계
- 강사 : 김정석 교수 (가천대학교)

강좌개요

우리 몸에서 발생하는 바이오 생체신호(EEG, ECG, EMG, ECoG)를 정확하게 증폭하기 위해서는 바이오포텐셜 증폭기의 설계가 중요함. 이를 이해하기 위해, 바이오 신호들의 종류 (신호의 세기 및 대역폭 등등)를 살펴보고, 바이오포텐셜 증폭기를 구성하고 있는 저잡음 차동증폭기의 동작원리를 이해하는 것이 선행되어야 하므로 이번 강의에서는 바이오포텐셜 증폭기 설계를 위한 저잡음 차동증폭기를 학습하고자 함.

수강대상

학부 4학년, 석사 1년차
강의수준 : 초급 **강의형태** : 이론
사전지식, 선수과목
 회로이론, 전자회로, 물리전자

- 강좌일 : 6월 24-26일
- 강좌 제목 : 고성능 데이터변환기 설계를 위한 이론 및 실습
- 강사 : 류승탁 교수 (KAIST)

강좌개요

본 강좌는 Nyquist data converter를 중심으로 동작의 기본 원리부터 시작하여 최신 설계 동향까지 다루게 된다. 먼저 ADC/DAC의 동작원리와 성능척도에 대해 소개하고, 여러 형태의 ADC 및 DAC에서 성능저하를 일으키는 요인에 대해 고찰하여 실제 설계에서 고민해야 할 점들을 이야기한다.

수강대상 : 데이터 변환기 설계를 목적으로 하는 대학원생, 직장인
강의수준 : 중급 **강의형태** : 이론+실습
사전지식, 선수과목
 학부 전자회로 지식을 필수로 함.

*문의 : KAIST IDEC 오기영 (042-350-8536, oky0818@idec.or.kr)



인공시각장치의 연구동향

1. 서론

사람의 눈의 구조와 시각의 인식과정은 카메라와 닮아 있어서 빛을 모으는 카메라의 렌즈에 해당하는 각막과 수정체, 빛의 양을 조절하는 조리개에 해당하는 홍채, 그리고 빛 정보를 전기신호로 변환하는 이미지센서에 해당하는 망막으로 이루어져 있다 (그림 1). 이 중에서 망막(retina)은 그림 1에 표시된 바와 같이 눈의 가장 안쪽의 내벽을 구성하는 얇은 조직으로서 여러 층의 신경세포로 이루어져 있다. 제일 뒤편에 있는 광수용세포(photoreceptor cells)는 빛에 반응하는 신경세포로서 입사된 빛에 따라 신경신호를 발생시키고, 이 신호는 양극 세포(bipolar cells)를 거쳐 신경절세포(ganglion cells)로 전달된다. 신경절세포에서 시작되는 신경섬유는 시신경을 통해 뇌의 시각피질로 전달되어 우리가 시각을 느끼게 되는 것이다.

망막은 외부의 빛에 반응하여 신경신호를 발생시켜서 인간이 시각을 인지하게 하는 중요한 조직이지만 망막 변성 질환으로 인해 시력을 잃게 되는 경우가 있다. 망막색소변성(Retinitis Pigmentosa) 및 연령성황반 변성(Age-related Macular Degeneration) 등이 광수용세포의 손상으로 인해 시력에 손상을 주거나 시력을 영구히 잃게 되는 대표적인 질환으로서, 현재로서는 이들 망막 변성 질환에 대해서 질환의 진행을 늦추는 것 이외에 뚜렷한 치료법이 없는 상태다.

이에 대한 해결책으로 최근 망막 질환으로 인한 시각 장애 환자의 시력을 회복시키기 위한 인공시각 장치(Artificial Retina 혹은 Retinal Prosthesis)에 대한 연구가 활발히 진행되고 있다 [1-4]. 망막색소변성이나 연령성황반 변성으로 인해 망막의 광수용세포가 심각하게 손상된 시각장애인이라 할지라도 망막의 나머지 신경조직과 시신경, 시각피질 등 시각정보를 전달처리하는 조직은 비교적 온전히 보존

되어 있다는 것이 밝혀졌다. 따라서 인공시각장치는 손상된 광수용세포의 역할을 대체하기 위하여 망막에 필름형태의 전극어레이를 삽입한 후 (그림 2) 외부 영상과 연관된 전기 자극을 망막 세포에 가함으로써 대뇌까지 시각정보를 전달하여 시각을 유도하는 것을 목표로 한다. 외부영상에 따른 자극패턴을 망막에 전달하기 위한 방법으로는 외부카메라를 이용한 방법과 포토다이오드를 이용한 방법이 있다. 현재 미국과 독일의 연구그룹에서는 각각 외부카메라와 포토다이오드에 기반한 인공시각장치 시제품을 개발하여 시각장애인을 대상으로 임상시험을 진행하고 있으며, 최근 각각 미국 FDA와 유럽 CE마크 인증을 획득하였다. 초기 임상시험에서 환자들은 눈 앞의 커다란 알파벳 글자를 인식하거나 사물의 전체적 윤곽을 파악할 수 있는 정도의 인지능력을 보였다[3, 5].

따라서 본고에서는 인공시각장치의 시스템 구조 및 회로설계의 특성을 살펴보고 최신 연구동향 및 임상시험 결과를 살펴보고자 한다. 또한 국내에서 이루어지고 있는 새로운 인공시각장치에 대한 연구결과를 소개하고 본 분야의 현재 어려움에 대한 고찰 및 앞으로의 연구전망에 대해서 토의하고자 한다.

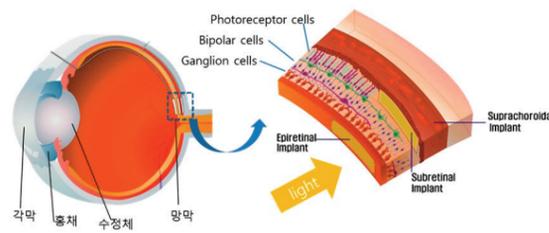


그림 1 눈의 구조 (좌) 및 망막의 구조와 전극 삽입 위치 (우)

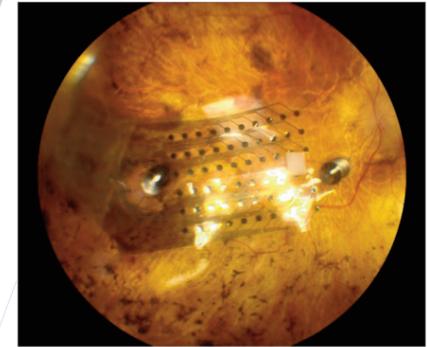


그림 2 망막에 삽입된 전극 어레이의 모습 (출처: www.2-sight.com)

2. 본론

2.1. 인공시각장치의 구성

외부카메라를 이용하는 인공시각장치의 일반적인 구성은 그림 3과 같다. 안경에 부착된 카메라를 통해 획득된 외부영상은 신호처리기를 거쳐 거처 자극 패턴, 자극 세기 등의 명령을 담은 신호로 변환되고 무선 전송을 위해 증폭되어 송신코일로 전달된다. 안경 측면에 부착된 송신코일은 인덕티브 링크(inductive link)를 통해 안구 측면에 부착된 내부코일로 전력과 자극신호를 무선으로 전송하게 되고, 내부코일에 수신된 신호는 디코더(decoder)와 정류기 등의 회로를 거처 전력과 정보를 회복하여 전류자극회로로 전해진다. 전류자극회로는 전달된 자극명령에 따라 전류 펄스를 생성하여 망막 전극 어레이를 통해 망막신경을 전기적으로 자극하게 된다.

내부이식장치는 체내외수분에 노출되는 위험을 막기 위하여 밀봉성이 뛰어난 패키지로 보호된다. 기존에는 타이타늄 혹은 세라믹 기반의 패키지가 주로 사용되어 왔으나 최근에는 이를 대체하기 위하여 폴리머 물질을 이용한 내부이식체의 소형화 및 경량화에 대한 연구가 활발히 이루어지고 있다.

신경과 직접 접촉하여 전기자극을 전달하는 망막전극 어레이는 폴리머 박막에 미세공정기술(MEMS)을 적용하여 제작된다. 망막 전극의 삽입 위치와 수술법은 그림 1에 나타난 바와 같이 망막 위(epiretinal), 망막아래(subretinal) 및 맥락막상강(suprachoroidal) 등 크게 세가지로 분류할 수 있다. 망막위 자극은 망막 가장 위에 전극을 위치하여 신경절 세포를 자극하는 것을 목표로 한다. 목표 전극과의 거리가 가깝지만 전극을 고정하기 위한 미세 못(lack)이 필요하며 여러 층으로 이루어진 망막의 내부 신경 네트워크를 이용하지 못한다는 단점이 있다. 망막아래 자극법은 광수용세포 자리에 전극을 위치하여 양극세포를 자극한다. 못이 필요 없고 망막 내부 신경망을 이용할 수 있는 장점에 비해 수술적 어려움이 단점으로 지적된다. 맥락막 상강으로 삽입된 전극은 자극하고자 하는 신경과의 거리가 멀어지지만 수술이 비교적 안전하다는 특징이 있다.

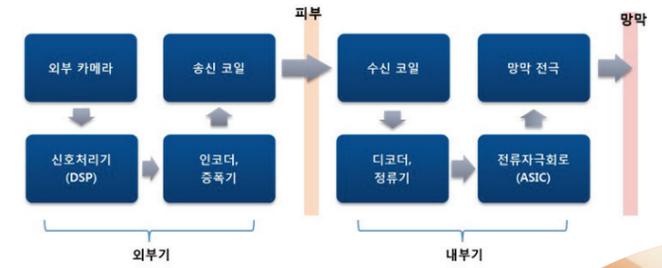


그림 3 카메라를 이용한 인공시각장치의 시스템 구성 다이어그램

2.2. 망막 자극 회로

인공망막장치의 내부이식체의 핵심은 다채널 망막 자극 전류를 생성하기 위한 전류자극 회로다. 신경 자극 시 조직 내 전하 축적을 방지하기 위해서 전하량이 균형을 이루는 이상파 방식의 전류 펄스(Biphasic pulse)를 주로 사용하는데, 그림 4는 가장 기본적인 전류 자극 생성 회로를 나타낸다. 4개의 스위치를 번갈아 on/off 하여 전류 I이 'Ch'(channel)과 'Re'(reference) 사이의 신경조직으로 흐르는 방향과 펄스 폭, 펄스 주기를 조절하고 동일한 구조로 2차, 4차 등 지속적으로 증가하는 전류소스를 가진 생성회로를 병렬 연결하여 전류의 세기를 제어하는 방식이다.

인공시각장치에 사용된 전류자극회로의 블록다이어그램 및 칩사진은 그림 5에 나타낸 바와 같다. 인덕티브 링크를 통해 체외에서 전달된 전력과 정보를 수신하여 자극명령에 따라 16채널 전극 어레이에 자극펄스를 전달한다. 본 회로는 펄스 크기 10μA~10mA, 펄스 폭 0~6ms, 펄스 빈도 2~30Hz의 신경 자극 펄스를 생성할 수 있게 설계되었다. 전류 자극 시 소모 전력은 20~40mW이다.

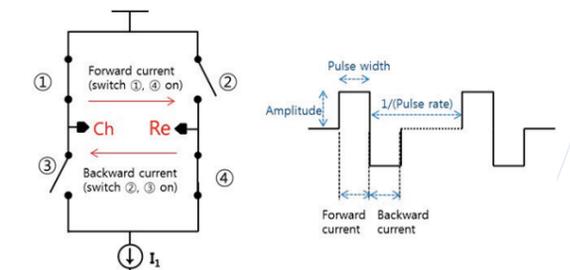


그림 4 이상파 방식의 자극 전류 펄스(Biphasic pulse) 생성 회로 및 자극 펄스의 파라미터



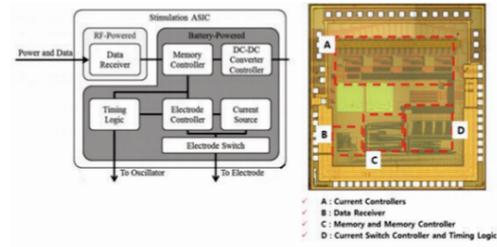


그림 5 다채널 망막 자극을 위한 전류펄스 생성회로(ASIC)의 블록 다이어그램 (좌) 및 칩 사진 [6]

2.3. 국내의 인공시각장치 연구

국내에서는 최근 10여년간 인공시각장치 개발을 위한 많은 노력이 이루어져 왔다. 서울대학교 전기공학부와 서울대병원 안과 공동연구팀에서는 액정폴리머 (Liquid Crystal Polymer)라는 새로운 물질을 이용한 차세대 인공시각장치를 개발하였다. 기존의 이식장치가 사용하고 있는 금속 기반의 패키지는 소형화가 어렵고 무거우며 전극 및 코일과 연결하기 위해 수작업이 요구되는 단점이 있었다. 반면 이를 대체하기 위해 개발된 폴리머 기반의 이식장치는 소형화, 일괄공정 등의 장점에도 불구하고 수분 흡수율이 높아 체내 환경에서 장기 내구성이 저하되는 문제를 가진다. 이러한 한계를 극복하기 위하여 연구진은 매우 낮은 수분 흡수율을 가지는 액정폴리머 필름에 망막 전극, 자극회로, 통신 코일을 집적하고 열성형과 패키징 과정을 거쳐 인공시각장치를 개발하였다 (그림 6). 모든 요소가 액정폴리머 필름 안에 집적된 일체형 이식장치로서, 초소형, 초박형 및 안구 밀착형 곡면 구조를 가지고 일괄공정이 가능하면서 체내 장기 내구성이 뛰어난 장점을 지닌다.



그림 6 액정폴리머 기반의 인공시각장치 [7]

2.4. SecondSight의 Argus II

외부 카메라로 획득한 영상을 기반으로 망막에 패턴화된 자극을 가하는 대표적인 인공시각장치로 미국의 USC 대학교-SecondSight사의 Argus II 가 있다. (그림 7). 내부이식장치는 타이타늄으로 이루어진 케이스 내에 밀봉되어 있으며, 60채널 전극 어레이는 생체적합 폴리머 물질인 패릴린 (polylene-C) 필름에 미세공정기술(MEMS)을 적용하여 제작된다. 이 장치의 망막 전극어레이는 60 개의 채널 (6x10)로 이루어져 있기 때문에 (그림 2) 시각장애인에게 60개의 점의 형태로 자극 패턴을 인식하게 할 수 있다. 금속 케이스는 RF신호를 투과하지 못하므로 수신코일은 실리콘 고무로 감싸 패키지가 외부에 연결된다.

본 Argus II 장치는 2013년 2월에 인공시각장치 최초로 미국 식품의약국 (FDA)의 조건부 승인을 받는데 성공하였으며, 현재 30여명의 환자를 대상으로 임상시험을 진행하고 있다. 흑/백 격자무늬 구별, 빛의 위치 및 움직임 방향 인식, 바닥의 선 따라가기 등의 테스트에서 자극을 하지 않았을 때에 비해 높은 인식률을 보였다.

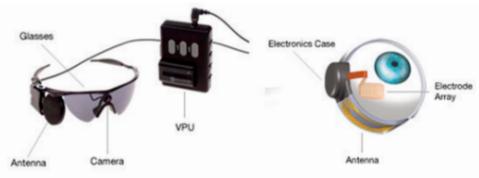
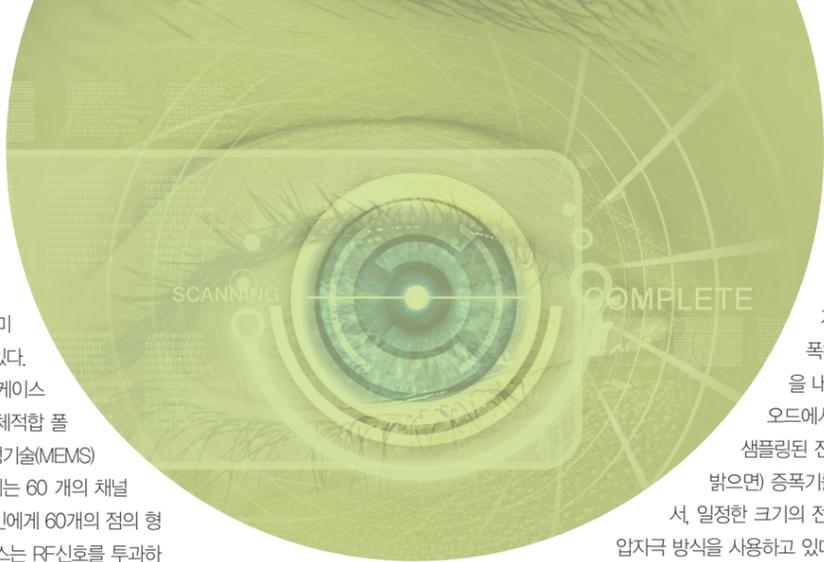


그림 7 SecondSight사의 Argus II의 외부기 (좌) 및 내부기 (우) 이미지 출처: <http://www.2-sight.com>

2.5. 포토다이오드를 이용한 인공시각장치

앞서 소개한 외부 카메라를 이용한 장치들과 목적은 같지만 다른 기술적 접근법을 통해 망막을 자극하는 방식으로 독일 튀빙겐 (Tuebingen) 대학교의 Zrenner 연구팀에서 개발한 포토다이오드 어레이 기반의 인공망막장치가 있다(그림 8). 본 장치는 실리콘 기반의 미세 포토다이오드 어레이 (MPDA; MicroPhotoDiode Array)를 망막에 삽입하여 외부 카메라 없이 눈에 들어오는 빛에 반응하여 망막 자극이 이루어진다. 현재 개발된 제품은, 1,500 개의 채널이 3 mm x 3mm의 크기에 집적되어 있으며 각 위치에 입사된 빛의 양에 따라 각 채널이 독립적으로 망막을 자극하게 된다. 현재 포토다이오드에서 생성되는 광전류의 크기는 망막 신경세포를 자극하기에는 충분치 않기 때문에 본 장치의 포토다이오드에서 생성된 전압은 증폭기를 거친 후 망막에 전달된다. 따라서 포토다이오드 어레이는체외로부터 통해 전력을 공급받아야 하며, 이는 포토다이오드가 삽입된 안구에서부터 귀 뒤로 이어진 케이블과 연결된 코일을 통해 무선으로 전달받게 된다 (그림 8가,나).



포토다이오드 어레이를 구성하는 하나의 포토다이오드 셀의 모습 및 회로는 그림 9에 표시된 것과 같이 빛을 감지하는 포토다이오드, 생성된 전압을 증폭하는 증폭기, 망막 신경과 접촉하여 자극을 내보내는 전극으로 이루어져 있다. 각 다이오드에서 생성된 전압은 어레이 여러 지점에서 샘플링된 전압의 평균치와 비교해 더 높으면 (즉 더 밝으면) 증폭기를 통해 망막에 전압을 인가하는 구조로서, 일정한 크기의 전류 펄스를 전달하는 Argus II와 달리 전압자극 방식을 사용하고 있다.

본 연구그룹은 Retinal Implant라는 회사를 설립하고 시제품 Alpha-IMS을 발표하여 유럽의 CE인증을 받았으며 역시 30여명의 망막색소변성환자를 대상으로 임상시험을 진행하고 있다. 장치를 이식한 환자는 흑백 체크무늬의 구별, 빛의 위치 인식, 빛의 움직임 인식 등의 테스트에서 향상된 시각능력을 보였으며, 큰 알파벳 글자 읽기, 테이블 위에 놓은 도형의 인식 및 접시, 컵 등 식기류의 구별 검사에서도 향상된 능력을 보이는 것으로 나타났다.

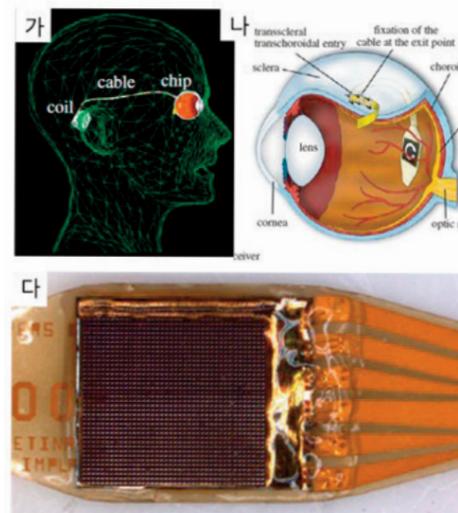


그림 8 독일 Zrenner 그룹의 포토다이오드 기반의 인공망막장치: (가-나) 삽입 방법 및 (다) 포토다이오드 어레이 [3, 8]

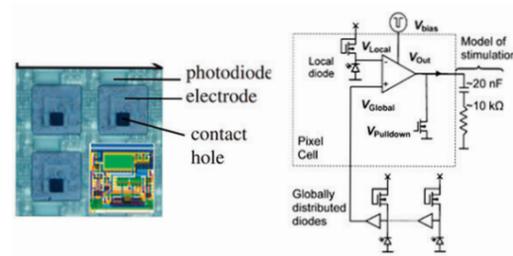


그림 9 망막자극을 위한 포토다이오드 셀의 구조 [8, 9]

2.6. 기타 접근법

미국 스탠포드 대학교의 Palanker 연구팀에서는 포토다이오드 어레이에 적외선 레이저패턴을 조사하여 망막 신경을 자극하는 연구를 진행하고 있다 [10]. 눈으로 입사되는 자연광으로는 포토다이오드에서 생성되는 전류의 양이 망막을 자극하기에 부족하기 때문에 에너지가 높은 적외선을 인가하여 외부장치 없이 망막에 삽입된 실리콘 칩만으로 시각을 회복시키고자 하는 목적이다. 체내 허용 한도보다 낮은 적외선 파워로 망막 자극을 유도할 수 있다는 것을 검증하였지만 외부영상에 따른 레이저 패턴을 안정적으로 망막에 비추는 일은 해결해야 할 어려움이다.

그 밖에 호주 뉴사우스웨일즈 대학교와 일본 오사카 대학교에서는 기존 망막 전극 삽입수술보다 해상도 및 자극효율을 떨어지지만 수술이 간편하고 부작용이 적은 맥락막상강 전극 삽입술을 이용한 인공시각장치를 활발히 연구하고 있다 [1].

2.7 기술적 한계 및 극복할 문제

사람의 얼굴을 인식하기 위해서는 최소 30 x 30 개 정도의 화소가 필요하다고 알려져 있다. 하지만 외부 카메라 및 다채널 전류 자극회로로 이루어진 인공망막장치는전극의 수를 늘려 높은 품질의 시각을 회복시키기 위해서 극복해야 할 어려움이 몇 가지 존재한다. N개의 채널을 달성하기 위해서는 전류자극칩에서 N개의 출력핀이 나와 N개의 전극 채널로 연결되어야 하기 때문에 고밀도 자극을 위해서는 칩-전극 간 연결의 어려움, 자극 IC 설계의 복잡도 및 크기 증가, 소모 전력의 증가, 체내외 간 무선전송 데이터 양의 증가 등의 문제가 있으며, 현재 이를 해결하기 위한 연구가 진행되고 있다.

포토다이오드를 이용한 독일그룹의 인공시각장치는 각 채널이 독립된 구조를 통해 1,500개의 고밀도 어레이를 제작할 수 있는 장점을 가지지만 체내에서의 장기내구성은 해결해야 할 문제점으로 남아 있다. 실리콘 기반의 포토다이오드 어레이에 충분한 밀봉처리를 하지 못하였기 때문에 이온이 풍부한 체액에 노출되면서 성능이 저하되거나 부식이 발생하는 문제가 있으며, 이로 인해 현재 1년 이상의 장기 실험은 진행하지 못하고 있는 상황이다.

3. 결론 및 전망

본고에서는 현재까지 개발된 인공시각장치의 연구동향을 대표적인 연구 사례를 중심으로 정리하였다. 인공망막장치는 청각장애인의 달팽이관에 삽입한 전극을 통한 전기자극으로 청각을 회복시키는 인공청각장치(인공와우)의 성공에서 영감을 받았다고 할 수 있다. 하지만 망막의 신경세포의 수는 청각신경과 비교하여 훨씬 많을 뿐 아니라 여러 층으로 이루어진 망막 내에서부터 시각피질에 도달하기까지 시각정보가 처리되는 기전도 밝혀지지 않은 부분이 많이 남아 있기 때문에 아직 실용적인 시각회복의 단계에는 이르지 못하였다. 채널의 수를 늘리면서 안전

하고 효과적으로 망막을 자극하는 이식장치 제작을 위한 공학적 접근뿐 아니라, 망막의 근본적 기능 분석을 위한 의생리학적 접근이 모두 요구되는 분야이다. 인공망막에 대한 연구가 시작된 것은 1990년대로서, 검증 과정을 거쳐 널리 보급되기까지는 아직 10~20여년의 시간이 더 필요할 것으로 생각된다. 일상 생활에서 시각의 중요성과 어둠 속에서 겪는 불편함을 생각하면 시각장애인에게 새로운 빛을 줄 수 있는 인공시각장치는 기존의 어떤 신경보철장치보다 파급효과가 큰 의의가 될 수 있을 것으로 기대한다.



김 성 준 교수
 소속 : 서울대학교 전기정보공학부
 주 연구 분야 : 인공망막, 인공와우, 심뇌자극 등 신경보철 장치
 E-mail : kimsj@snu.ac.kr
 홈페이지 : http://nanobio.snu.ac.kr



정 준 수 박사과정
 소속 : 서울대학교 전기정보공학부
 주 연구 분야 : 폴리머기반의 인공망막장치
 E-mail : jsoonsoo.jeong@gmail.com
 홈페이지 : http://nanobio.snu.ac.kr

〈참고 문헌〉

[1] T. Fujikado, M. Kamei, H. Sakaguchi, H. Kanda, T. Morimoto, Y. Ikuno, et al., "Testing of semichronically implanted retinal prosthesis by suprachoroidal-transretinal stimulation in patients with retinitis pigmentosa," *Investigative Ophthalmology & Visual Science*, vol. 52, pp. 4726-4733, 2011.

[2] S. K. Kelly, D. B. Shire, J. Chen, P. Doyle, M. D. Gingerich, S. F. Cogan, et al., "A hermetic wireless subretinal neurostimulator for vision prostheses," *IEEE Trans Biomed Eng*, vol. 58, pp. 3197-205, Nov 2011.

[3] K. Stingl, K. U. Bartz-Schmidt, D. Besch, A. Braun, A. Bruckmann, F. Gekeler, et al., "Artificial vision with wirelessly powered subretinal electronic implant alpha-IMS," *Proceedings of the Royal Society B: Biological Sciences*, vol. 280, Apr 2013.

[4] J. D. Weiland, A. K. Cho, and M. S. Humayun, "Retinal prostheses: Current clinical results and future needs," *Ophthalmology*, vol. 118, pp. 2227-2237, 2011.

[5] M. S. Humayun, J. D. Dorn, L. da Cruz, G. Dagnelle, J.-A. Sahel, P. E. Stanga, et al., "Interim Results from the International Trial of Second Sight's Visual Prosthesis," *Ophthalmology*, vol. 119, pp. 779-788, Apr 2012.

[6] K. S. Min, C. J. Lee, S. B. Jun, J. Kim, S. E. Lee, J. Shin, et al., "A Liquid crystal polymer-based neuromodulation system: An application on animal model of neuropathic pain," *Neuromodulation*, 2013.

[7] J. Jeong, S. H. Bae, K. S. Min, J. M. Seo, H. Chung, and S. J. Kim, "A Miniaturized, Eye-conformable, and Long-term Reliable Retinal Prosthesis using Monolithic Fabrication of Liquid Crystal Polymer (LCP)," *IEEE Transactions on Biomedical Engineering*, vol. 62, pp. 982-989, 2015.

[8] E. Zrenner, K. U. Bartz-Schmidt, H. Benav, D. Besch, A. Bruckmann, V.-P. Gabel, et al., "Subretinal electronic chips allow blind patients to read letters and combine them to words," 2010.

[9] H.-G. Graf, C. Harendt, T. Engelhardt, C. Scherjon, K. Warkentin, H. Richter, et al., "High dynamic range CMOS imager technologies for biomedical applications," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 281-289, 2009.

[10] K. Mathieson, J. Loudin, G. Goetz, P. Huie, L. Wang, T. I. Kamins, et al., "Photovoltaic retinal prosthesis with high pixel density," *Nat Photon*, vol. 6, pp. 391-397, May 2012.

IDEC 위촉연구원 채용공고 (신입/경력)

반도체설계교육센터를 이끌어 갈 창의적이고 혁신적인 인재를 모집합니다



■ IDEC의 인재상은?

도전의욕과 책임감이 넘치는 분을 찾습니다. 따뜻한 마음과 냉철한 지성으로 업무를 이끌어갈 비전 있는 사람, 센스 있는 사람, 잠재력을 가진 사람, 그리고 진정한 국제화 마인드와 열린 마음을 가진 분을 모십니다

1. 모집분야 및 자격요건

| 모집분야 | 주요업무 | 자격요건 | 모집인원 |
|--------|--|---|------|
| 위촉 연구원 | 국내·외 Fab을 통한 칩 설계 제작 지원 EDA Tool 교육 및 기술 지원 | 학력 : 대졸이상 전공 : 반도체설계(아날로그/RF, 디지털) 관련 학과 | 0명 |

【우대사항】

- 칩 설계 유경험자
- Virtuoso, Spectre, Calibre 등 EDA Tool을 사용하여 회로설계, Layout DRC, LVS, RCX 가능한 자
- RTL coding, Synthesis, DFT, STA, P&R 등 ASIC 전반의 작업 및 기술검토가 가능한 자

2. 전형절차

- 1차 : 서류전형
 - 2차 : 면접전형
 - 3) 합격자 발표 : 개별통지
- ※ 2차 면접전형은 1차 서류전형 합격자를 대상으로 실시
 ※ 필요에 따라 추가 면접 전형 등이 진행될 수 있음



3. 근무조건

- 1) 고용형태 : 위촉직
- 신입 3개월, 경력 1개월의 수습기간 종료 후 특별한 사유가 없는 한 센터사업수행기간 동안 계속 근무가능
- 2) 급 여 : 내규에 따름
- 3) 복 지 : 4대 보험, 주5일제, 건강검진 지원, 통근버스 운행
- 4) 근무지 : 대전, KAIST 반도체설계교육센터

4. 입사지원 제출서류

- 1) 이력서 1부 (필수제출 - 자유양식)
- 필수 기재 사항 : 기본 인적사항(이름, 나이, 성별, 연락처 등), 사진, 직무관련 경험, 자격사항
- 2) 자기소개 1부 (필수제출 - 자유양식)
- 3) 개인정보 수집 이용에 대한 동의서 1부 (필수제출-양식첨부)
- 4) 최종학교 졸업(예정)증명서 및 성적증명서 각 1부 (필수제출)
- 5) 경력증명서 1부 (해당자에 한함, 실적을 증빙할 수 있는 자료)
- 6) 영어성적표 1부 (해당자에 한함, 원서접수 마감일 기준 2년 이내 유효성적)
- 7) 자격증 1부 (해당자에 한함)

5. 제출기한 : 2015년 6월 12일(금) 18:00시까지

6. 제출처 : eunjuseok@idec.or.kr로 이메일 제출
- 제출서류는 모두 PDF 파일로 저장하여 제출

7. 기 타

- 1) 접수된 서류는 인비 처리되며 반환되지 않습니다.
- 2) 제출서류 기재사항에 허위사실 발견 시 합격이 취소 될 수 있습니다.
- 3) 지원자가 적을 경우 추가 모집할 수 있으며, 적격자가 없을 경우 채용하지 않을 수 있습니다.

8. 문의처 : 인사담당자, 042-350-8538, eunjuseok@idec.or.kr



초저전력 회로 설계 기술

1. 서론

지난 수년 동안 회로 설계의 주 관심사는 전력 소모를 얼마나 작게 가져가는 가 하는 것이었다. CMOS 기반 설계를 대체할 수 있는 획기적인 저전력 소자가 실용화 되지 않는 한 CMOS 기반 저전력 설계 기술 개발은 멈출 수 없는 영원한 진행형이다. CMOS 기반 설계에서 소모되는 전력은 크게 동적 전력 (Dynamic power)과 누설 전력 (Leakage power)으로 구분 된다. 동적 전력 소모는 회로가 작동할 때, 즉, CMOS transistor의 charging/discharging(또는 On/Off)이 일어 날 때 생긴다. 반면, 누설 전력 소모는 회로의 작동과는 무관하게 회로가 켜져 있는 동안 생긴다. 미세 공정으로 갈수록 누설 전력의 양이 동적 전력의 양을 압도한다.

누설 전류 소모량을 줄이는 대안은 전원을 차단하거나 아니면 완전히 차단하지 않고 sleep 상태에 회로가 머물도록 하면서 전류가 ground로 흐르는 길을 차단하는 것이다. 전자는 회로가 장시간 작동하지 않을 때 사용되며, 후자는 회로가 짧은 시간 작동하지 않을 때 적용되며 일명 power gating 기법이라 부른다.

이제 회로 작동이 없는 상황에서의 누설 전력 소모 문제를 해결했다면, 회로 작동 시에 발생하는 동적 및 누설 전력 소모 문제를 살펴 볼 필요가 있다. 회로 작동 시에 발생하는 동적 전력과 누설 전력 소모량에 공통으로 영향을 미치는 결정적 요소는 회로에 가해지는 공급전압 (supply voltage)이다. 대략적인 관계를 설명하면, 동적 전력 소모량은 공급 전압 크기의 제곱에 비례하여 증가하고, 누설 전력 소모량은 공급 전압 크기에 선형 비례적으로 증가한다. 따라서 공급 전압을 낮추면 전체적인 전력 소모량을 줄이는데 큰 효과를 볼 수 있다 [1].

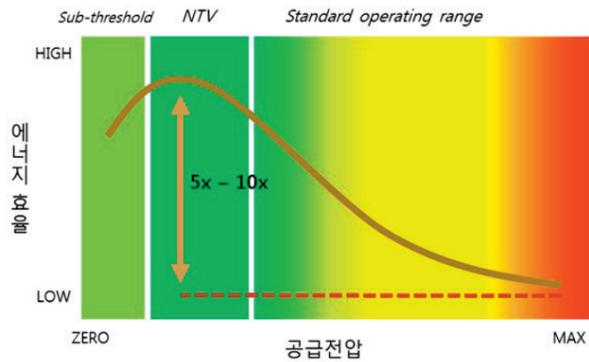


그림 1. 공급 전압과 회로 작동에 필요한 에너지 효율과의 관계

그림 1은 공급 전압 크기에 따른 회로 작동에 필요한 에너지 양의 상대적인 비교를 보여 준다. 그림 1의 내용을 공급전압을 3개의 구간으로 나누어 살펴 볼 수 있다. 제일 왼편 구간은 공급

전압이 임계전압 (Threshold voltage, 대략 0.2V) 이하로 했을 때 나타나는 에너지 사용 효율이며, 제일 오른 편 구간은 공급전압이 정상전압 (Nominal voltage, 대략 0.7V~1.0V)에서 나타나는 에너지 효율이며, 중간 전압 구간은 임계전압 보다는 높지만 이것에 근접한 전압 (NTV: Near-threshold voltage, 대략 0.3V~0.5V)에서 나타나는 에너지 효율이다. 분명한 것은 NTV 에서 회로를 작동 시키면 정상전압에 비해 에너지 효율이 5~10배 높음을 알 수 있다. 즉, 향후 폭발적으로 수요가 생길 사물인터넷 (IoT) 장치나 센서기반 제품의 전력 소모를 획기적으로 줄이기 위해서는 임계 전압 수준 가까이 가는 전압 즉, NTV에서 작동하는 회로를 설계하는 기술을 획득할 필요가 있다.

2. NTV (임계근접 전압) 설계 장벽

임계 근접 전압을 사용하는 설계 시스템에서 나타나는 두 가지의 명확한 특징은 정상 전압에서 작동 할 때 비해 성능이 급격히 떨어진다는 것과 작동의 신뢰성이 급격히 감소한다는 것이다. 이 두 가지 설계 장벽을 극복하지 않고서는 임계근접 전압 설계에서 누릴 수 있는 초 저전력 만의 IoT 영역을 찾기는 거의 없다고 할 수 있다. 언급한 두 가지의 설계 장벽에 대해 좀 더 살펴 보도록 하자.

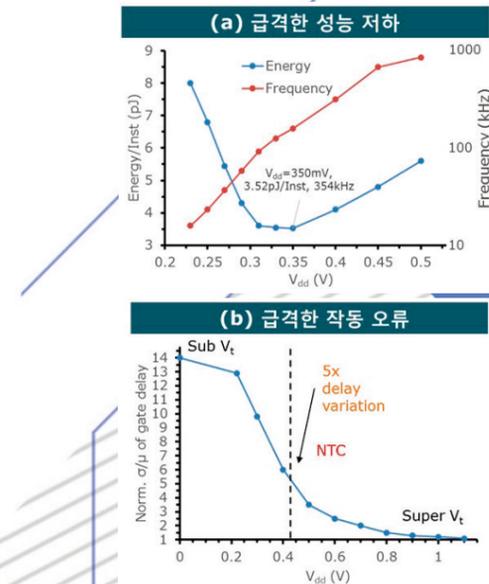


그림 2. 임계근접 전압 설계에서 나타나는 두 가지의 악영향, 즉, 급격한 성능 저하와 작동 오류의 증가를 최대한 막는 것이 임계근접 전압 설계 성공의 열쇠이다 [1].

A. 급격한 성능 저하: 그림 2(a)는 공급 전압 값의 변화에 따른 에너지 효율(파란색)과 동작 주파수(빨간색)를 보여 주는 자료이다. 임계 근접 전압 0.35V 에서 에너지 효율이 3.52pJ/Instruction로 가장 좋지만 이 때 동작 주파수는 0.354MHz로 아주 낮다고 볼 수 있다. 이러한 성능 저하의 근본적인 원인은 아주 낮은 공급 전압에 이르면 CMOS 기반 회로의 작동이 아주 느려진다는 데 있다. 따라서 회로 설계 측면에서 근본적인 원인을 제거하기는 사실상 불가능하다고 볼 수 있다. 결국 설계 관점에서의 대안은 느리게 작동 시켜도 되는 Application에서는 느리게 작동 시키고 좀 더 빠르게 작동 시켜야 될 Application에서는 공급 전압을 높이든지 아니면 다수의 중복 회로(예: multicore)를 사용해서 parallel processing 하는 것이 필요하다. 이러한 방법 또한 일종의 자구책이며, 전력 소모 증가를 당연히 유발하게 된다.

B. 급격한 작동 오류: 그림 2(b)는 공급 전압 값의 변화에 따른 회로를 구성하는데 사용되는 기본 cell 지연시간의 분포를 수치화(표준편차/평균) 한 것을 보여 주고 있다. 예를 들어, 특정 cell을 공정에서 100개 반복적으로 만들었다고 가정하자. 그 다음 각각의 만들어진 100개 cell에 대해 특정 임계근접 공급전압 (예: 0.42V)을 주었을 때 작동으로 나타나는 지연시간을 측정하면 공정에서의 미세 오차로 인해, 모두 완벽히 같은 값을 가질 수는 없고 약간의 차이를 보일 것이다.

측정된 100개의 지연시간 값의 평균값과 표준 편차를 구한 후 표준편차/평균 값을 구한 것을 표시한 것이 그림 2(b)에 나타난 그래프이다. 따라서 표준 편차의 비율이 크면 클수록 cell의 지연시간에 대한 변이가 심함을 뜻한다. 예를 들어 그림 2(b)에 보면 0.42V를 사용 했을 때 지연시간 변이가 1.0V의 것과 비교해서 5 배 정도 크다는 것을 알 수 있다. 심각한 지연시간 변이는 결국 cell의 안정된 작동을 방해하기 때문에 작동 오류 발생 빈도를 높이는 것으로 나타나게 된다. 이러한 현상의 근본적인 원인은 cell이 아주 낮은 공급 전압에서는 안정적인 작동을 하는데 취약하다는 것을 말해 준다. 이 요소를 극복하기 위해서는 설계 관점에서 매우 다양하게 접근이 가능하다. 좀 더 자세한 것은 다음 절에서 설명 한다.

3. NTV (임계근접 전압) 설계 극복 기술

안정적인 회로 작동을 보장하기 위한 기존 연구들이 많이 나왔다. 아주 많이 언급되는 것이 SRAM에서의 회로 작동 안정성 강화이다. SRAM의 경우 보통의 6개의 Transistor (6T)로 1-bit cell를 구성할 경우, 1.1V 공급 전압에 비해 0.4V 공급전압을 사용하면 read/write 오류율이 ~10~7% 에서 4%로 급격히 올라 간다는 것을 과거 연구에서 보이고 있다 [1]. 그림 3은 6T SRAM cell 구조의 오류 작동들을 보여 주고 있다. SRAM cell 작동의 원리는 공급전압과 임계전압의 정확한 balance에 있는데 공급전압을 임계 근접 전압으로 가까이 뚫어서 약간의 전압 요동 (예: 0.35V를 유지해야 하는데 어떤 순간에 0.34V 또는 0.36V로 공급 전압이 차이를 보일 수 있다) 이 있어도 이러한 balance 가 깨어질 수 있기 때문에 나타나는 현상이다 [2, 3].

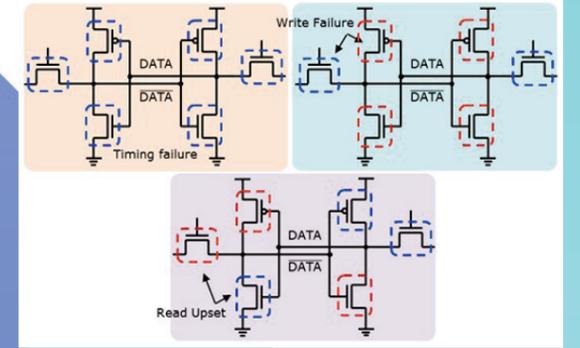


그림 3. 6T SRAM에서의 작동 오류 종류들. 오류가 발생하는 주요 원인은 Transistor들 간에 가해지는 전압 차이의 균형이 깨어지는데 있다.

SRAM에서의 이런 엄청난 작동 오류율 증가를 낮추기 위해 transistor의 수를 더 추가하고 transistor의 크기를 확대하는 노력이 많이 있어 왔다. 결국 이러한 방법은 SRAM의 크기를 키우는 것이 되고 전력 소모 감소 효과를 반감하게 된다. SRAM은 일반 회로의 특정 형태이기 때문에 특화된 메모리 설계 기술을 개발 함으로써 앞으로 향상된 저전압 SRAM 이 나올 것으로 기대 된다. 본 논고에서는 일반적인 회로를 대상으로 한 임계근접 전압에서의 설계 유망 기법에 아래의 핵심 3 개에 대해 중점적으로 설명하고자 한다.

A. 안정적 작동의 Power 및 Clock 네트워크 설계: 그림 4는 Power 와 Clock 네트워크에서의 회로 작동 시 발생하는 current의 흐름을 예시한 것이다. 정상 공급 전압에서의 5% 정도의 Voltage drop과 임계근접 공급 전압에서의 5% 정도의 Voltage drop 상황에서 주변 회로 logic의 작동 지연을 비교해 보았을 때 임계근접 공급 전압에서의 작동 지연 시간이 상대적으로 매우 변화가 심하다. 즉 전압 요동에 매우 민감하다. 따라서 매우 안정적인 작동이 이루어질 수 있도록 power 네트워크를 깔고 적절히 decapacitor를 잘 삽입하는 기술이 필요하며, 또한 clock 신호가 동기 요소 셀 (예: Flip-flop) 들에 동시에 도달할 수 있는 안전 장치를 마련 해 주는 것이 긴요하다. 구체적으로, clock 신호 도달의 차이가 있음을 감지하도록 하고 이를 바탕으로 clock 신호 도달 시간을 tuning하는 설계 기술을 의미한다 [4, 5].

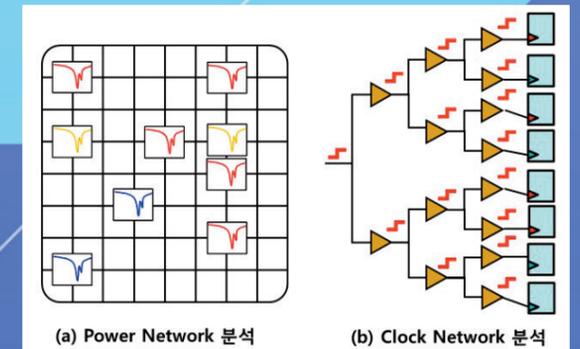


그림 4. Power 와 clock 네트워크에서의 peak current의 발생 상황을 보이는 예. 낮은 공급 전압에서의 전압의 미세 Voltage-drop 도 주위의 회로 작동 지연 시간에 심각한 차이를 유발 시킬 수 있기 때문에 Power 와 Clock 네트워크에서의 current 흐름을 정확히 분석해서 대처하는 것이 필요하다.

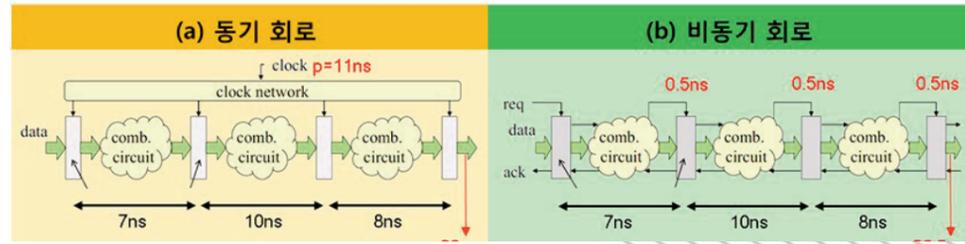


그림 5. 3-stage pipelined 동기 회로와 비동기 회로의 비교. 동기 회로는 각 stage마다 clock를 통해 균일하게 시간을 제공해주지만 비동기 회로에서는 stage 사이의 req/ack 통신을 통해 작동이 이루어지도록 하기 때문에 stage 사이의 combinational 회로 지연시간들이 불 균일 할 경우 stage에서의 불필요하게 기다리는 시간을 완전히 없앨 수 있다.

B. 비동기 회로 활용: 낮은 공급 전압에서는 회로의 지연 시간이 매우 심하기 때문에 칩을 만들어 내었을 때 어떤 칩은 100MHz로 돌려도 되지만 어떤 칩은 90MHz 또는 더 낮은 70MHz로 해야 애러 없이 돌아간다는 것을 의미한다. 즉, 설계자 측면에서는 주어진 Target 주파수를 맞추기가 매우 힘들다는 것이다.

한가지 대안은 비동기식(Asynchronous) 회로를 이제 효율적으로 사용할 수 있는 방안을 고려해 볼 때이다. 예를 들어 그림 5(a)를 보면, 3-stage pipelined 동기 회로를 clock 시간 11ns로 돌리는 것을 보여 준다. 두 번째 stage에 있는 combinational 회로의 최대 지연 시간이 10ns이기 때문에 slack time 1ns를 추가해서 clock 시간을 11ns로 설정하였다.

결국 latency = 11ns X 3 = 33ns 이 되었다. 반면 그림 5(b)를 보면, stage 간에 req/ack 통신을 이루는 회로를 추가함으로써 (0.5ns의 추가 시간 필요) 데이터가 도달 하면 바로 다음 stage로 보낼 수 있도록 하였다. 따라서, latency = 7 + 10 + 8 + 0.5 X 3 = 26.5ns으로 단축할 수 있음을 보여 준다. 저전압 회로에서의 심각한 지연시간 변이를 고려할 때 이러한 latency 이득은 훨씬 클 것이다. (그림 5(b)의 비동기 회로 구현은 handshaking 기법을 이용한 것이며, 다른 방식으로는 각 data에 대한 dual-rail 전달 구조를 사용함으로써 req/ack의 시간을 절약할 수는 있지만 회로의 크기가 아주 크지는 단점이 있다.)

C. 동적 전압 조절 활용: 대부분의 IoT 장치는 많은 시간을 센서를 통한 event 감지를 하는 것이기 때문에 센서 작동 부분만 정상적으로 작동 시키고 나머지 회로는 아주 낮은 전압으로 작동해도 가능할 것이다. 이런 상황에서 센서가 event를 감지하면 전체 시스템이 불 가동 상태로 바뀌도록 공급 전압을 높이는 과정을 가진다. 따라서 동적으로 공급전압을 변화 시킬 수 있는 장치가 필요하게 된다.

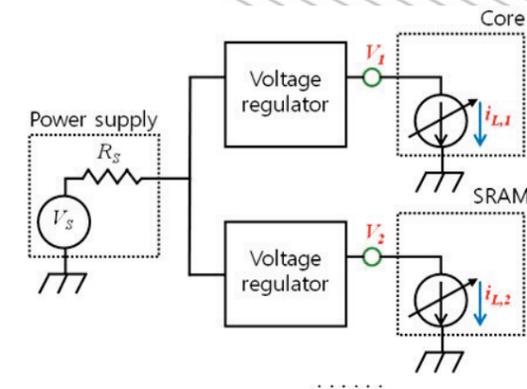


그림 6. 시스템 내부 모듈 별 전압 공급 장치 (Voltage regulator) 할당. 시스템의 각 모듈은 저전압 공급에 따라 다른 작동 오류율, 에너지 효율, 지연시간을 보이기 때문에 동일한 전압을 가하는 것 보다 각 모듈에 특화된 전압을 찾아 동적으로 변화 시키는 기술이 필요하다 [7].

또한, 그림 6에서 보듯이 Voltage regulator를 이질성을 가진 각 모듈에 따로 연결하게 함으로써 개별적 동적 전압 조절을 가능하게 할 수 있다. 이렇게 하는 이유는 processor, SRAM, 통신 모듈 등 각 모듈이 공급전압에 다른 형태의 에너지 효율, 작동 오류율을 보이기 때문이다.

예를 들어 SRAM의 경우 전압에 따른 작동 오류율이 매우 민감하기 때문에 너무 낮은 전압을 가하는 것은 피하는 것이 좋으며, 반대로 통신 모듈은 작동 오류율이 다소 많아져도 심각한 문제가 안될 수

도 있기 때문에 더 낮은 전압을 사용해 되도 될 수 있다. 또한 Voltage regulator도 출력 load와 출력 전압에 매우 다른 에너지 효율을 보이기 때문에 시스템 전체 에너지 효율을 생각해서 모듈별로 공급전압을 동적으로 결정하는 미케니즘을 개발하는 것이 필요하다.

4. 맺음말

초저전력 설계는 향후 폭발적으로 늘어날 IoT 장치에 매우 긴요한 요구 사항을 이기 때문에 많은 관심을 가질 필요가 있다. 초저전력을 위해서는 공급 전압을 임계전압 근접까지 가도록 하는 것이 효과적임을 보였으며, 이 때 발생할 수 있는 설계 장벽들에 대해 설명하였다. 또한 이러한 설계 장벽을 극복할 수 있는 기술로, 안정적인 power와 clock 네트워크 구축 및 분석 기술, 비동기 회로의 효과적인 활용, 동적 전압 조절 기능 보강에 대해 서술하였다.



김태환 교수
소속 : 서울대학교 전기정보공학부
주 연구분야 : 임베디드 시스템 설계
E-mail : tkim@snu.ac.kr
홈페이지 : http://ssl.snu.ac.kr/~tkim

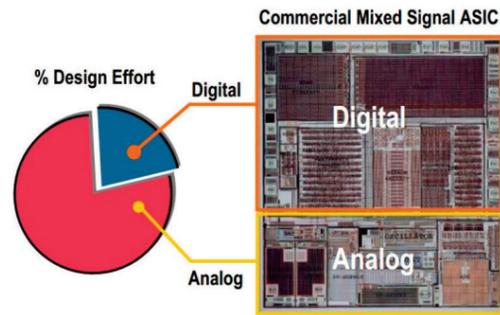
참고문헌

- [1] R. G. Dreslinski, M. Wiecekowsi, D. Blaauw, D. Sylvester, and T. Mudge, "Near-threshold computing: reclaiming Moore's law through energy efficient integrated circuits", Proceedings of IEEE, no. 2, pp. 253-266, February 2010.
- [2] L. Chang and W. Haensch, "Near-Threshold Operation for Power-Efficient Computing?", IEEE/ACM Design Automation Conference, pp. 1155-1159, 2012.
- [3] J. Myers, et al., "An 80nW retention 11.7pJ/cycle active sub-threshold ARM Cortex-M0+ sub-system in 65nm CMOS for WSN application", IEEE International Solid-State Circuit Conference, pp. 144-146, 2015.
- [4] L. Smith, R. Anderson, D. Forehand, et al., "Power distribution system design methodology and capacitor selection for modern CMOS technology," IEEE Transactions on Advanced Packaging, vol. 22, no. 3, pp. 284-291, Aug. 1999.
- [5] D. Joo and T. Kim, "A fine-grained clock buffer polarity assignment for high-speed and low power digital systems", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 33, no. 3, pp. 423-436, March 2014.
- [6] K.-H. Ho and Y.-W. Chang, "A new asynchronous pipeline template for power and performance optimization," IEEE/ACM Design Automation Conference, pp. 1-6, 2014.
- [7] W. Lee, Y. Wang, and M. Pedram, "Optimizing a reconfigurable power distribution network in a multicore platform," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2015.

아날로그 회로 설계 자동화 연구 동향

1. 서론

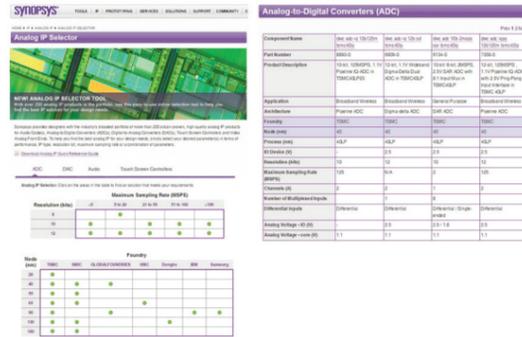
최근들어 집적회로 (Integrated Circuit)에 집적되는 트랜지스터의 개수가 해마다 두 배씩 증가할 것이라고 예측했던 고든 무어 (Gorden E. Moore)의 예측은 그 경향이 다소 둔화되고 있다. 하지만 FinFET의 대중화와 더불어 집적회로에 집적되는 트랜지스터의 개수는 당분간 기하급수적으로 증가할 전망이다 [1]. 이런 경향과 더불어 SoC (System-on-Chip) 설계의 복잡도 역시 함께 꾸준히 증가하고 있는데, 특히 1990년대부터 최근까지 SoC 설계는 아날로그와 디지털 집적회로를 함께 집적하는 혼성 신호 집적회로 (Mixed-Signal IC)로 설계되고 있는 추세이다. 이 중 디지털 집적회로의 경우 그림 1에서 볼 수 있듯 회로에서 차지하는 절대 면적이 아날로그에 비해 넓다고 하더라도 Verilog나 VHDL (VHSIC Hardware Description Language)과 같이 널리 보급되어 있는 설계 자동화 소프트웨어 및 규격화된 설계 검증 방법의 채용으로 높은 설계 효율을 유지할 수 있다. 하지만 아날로그 집적회로의 경우 설계 변수가 많고 규격화된 설계 검증방법이 없어 자동화가 디지털 집적회로에 비하여 현격하게 뒤떨어져 있고, 전문가나 기업 고유의 설계 및 검증 방식에 의존하는 상황이다. 따라서 아날로그 집적회로가 칩에서 차지하는 절대 면적이 디지털 집적회로에 비하여 매우 작다 하더라도 회로의 설계 효율은 디지털 집적회로에 비하여 여전히 매우 낮다고 볼 수 있다 [2].



따라서 SoC의 구조의 복잡도가 증가함에 따라 time-to-market을 만족시키기 위하여 SoC 설계 시 칩 전체를 설계자가 직접 설계하기보다는 칩의 일부분을 IP (Intellectual Properties)의 형태로 구매하여 사용하는 것이 일반적인 상황이 되었다. IP를 이용한 SoC 설계는 회로의 동작을 어느 정도 보장한다는 측면에서도 장점을 가지게 된다. 하지만 오늘날 구매가 가능한 아날로그 IP의 대부분이 hard IP로 그림 2에 나타낸 바와 같이 사용하고자 하는 공정과 성능에 따라 설계자는 대부분 고정된 레이아웃을 제공받게 된다. 따라서 설계자가 칩 전체의 성능을 고려하여 해당 IP의 성능을 아주 약간만 변화시키고자 한 다거나 회로의 구조를 전혀 변경하지 않은 상태에서 다른 공정으로의 공정 이식을 하고자 하는 것은 불가능하며, 이 경우 재 구매를 고려해야만 한다.

이에 따라 SoC 설계시 아날로그 집적회로 부분의 설계 자유도와 효율을 향상시키기 위하여 software-defined analog IP

의 필요성이 논의되어 왔다 [2], [3]. 따라서 본 고에서는 software-defined analog IP의 개념을 간략히 설명하고, 아날로그 회로 설계를 자동화하기 위해 진행되었던 기존 연구 및 최근 연구 현황을 살펴보고자 한다.



2. Software-defined analog IP의 개념

Software-defined analog IP의 개념을 그림 3에 간략히 나타냈다. 먼저 주어진 회로의 구조를 고려하여 IP 개발자가 아날로그 IP의 성능을 수식적으로 모델링 하여 코드화하는 과정이 필요하다. 그 후 회로 설계자가 원하는 회로의 성능과 설계에 이용하고자 하는 공정의 PDK (Process Design Kit)을 이용하여 설계 최적화를 진행하게 되면 코드화 된 설계 최적화 알고리즘을 통해 목표 성능을 만족하는 회로의 최종 레이아웃을 도출해주는 것을 궁극적인 목표로 한다.

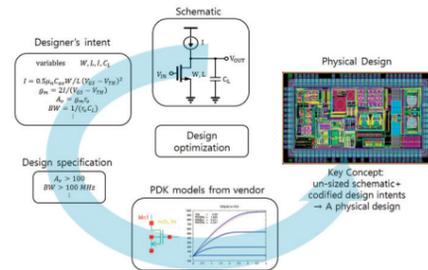


표 1에 hard IP와 software-defined IP의 차이점을 비교하였다. 일반적인 hard IP의 IP 개발 시간과 비교하였을 때, software-defined analog IP의 경우 회로에 적합한 최적화 알고리즘과 회로의 성능 모델을 개발하는 데 많은 시간이 소요되므로 IP 개발에 소요되는 시간은 hard IP에 비하여 길다. 하지만 일단 IP가 한번 개발되고 나면 공정 이식이 쉽고 칩 전체의 성능을 고려하여 해당 IP의 목표 성능 재설정성이 매우 용이하게 되므로 장기적으로는 시간과 비용 모두에 있어 hard IP에 비하여 장점을 가지게 된다. 또한 아날로그 회로의 경우 회로의 성능과 용도를 고려하여 회로의 구조가 결정되게 되므로 최초 설계 의도를 고려하여 IP를 구매 및 사용하는 것이 칩 전체의 성능을 극대화

시키는 데 도움이 될 것이다. 하지만 hard IP의 경우 이러한 최초 설계자의 의도를 레이아웃만으로 판단하기에 어려움이 있게 된다. 반면 software-defined IP의 경우 회로의 성능이 모두 수식으로 코드화되어 있기 때문에 최초 설계 의도를 파악하기가 용이하다. 또한 현재로서는 silicon-proven 되어 있는 hard IP가 동작을 보장한다는 부분에 있어 장점을 가지는 것처럼 보이지만, 향후 트랜지스터의 channel length가 점점 더 scale down되어 주변 회로의 영향을 더욱 많이 받게 될 것이라는 점을 고려하였을 때 hard IP의 장점이 미래에는 유효하지 않을 가능성이 있으며, 오히려 software-defined IP를 통하여 다양한 설계 변수들에 대한 전역해 (global solution)를 찾아 in-house에서 IP들을 집적하는 것이 전력 소모를 포함한 전체 칩의 성능을 더욱 개선시킬 수 있을 것으로 기대된다.

표 1 Hard IP와 software-defined IP 비교

| | Conventional hard analog IP | Software-defined analog IP |
|----------------------------|--|----------------------------|
| IP develop time | 1 | >1 |
| Design intents | Difficult to decode | Captured in the design |
| Flexibility | Low | High |
| Retargeting | Difficult | Easy |
| Silicon-proven? | Yes (but still true in < 14 nm CMOS technology?) | No |
| Transfer between designers | Depends on documents | Very transparent |

3. 아날로그 회로 설계 자동화에 대한 접근 방법 및 기존 연구

아날로그 회로 설계를 자동화하기 위하여 크게 세 가지의 접근 방법이 있다.

첫 번째는 [5]에 소개된 바와 같은 수식 기반 (equation-based) 방법이다. 이 논문에서는 회로 성능의 수식을 최대한 간략히 하고 트랜지스터의 second order 효과를 무시하여 Geometric Programming (GP) 이라는 최적화 방식을 이용하여 설계를 진행하였다. 이 방식은 전역해를 찾아준다는 강력한 장점을 가지지만 GP에 적용될 수 있는 형태로 수식이 지나치게 간략히 표현되어 deep-submicron CMOS 공정에서는 최적 설계 결과가 시뮬레이션 결과와 큰 차이를 보이게 된다는 단점이 있다. 하지만 long channel device에서는 이런 오차가 다소 작게 나타나 1990년대 후반부터 2000년대 후반까지 Op-Amp [6],[7], 인덕터 [8], 파이프라인 ADC [9], PLL [10], 스위칭 레귤레이터 [11], LDO (Low Drop-Out) 레귤레이터 [12]와 같은 다양한 회로들에 대하여 이 수식 기반 방식이 적용되었다.

두 번째는 [13]에 소개된 시뮬레이션 기반 (simulation-based) 방법이다. 이 논문은 기존의 steepest descent와 Lagrange multiplier 방법을 이용하여 좀 더 광범위한 문제를 다룰 수 있도록 하였다. 또한 회로 최적화를 위하여 사용된 수식 역시 정확도를 높이기 위하여 [5]에 비하여 좀 더 복잡한 회로 모델을 사용하고 있다. 이 방식은 최적화를 위한 계산량이 수식 기반 기법에 비해 절대적으로 많기 때문에 블록 단위의 회로에는 적용이 가능하나 여러 계층 구조를 가지는 chip-level의 회로에는 적

용하기 어렵다. 또한 이 방식을 통하여 얻은 최적의 디자인은 전역해가 아니라 국부해 (local solution)로 진정한 최적 디자인이 아니라는 점도 단점으로 여겨진다.

따라서 세 번째 방식은 앞서 언급한 수식 기반 방식과 시뮬레이션 기반 방식의 장점을 모두 가져갈 수 있도록 하는 시뮬레이션-수식 기반 (simulation-equation-based) 방식이다 [14], [15]. 먼저 수식에 기반하여 수치해석을 위한 소프트웨어를 통해 최초의 해를 구한 뒤 시뮬레이터를 이용하여 결과를 확인하고 수식과의 에러를 확인하여 수식에 포함되어 있는 상수 등을 반복적으로 교체 (iteration)하며 에러를 줄여가는 방식이다. 최근 아날로그 회로 자동화에 관련하여 발표되는 논문들을 살펴보면 수치해석용 소프트웨어를 통한 한번의 수식적 최적화로 끝나는 것이 아니라 대부분 시뮬레이션과 수식 결과의 반복적인 비교를 통해 최적 설계 결과를 얻는 방식을 취하고 있다.

4. 최근 연구 동향

최근의 아날로그 설계 자동화에 관련한 연구들이 1990년대 후반에서 2000년대 초반의 연구들과 비교하여 가지는 가장 큰 차이점은 바로 트랜지스터 레벨에서의 모델링 정확도에 관한 것이다. Deep-submicron CMOS 공정에서는 기존에 널리 알려진 square law 수식으로는 트랜지스터의 동작을 정확히 예측하기가 어렵다. 따라서 기존의 연구들에서는 더 이상 [5]나 [7]에서 사용되었던 단순한 square law 수식에 근거한 트랜지스터 모델이 아니라 트랜지스터의 second order 효과를 더욱 정확히 모델링 하기 위하여 convex piecewise linear 방식 [16]과 같은 수식 기반 방식을 이용하거나 시뮬레이션-수식 기반 방식을 이용하여 회로의 성능 모델뿐만 아니라 트랜지스터의 동작을 모델링 하는 [17]등 다양한 방법이 시도되고 있다.

최근 국내에서는 Sequential-GP (SGP) 기법을 이용하여 Op-Amp의 성능을 최적화한 연구가 발표되었다 [18]. 이 논문에서는 Op-Amp의 성능 모델을 최대한 정확히 유도하도록 수식에서 고려되지 못하는 second order 효과를 fitting parameter를 이용한 방식으로 오차를 최소화 하였다. 또한, GP를 이용하여 LDO 레귤레이터의 안정도와 PSR (Power-Supply Rejection) 성능을 최적화한 연구 [19]가 보고된 바 있는데, 이 연구는 수식 기반 방식을 사용하여 시뮬레이션 결과와의 비교 없이 트랜지스터 모델과 성능 모델을 정확히 유도함으로써 소비 전력을 최소화 하면서 LDO 레귤레이터 회로의 PSR 성능을 최적화한 결과를 제시 하였다. 국외에서도 LDO 레귤레이터의 성능을 최적화하기 위한 시도가 여러 번 시도되었지만 아직까지는 과도 응답 (transient response)을 비롯한 여러 성능들에 대한 광범위한 최적화는 이루어지지 않고 있는 상황이다.

또한 CML (Current-Mode Logic) 기반의 high speed transmitter 설계에 대한 연구 [20] 역시 보고 되었는데, GP 방식에 기반하여 트랜지스터 모델을 정확히 유도한 후 딜레이 모델을 정확히 예측하기 위하여 반복적인 fitting 방식을 이용해 기존에 다른 연구들에서 제시되었던 딜레이 모델보다 더욱 정확한

CML 게이트의 딜레이 모델을 구하였다. 이러한 방식을 통해 구해진 정확한 모델들을 이용하여 45 nm 공정으로 N-stage CML 버퍼와 28 Gb/s serializer를 수식 기반 방식으로 최적화 하였다. 그림 4에 [20]에서 설계한 8:1 serializer와 최적화를 통해 얻어진 eye diagram을 나타냈다. [20]에 언급된 논문과 마찬가지로 최종 최적 회로를 얻는 과정은 수식 기반 방식을 통하여 전역해를 얻는 방식을 취하더라도 성능이나 혹은 트랜지스터 모델을 얻는 과정에 있어서 반복 fitting 과정을 거치는 논문이 많이 발표되고 있는데, 그 중 하나가 [21]이다. 이 논문은 성능의 주요 파라미터들을 이용하여 1st-order 모델을 만들고 몇 가지 변수들을 local 최적화를 통하여 상수로 교체하는 과정(macromodeling)을 거쳐 성능 모델의 변수를 획기적으로 줄이는 방식을 통하여 성능 모델을 완료하였다. 이러한 방식을 통하여 얻어진 정확한 모델을 이용하여 수식 기반 방식을 통하여 dynamic comparator를 설계하였고, 그림 5에 나타낸 바와 같은 Pareto-front를 제시하였다. 그래프의 결과는 GP를 이용하여 각 제약조건마다 최적화를 진행한 결과이므로 그래프의 각 점은 모두 전역해를 의미하게 된다.

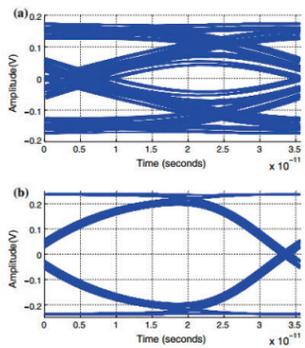
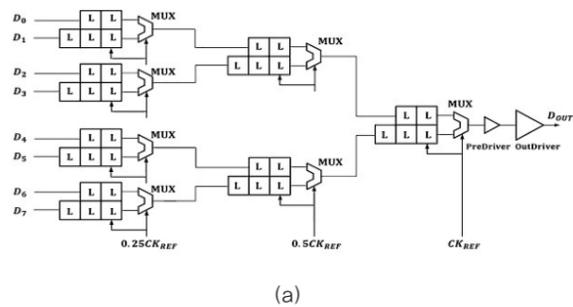


Fig. 11 Eye diagram of 28 Gb/s D_{OUT} when a the simple RC delay

그림 4 [20]에서 설계된 (a) 8:1 serializer의 구조 및 (b) 최적 설계로 얻어진 eye diagram

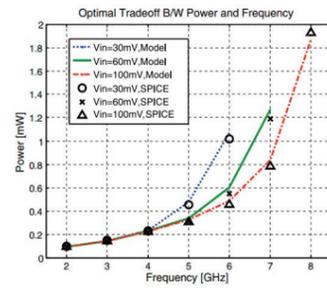


Fig. 4 Optimal Pareto-front between power and frequency

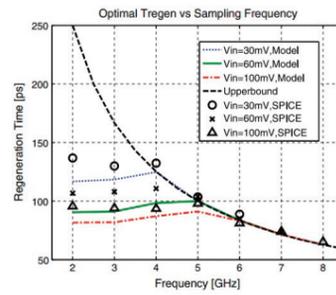


Fig. 5 Optimal Pareto-front between $T_{regeneration}$ and frequency

그림 5 [21]에서 macromodeling을 통한 회로 최적화를 통해 제시한 Pareto-front

5. 결론

지금까지 software-defined analog IP의 개념과 아날로그 회로 설계 자동화를 위해 진행된 연구들에 대하여 살펴보았다. 다양한 집적회로의 수요가 증가함에 따라 반도체 업계는 회로 설계에 소비되는 비용을 끊임없이 감소시키고자 할 것이다. 이러한 요구들에 의하여 아날로그 회로 설계를 자동화하고자 하는 움직임은 앞으로도 꾸준히 증가할 것으로 보인다. 또한 공정 기술의 개발에 따라 새로이 발생하는 다양한 설계 변수들 - 예를 들면 트랜지스터의 배치 방향이나 주변 소자에 의한 영향들 - 이 더욱 더 중요해 지고 있기 때문에 고전적인 설계 방법을 이용하였을 경우 설계자에게 요구되는 디자인의 복잡도가 크게 증가할 것이다. 또한 공정의 불확실성에도 대처가 가능한 아날로그 회로 설계 기법의 필요성도 증가할 것으로 보인다. 따라서 앞서 소개된 방식들 이외에도 아날로그 회로의 schematic 레벨, 그리고 레이아웃 레벨을 고려하여 회로의 정확한 성능을 예측하고 최적화할 수 있는 다양한 기법들이 개발되어야 한다.



주 소 연 박사과정
IC Design & Solutions Lab.
소속 : 성균관대학교 정보통신대학 전자전기컴퓨터공학과
주 연구분야 : VLSI Computer-Aided Design, Low Drop-Out Regulator Design
E-mail : joosoyeon822@gmail.com



김 진 태 교수
소속 : 건국대학교 정보통신대학 전자공학부
주 연구분야 : Analog CAD, 고성능 CMOS Data Converter, 센서 인터페이스 IC
E-mail : jintae.kim@msel.konkuk.ac.kr



김 소 영 교수
IC Design & Solutions Lab.
소속 : 성균관대학교 정보통신대학 반도체시스템학과
주 연구분야 : Device and Interconnect Modeling, VLSI Computer-Aided Design, Electromagnetic Compatibility
E-mail : ksoyoung@skku.edu

References

- [1] G. E. Moore, "Cramming more components onto integrated circuits," Proc. IEEE, vol. 86, no. 1, pp. 82-85, Jan. 1998.
- [2] R. A. Rutenbar, G. G. E. Gielen, and J. Roychowdhury, "Hierarchical modeling, optimization, and synthesis for system-level analog and RF designs," Proc. IEEE, vol. 95, no. 3, pp. 640-669, Mar. 2007.
- [3] R. A. Rutenbar, "Design automation for analog: the next generation of tool challenges," 1st IBM Academy Conference on Analog Design, Technology, Modeling and Tools, 2006.
- [4] [Online]: www.synopsys.com/dw/aipselector.php
- [5] M. M. Hershenson, S. P. Boyd, and T. H. Lee, "Optimal design of a CMOS op-amp via geometric programming," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 20, no. 1, pp. 1-21, Jan. 2001.
- [6] P. Mandal and V. Visvanathan, "CMOS op-amp sizing using a geometric programming formulation," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 20, no. 1, Jan. 2001.
- [7] M. M. Hershenson, S. P. Boyd, and T. H. Lee, "GPCAD: A tool for CMOS op-amp synthesis," ICCAD, 1998.
- [8] M. M. Hershenson, S. S. Mohan, S. P. Boyd, and T. H. Lee, "Optimization of inductor circuits via geometric programming," DAC, 1999.
- [9] M. M. Hershenson, "Design of pipeline analog-to-digital converters via geometric programming," ICCAD, 2002.
- [10] D. M. Collieran, C. Portmann, A. Hassibi, C. Crusius, S. S. Mohan, S. P. Boyd, T. H. Lee, and M. M. Hershenson, "Optimization of phase-locked loop circuits via geometric programming," CICC, 2004.
- [11] J. Lee, G. Hatcher, L. Vandenberghe, and C.-K. K. Yang, "Evaluation of fully-integrated switching regulators for CMOS process technologies," IEEE Trans. Very Large Scale Integr. (VLSI) Syst. Vol. 15, no. 9, Sep. 2007.
- [12] S. DasGupta and P. Mandal, "An automated design approach for CMOS LDO regulators," ASP-DAC, 2009.
- [13] W. Nye, D. Riley, A. Sangiovanniv, and A. L. Tits, "DELIGHT.SPICE: An optimization-based system for the design of integrated circuits," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 7, no. 4, pp. 501-518, Apr. 1988.
- [14] T. K. Toosi, E. Z. Tabasy, H. Sarbishaei, R. Lotfi, "ISECAD: An iterative simulation-equation-based opamp-design CAD tool," Proc. Intl. symposium on Circuits and Systems (ISCAS), 2006.
- [15] M. H. Maghami, F. Inanlou, and R. Lotfi, "Simulation-equation-based methodology for design of CMOS amplifiers using geometric programming," ICECS, 2008.
- [16] J. Kim, J. Lee, L. Vandenberghe, and C.-K. K. Yang, "Techniques for improving the accuracy of geometric-programming based analog circuit design optimization," ICCAD, 2004.
- [17] S. Deyati and P. Mandal, "An automated design methodology for yield aware analog circuit synthesis in submicron technology," ISQED, 2011.
- [18] S.-D. Yu, "Design of CMOS op amps using adaptive modeling of transistor parameters," JSTS, vol. 12, no. 1, pp. 75-87, Mar. 2012.
- [19] 주 소 연, 김진태, 김소영, "회로 최적화를 위한 외부 커패시터가 없는 LDO 레귤레이터의 안정도와 PSR 성능 모델," JKIEES, vol. 26, no. 1, pp. 71-80, Jan. 2015.
- [20] I. Jang, J. Kim, S.-Y. Kim, "Accurate delay models of CMOS CML circuits for design optimization," Analog Integr Circ Sig Process, vol. 82, no. 1, pp. 297-207, Jan. 2015.
- [21] J. Kim, "Convex macromodeling of dynamic comparator for analog circuit synthesis," Analog Integr Circ Sig Process, vol. 77, no. 1, pp. 299-305, Sep. 2013.

초다시점 및 자유시점 비디오 기술의 표준화 동향

1. 초다시점 비디오와 자유시점 비디오의 필요성과 목적

일본은 2020년 월드컵을 개최하면 축구장에 카메라를 둘레로 배치하여 3차원 영상으로 축구 시청을 가능하게 하는 것을 목표로 하고 있다. 이에 따라 특히 일본 연구자들이 초다시점 비디오(super multi-view video) 및 자유시점 비디오(free navigation video) 기술 개발 및 표준화 활동에 적극적으로 참여하고 있다 [1].

그림 1은 3차원 영상 캡처와 디스플레이 성능에 대하여 무어의 법칙(Moore's law)를 적용하여 분석한 것이다 [2]. 그래프에서 화소의 수와 시점의 수를 곱한 수치를 분석한 것인데 초다시점 비디오와 자유시점 비디오가 먼 미래가 아님을 알 수 있다. 기대할 수 있는 응용 사례로는 초다시점 비디오를 활용하여 수백 시점의 데이터를 요구하는 3차원 홀로-디스플레이 시연, 자유시점 비디오를 활용하여 축구 TV 중계를 시청할 때 원하는 시점으로의 자유로운 이동 등을 꼽을 수 있다. 본고에서는 초다시점 비디오와 자유시점 비디오에 관련된 기존 기술 및 표준화 동향을 살펴보고자 한다.

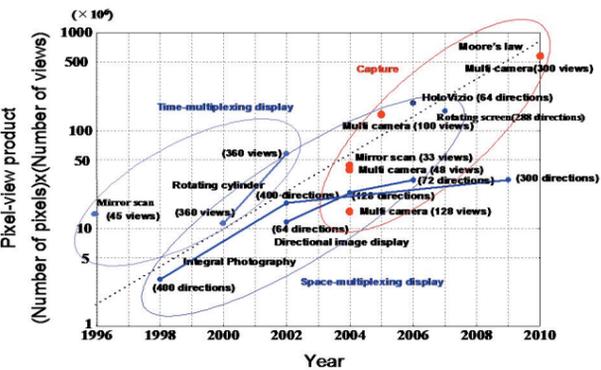


그림 1. 3차원 영상 캡처 및 디스플레이 성능 개발 흐름

2. MPEG FTV 그룹의 표준화 활동

ISO/IEC 산하 MPEG(Moving Picture Experts Group)의 FTV(Free-viewpoint Television) 그룹에서는 2000년대부터 다시점 비디오와 3차원 비디오 기술들에 대한 표준화 활동을 적극적으로 진행하였다. FTV 그룹의 활동에 대하여 단계를 분리할 수 있는데 그림 2는 활동 단계 역사를 나타낸다. 1단계에서는 2004년부터 다시점 비디오 부호화(Multi-view video coding, MVC)에 대한 기술을 개발하였다 [3, 4].

다시점 비디오 부호화에서는 시점 간 정보 참조 등의 기술로 중복성을 줄여 데이터를 전송하고 복호기에서 원래 시점의 수만큼 복호화하게 된다. 다시점 비디오 부호화는 2009년에 완료되었고 현재 시장에서는 3D 블루레이 등에서 이용되고 있다. 영상 복호화 이후에 진행되는 임의시점 영상 합성은 다시점 비디오 부호화 표준에 포함되지 않는다. 그림 3은 다시점 비디오 부호화 프레임워크를 설명한다.

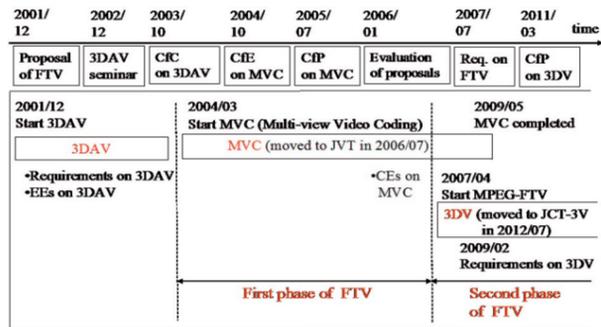


그림 2. MPEG FTV 그룹의 표준화 활동 역사

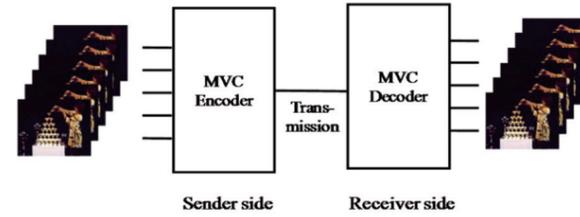


그림 3. 다시점 비디오 부호화 프레임워크

2단계 활동에서는 3차원 비디오 부호화(3D video coding, 3DVC) 기술을 개발하였다. 3차원 비디오 부호화 기술 개발은 다시점 비디오 부호화 표준화 활동이 종료되기 전인 2007년부터 시작되었다. 3차원 비디오 부호화는 다시점 비디오 부호화의 확장인데 가장 큰 차이는 깊이 비디오 부호화의 추가이다. 색상 비디오에서의 객체가 카메라로부터 가까울수록 깊이가 비디오에서는 밝은 값이 생성되고 멀수록 어두운 값이 생성된다.

원본 데이터에서 적은 숫자의 색상 비디오와 깊이 비디오를 부호화하여 전송을 하면 복호기에서 영상 합성을 통해 많은 수의 시점 데이터를 생성한다. 영상 합성은 깊이 정보가 존재하기 때문에 가능하다. 그림 4는 3차원 비디오 부호화의 프레임워크를 나타낸다. MPEG과 ITU-T 산하 VCEG(Video Coding Experts Group)은 함께 JCT3V(Joint Collaborative Team on 3D Video Coding Extension Development) 그룹을 만들어 3차원 비디오 부호화 기술 표준화를 진행하고 있다.

3차원 비디오 부호화에서는 선형적인 카메라 구조에서 수평 방향으로만 영상 합성이 가능하다. 따라서 30시점 이하의 디스플레이를 고려했을 때 큰 문제가 되지는 않지만 앞으로 개발될 차세대 디스플레이에 적용하기에는 3차원 비디오 부호화 기술들이 한계가 있다. 이러한 제약들을 해결할 수 있도록 기존 기술의 확장 및 신규 기술들이 개발되어 초다시점 비디오와 자유시점 비디오에 쓰일 수 있도록 3단계 활동을 2014년부터 진행하고 있다 [5-7].

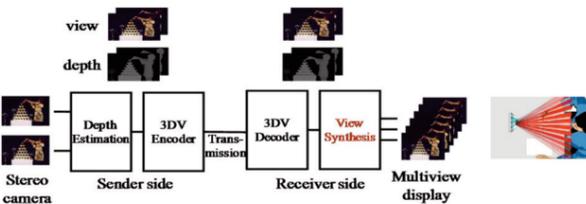


그림 4. 3차원 비디오 부호화 프레임워크

3. 실험 시퀀스

기술 평가 및 표준화 활동을 위해서는 실험 시퀀스가 필요한데 초다시점 비디오와 자유시점 비디오 실험에 이용될 수 있는데 데이터를 만들 수 있는 기관은 아직 세계적으로 많지 않다. 제작되는 시퀀스 또한 예기치 못한 예러가 계속 발생하기 때문에 MPEG 회의에서 시퀀스를 논의하고 오류 보완 등을 하는데 여러 미팅 사이클 등의 시간이 소요된다. 아직도 표준화 평가에 이용될 실험 시퀀스가 완전히 확정된 것은 아니지만 대략적인 윤곽은 잡혔고 이 장에서는 이러한 실험 시퀀스들에 대해 소개한다. 표 1은 2015년 5월까지 공개된 실험 시퀀스들이다.

표 1. 초다시점 비디오와 자유시점 비디오 실험 시퀀

| 순번 | 제작기관 | 시퀀스 이름 | 시점 수 | 해상도 |
|----|--------------------|-------------------|-------|-----------|
| 1 | | Champagne Tower | | |
| 2 | Nagoya University | Pantomime | 80 | 1280×960 |
| 3 | | Dog | | |
| 4 | Holografika | Rabbit | 91 | 1280×768 |
| 5 | | Killing | | |
| 6 | Tampere University | Flowers | | |
| 7 | NICT | Kimono | 64 | 1920×1080 |
| 8 | Hasselt University | Soccer-linear 1 | 8 | 1600×1200 |
| 9 | | Soccer-linear 2 | | |
| 10 | | Soccer-corner | 7 | 1920×1080 |
| 11 | Poznan University | Poznan Blocks | 10 | 1920×1080 |
| 12 | | Poznan Team | | |
| 13 | Nagoya University | Soccer-Game Goal | 10 | 1920×1080 |
| 14 | | Soccer Game Side | | |
| 15 | Hasselt University | San Migue | 200 | 1920×1080 |
| 16 | NICT | Bee | 185 | 1920×1080 |
| 17 | | Shark | | |
| 18 | Poznan University | Poznan Laboratory | 45×45 | 1920×1080 |
| 19 | Nagoya University | Akko & Kayo | 15 | 640×480 |

표 1에서 8번부터 14번까지는 자유시점 비디오 시퀀스이고 나머지는 초다시점 비디오 시퀀스이다. 해상도는 대부분이 Full HD급(1920×1080)이다. 자유시점 비디오 시퀀스들은 전부 ground truth 깊이 맵이 제공되지 않고 초다시점 비디오는 제공되는 것도 있고 제공되지 않는 시퀀스도 있다. 그림 5는 일본 Nagoya 대학의 카메라 시스템 구조이다. 카메라의 수는 80개이며 5cm 간격으로 평행하게 배열되어 있다 [8, 9].

그림 6은 이 시스템을 이용하여 촬영한 “Champagne Tower” 색상 영상과 깊이 추정을 통하여 생성한 깊이영상을 나타낸다. 깊이영상은 FTV 그룹에서 기존에 개발한 깊이 추정 소프트웨어(depth estimation reference software, DERS)를 이용하여 생성된 데이터이다. 깊이영상은 3개의 시점에 한해서만 제공되었다. 그림 7은 벨기에 Hasselt 대학이 제작한 “San Miguel” 시퀀스이다 [10-12]. 이 시퀀스는 200개 시점 영상이 모두 광선 추적(ray tracing) 방식으로 생성되었다. 이를 이용한 깊이 영상은 ground truth 데이터가 된다. “San Miguel” 과 “Champagne Tower” 의 깊이영상을 비교해보면 깊이 추정은 개선 여지가 많은 것을 확인할 수 있다.



그림 5. Nagoya 대학 80-시점 카메라 시스템



그림 6. “Champagne Tower” 시퀀스 색상영상(좌), 깊이영상(우)

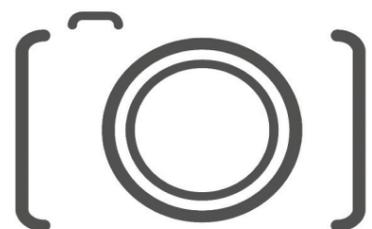




그림 7. "San Miguel" 시퀀스 색상영상(좌), 깊이영상(우)

4. 기술 실험 및 평가 일정

4.1 초다시점 비디오 기술 실험

초다시점 비디오 기술은 대체적으로 모든 시점을 전부 부호화하는 대신에 일부 시점만 부호화하여 전송하고 복호기에서 원본 시점 데이터들을 복호화한다. 시점의 수를 적게 전송할수록 데이터적으로는 이득이지만 결과로 복원되는 영상의 화질은 저하된다. 따라서 최적의 시점 수 전송은 많은 실험과 결과로 논의가 필요하다. 그림 8은 초다시점 비디오의 기본적인 프레임워크를 나타낸다 [13].

1D 선형 또는 수렴형 형태로 넓은 범위를 촬영할 수 있는 카메라 시스템을 가정한다.

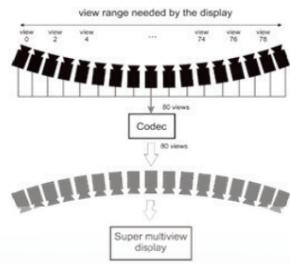


그림 8. 초다시점 비디오 프레임워크

현재 최고의 압축 성능을 내는 3차원 영상 부호기는 HEVC(High Efficiency Video Coding)를 기반으로 확장한 3D-HEVC이다. 3D-HEVC는 같은 수의 색상 비디오와 깊이 비디오를 부호화하여 데이터를 전송한다. 이 부호기에서는 시점 간 연관성, 색상영상과 깊이영상의 유사성 등이 참조 정보로 이용된다. 제안될 초다시점 비디오 기술은 3D-HEVC를 이용하여 부호화했을 때의 결과와 비교된다. 3D-HEVC를 이용할 때의 결과는 미리 약속된 환경 설정을 바탕으로 해야 한다. 대표적으로 P-I-P 시점 간 예측 구조, 8개의 GOP(Group of Pictures), 24 프레임마다 인트라 지정 등의 설정이다. 기술을 제안하는 기관은 rate-point 비트스트림, 복호기 실행 파일, 결과 비디오 클립, 복호화 결과 영상의 PSNR(Peak Signal-to-Noise Ratio) 등을 제출해야 한다.

4.2 자유시점 비디오 기술 실험

자유시점 비디오 기술은 넓은 간격으로 비선형적으로 배치된 10개 정도의 카메라 시스템에서 임의시점 영상 합성을 하기 위해 필요하다. 영상 합성에 깊이 영상과 같은 보조 데이터도 함께 전송된다. 복호화가 마무리되면 렌더러로 연결되어 임의시점 영상이 합성되고 디스플레이에 입력되게 된다.

다. 그림 9는 이러한 자유시점 비디오 프레임워크를 표현한다. 카메라는 간격이 넓게 떨어져서 시점 간 연관성이 낮은 상태를 가정한다. 예를 들면 축구장 같은 스포츠 경기장에 카메라를 둘레로 설치하면 TV 시청자는 원하는 시점에 카메라가 존재하지 않더라도 그 시점의 합성영상으로 스포츠를 즐길 수 있게 된다.

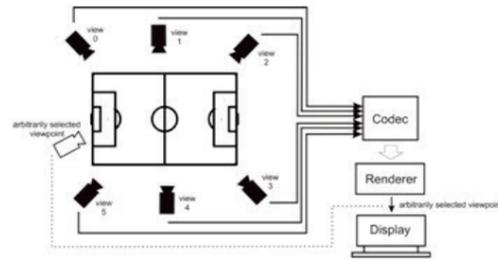


그림 9. 자유시점 비디오 프레임워크

현재 사용되는 대부분의 영상 합성 기술들은 깊이영상을 이용하여 3차원 정보를 생성한다. 자유시점 비디오에서는 시점 간 연관성이 매우 낮고 높은 수준의 합성 화질이 필요하기 때문에 깊이영상 기반의 합성 방법은 비효율적일 수 있다. 자유시점 비디오를 위하여 영상 포맷을 변경하게 된다면 부호화가 HEVC 기반일 때를 기준으로 하여 비디오 압축 성능 결과 또한 검토되어야 한다.

실험 결과 비교 대상은 3D-HEVC를 부호기로 사용하며, 영상 합성 참조 소프트웨어(view synthesis reference software, VSRS)를 이용하여 합성된 데이터이다. 자유시점 비디오 기술을 실험할 때 이용되는 3D-HEVC의 환경 설정은 초다시점 비디오 기술 실험에 활용되는 3D-HEVC 환경 설정과 동일하다. 제안하는 기술은 3차원 공간에 있는 어느 시점이든 합성 영상을 생성할 수 있어야 한다. 기술을 제안하는 기관은 rate-point 비트스트림, 복호기 실행 파일, 렌더러 실행 파일, 결과 비디오 클립, 복호화 결과 영상의 PSNR 등을 제출해야 한다.

4.3 표준화 일정 및 기술 평가 방법

2015년 6월 미팅에서 최종 실험 시퀀스와 3D-HEVC 실험 평가 기준 데이터가 결정될 예정이며 2015년 10월 미팅에는 FTV 참여 기관들이 기술들을 제안하고 이를 평가하게 된다. 객관적 평가로는 rate-point, PSNR 등을 비교하게 된다. 초다시점 비디오 기술과 자유시점 비디오 기술은 목적이 서로 다르기 때문에 평가 또한 구분되어 이루어진다.

초다시점 비디오 기술의 평가 경우 양안식 모니터가 준비되며 복호화된 영상들의 비디오 클립들이 합쳐져 전송된 모든 시점 영상들에 대하여 sweep을 생성하게 된다. Sweep은 같은 시간 축을 바탕으로 시점들의 영상을 연결한 시퀀스이다. 스테레오 영상 간 간격은 각 시퀀스마다 따로 미리 결정된다. Sweep의 연결 속도는 1 시점 당 2 프레임이다. 그림 10은 초다시점 비디오 기술을 평가하기 위한 sweep 형태를 나타낸다.

자유시점 비디오 기술 평가는 2D 모니터를 이용할 예정이다. 전송된 데이터를 바탕으로 생성된 임의시점 영상들은 합쳐져 sweep을 생성하게 된다. Sweep의 시작점은 평가 좌상이 임의로 정한다. Sweep의 연결 속도는 1시점 당 1 프레임이다. 그림 11은 자유시점 비디오 기술 평가 sweep 형태를 표현한다.

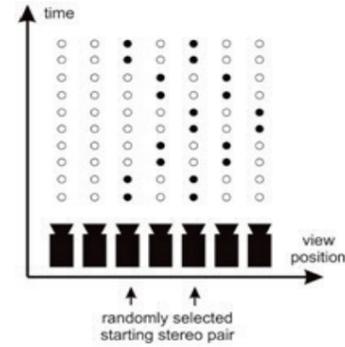


그림 10. 초다시점 비디오 기술 평가

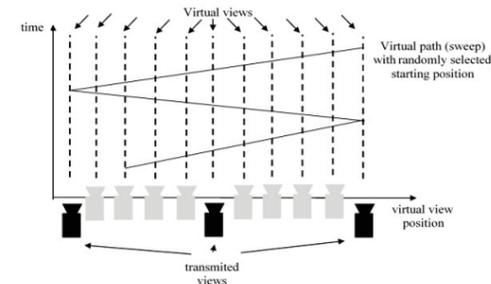


그림 11. 자유시점 비디오 기술 평가

5. 결론

본고에서는 MPEG FTV 그룹의 초다시점 및 자유시점 비디오 표준화 동향에 대해 살펴보았다. 현재까지 개발된 다시점 및 3차원 비디오 기술들은 미래의 다양한 응용 제품에 적용하기에 한계가 많기 때문에 새로운 기술들을 개발하고 이를 표준화하는 작업이 매우 중요하다. 초다시점 비디오는 100개 가까이 되는 무수히 많은 시점의 데이터를 효과적으로 처리해야 하며 자유시점 비디오는 시점 간 이동이 많은 영상에서 임의시점 영상의 합성 화질 증대가 중요한 문제이다. FTV 그룹에서는 부호화 및 임의시점 영상 합성이 상대적으로 용이한 좁은 카메라 간격 및 평행 배치 구조 틀에서 벗어나 다양한 카메라 구조에서 촬영된 영상에 적용될 수 있는 기술들을 개발할 예정이다. 2015년 6월과 10월에 열릴 MPEG 회의에서는 기술 평가에 사용될 실험 영상, 평가 방법등을 최종 결정할 예정이다.



호요성 교수
소속 : 광주과학기술원 실감방송연구센터
주 연구분야 : 영상신호처리, 영상압축, 3DTV, MPEG/HEVC
E-mail : hoyo@gist.ac.kr
http://vclab.kjist.ac.kr/



참고문헌

[1] M. Tanimoto, M.P. Tehrani, T. Fujii, and T. Yendo, "Free-Viewpoint TV," IEEE Signal Processing Magazine, vol. 28, no. 1, pp. 67-76, Jan. 2011.

[2] M. Tanimoto, T. Senoh, S. Naito, S. Shimizu, H. Horimai, M. Domanski, A. Vetro, M. Preda, and K. Muller, "Proposal on a New Activity for the Third Phase of FTV," ITU-T/ISO/IEC JCT3V-E0258, July 2013.

[3] Y.S. Ho and Y. Song, "MPEG Activities for 3D Video Coding," Proc. of Asia-Pacific Signal and Information Processing Association (APSIPA), Plenary 2.3(1-4), Dec. 2014.

[4] Y.S. Ho and Y. Song, "Overview of the State-of-the-art 3D Video Coding Technologies," Global 3D Tech Forum, vol. 3, pp. 28-29, Oct. 2014.

[5] Requirements Group, "Experimental Framework for FTV," ISO/IEC MPEG N15048, Oct. 2014.

[6] K. Wegner, T. Senoh, and G. Lafruit, "Description of Exploration Experiments on Free-viewpoint Television (FTV)," ISO/IEC MPEG N14551, July 2014.

[7] M. Tanimoto, K. Wegner, G. Lafruit, "AHG on FTV (Free-viewpoint Television)," ISO/IEC MPEG M35442, Feb. 2015.

[8] M. Tanimoto, T. Fujii, and N. Fukushima, "1D Parallel Test Sequences for MPEG-FTV," ISO/IEC MPEG M15378, April 2008.

[9] M. Tanimoto and T. Fujii, "FTV-Free Viewpoint Television," ISO/IEC MPEG M8595, July 2002.

[10] L. Jorissen, P. Goorts, N. Michiels, M. Dumont, B. Bex, S. Rogmans, and G. Lafruit, "EE1 and EE2 on San Miguel," ISO/IEC MPEG M33164, April 2014.

[11] P. Goorts, M. Javadi, S. Rogmans, and G. Lafruit, "San Miguel Test Images with Depth Ground Truth," ISO/IEC MPEG M33163, April 2014.

[12] P. Goorts, P. Carballeira, S. Garcia, K. Wegner, F. Moran, and G. Lafruit, "[FTV-AHG] EE2: San Miguel Results," ISO/IEC MPEG M35111, Oct. 2014.

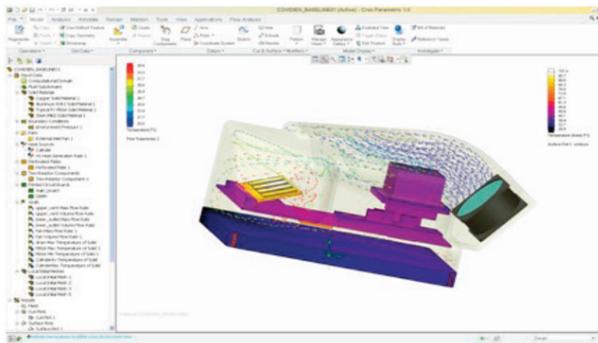
[13] Requirements Group, "Draft Call for Evidence on FTV," ISO/IEC MPEG N15095, Feb. 2015.



Mentor사 FloEFD

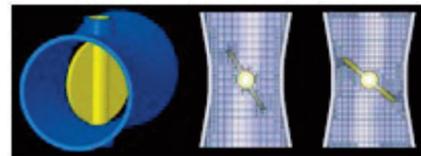
Mentor사 FloEFD

- A. 목적**
CFD (Computational Fluid Dynamics) Solution
- B. 구분**
3D CAD에 내장되는 범용 CFD
- C. Supported Platform and O/S System**
 - Linux RHEL 5.5 64bit
 - Windows 7, Server 2003, Server 2008, Vista, XP 32/64bit
- D. 특성 및 기능**
FloEFD는 주요 MCAD 제품에 내장되는 유일한 CFD 해석 툴이다. 주요 CAD 제품이란 Pro/ENGINEER, CATIA, Siemens NX, SolidWorks를 의미하며 Inventor, SolidEdge와도 높은 호환성을 유지한다. FloEFD는 3D 유동, 열전달을 모두 다루지만, 기존의 하이엔드 CFD에서 요구되었던 어려운 수치해석 용어나 격자 생성의 복잡함을 제거하였기에 초보자들도 쉽고 빠르게 사용법을 익힐 수 있다.

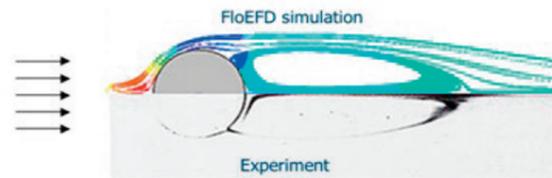


해석이 설계 프로세스에 잘 적용되려면 사용하기 쉽고 설계 프로그램과 밀접하게 융화되어야 한다. FloEFD는 설계자를 위해 개발되었으며 CFD 해석을 CAD의 플러그인 형태로 만들었다. 직관적인 인터페이스와 사용자에게 익숙한 환경 덕분에 FloEFD는 사용하기 매우 쉽다. 실제로 대부분 설계자가 8시간 정도의 간단한 교육 후에 FloEFD를 사용이 가능했다.

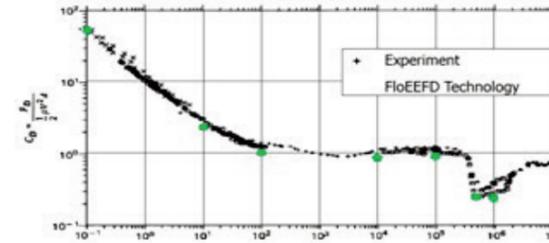
FloEFD는 Rectangular Adaptive Mesh를 채택하고 있다. 유체와 고체 영역에 대한 격자를 자동으로 생성해주며 형상이나 물리적 이유에 의한 격자 조정 역시 자동으로 이루어진다. 이러한 모든 격자 제어는 사용자가 다시 설정할 수 있다.



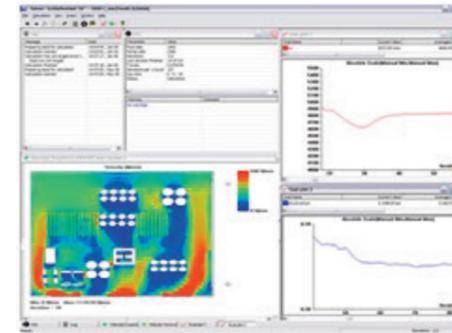
벽면 근처에서는 계산 격자와 무관하게 Partial Cells라는 기술을 사용하여 Wall Function을 수정해서 적용한다. 따라서 유동이나 열전달의 경계 층 현상을 물리적으로 정확하게 모사할 수 있다.



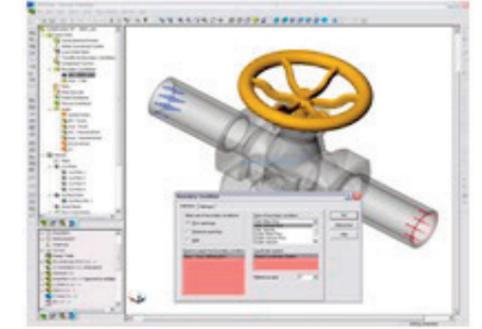
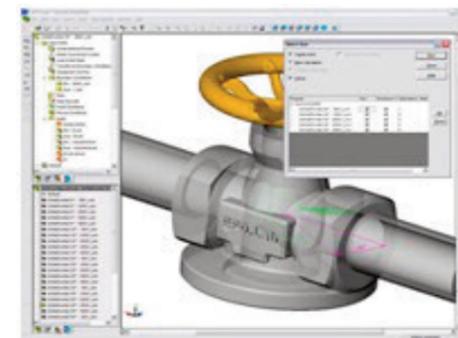
Modified Wall Function을 이용하여 자동으로 층/난류를 판별한다. 층류, 천이, 난류 영역을 하나의 모델 내에서 표현이 가능하며 각각의 유동 특성을 따로 정의할 필요가 없다.



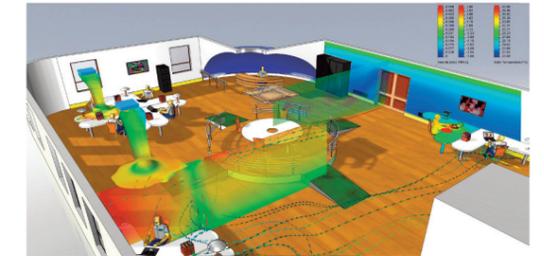
일반적인 CFD Tool들에서는 수렴성을 획득하는 것이 큰 어려움 중의 하나이다. FloEFD는 자동 수렴 제어 기능이 있어 매우 신뢰성 높은 수렴성을 보인다. 별도의 수치제어 없이 한 번의 계산으로 수렴성을 획득할 수 있다. 그리고 이렇게 계산된 결과는 매우 높은 정확도를 보여준다. 다양한 검증 예제가 FloEFD S/W와 함께 제공된다.



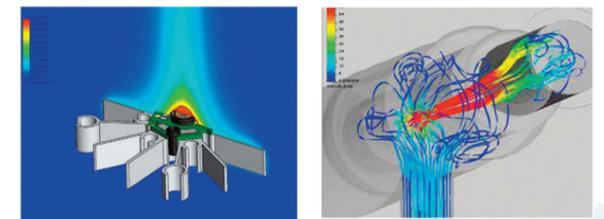
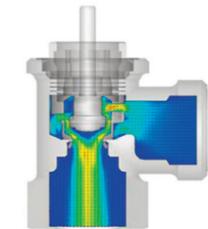
FloEFD의 가장 막강한 기능은 쉽게 'what-if' 해석을 해볼 수 있다는 것이다. 여러 가지 설계 변경안을 따로 불러오거나 경계조건을 새로 입력하는 등의 번거로움 없이 쉽게 해석해 볼 수 있다. 따라서 간단하게 여러 가지 설계안을 검토하고 최선의 것을 선택할 수 있다.



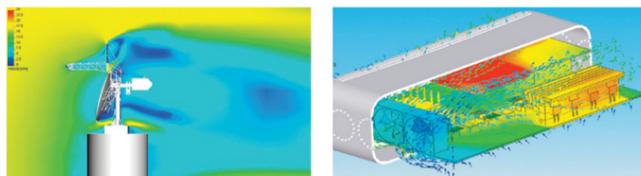
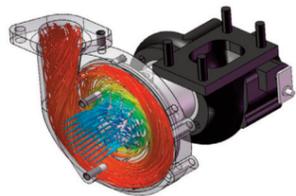
FloEFD의 GUI는 직관적이며 쉽다. 매우 강력한 결과 분석 도구 및 가시화 기능을 제공할 뿐 아니라 Microsoft Office의 Excel이나 Word 형태의 Report 생성도 자동으로 할 수 있다.



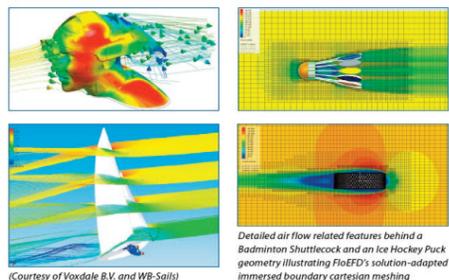
FloEFD를 적용할 수 있는 분야는 매우 많다. 밸브, 노즐, 필터 등이 실제 동작 환경에서 겪게 되는 압력 손실을 구할 때 사용할 수도 있고 전도, 대류, 복사를 모두 포함한 열전달을 계산할 때 쓸 수도 있다. 워싱머신이나 식기세척기 등의 제품에서 믹싱문제를 검증해 볼 수도 있다.



유체 기계 내에서의 유체의 거동을 분석하고 최적화하거나 바람에 의한 공격 분포를 확인해 볼 수도 있고 전자 제품 냉각을 위한 적절한 솔루션을 찾아볼 수도 있다.

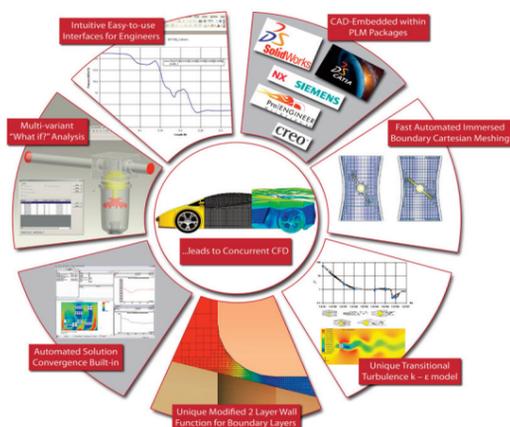


오늘날에는 스포츠 분야에서도 기록 경신을 위해 최첨단 기술을 추구하는 추세이며 FloEFD는 이 분야에서도 괄목할 만한 성능을 보여준다.



Detailed air flow related features behind a Badminton Shuttlecock and an Ice Hockey Puck geometry illustrating FloEFD's solution-adapted immersed boundary cartesian meshing
(Courtesy of Vauxdale B.V. and WB-Sails)

FloEFD는 앞서 설명한 7가지 특별한 기술과 더불어 여타의 3rdParty CFD 프로그램들과 달리 진정으로 CAD에 내장되는 장점으로 설계자들에게 차별화된 경험을 선사할 것이다. 이를 통해 CFD 해석을 설계와 병행할 수 있게 되고 설계 비용 및 시간을 크게 단축할 수 있다.



회사명 : Mentor Graphics
(Subsidiary of Ansys Inc.)
웹 주소 : <http://www.mentorkr.com/>
한국지사 : 한국멘토
전화 : 031) 8061-0790
주소 : 경기도 성남시 분당구 판교역로 192번길 12 (삼평동)
판교 미래에셋센터 7층

2015 IDEC SoC Congress

일시 : 2015.06.30(화), 09:20~19:00
장소 : KAIST KI빌딩 1층 강당

대학에 설계 연구 환경 지원에 대한 결과를 소개·전시하고 대학과 관계자 분들과 함께 SoC 설계 인력 양성의 현안과 발전 방향에 대해 논의하고자 IDEC SoC Congress(ISC)를 개최합니다. 본 행사를 통해 산업의 근간인 인력양성에 대한 많은 의견을 수렴하여 더욱 나아진 연구 및 교육 환경이 구축될 수 있도록 관계자 여러분의 많은 관심과 참여 부탁드립니다.

> 진행 프로그램

- 성과전시 : MPW 설계 결과 전시(CDC)/ WG 연구 개발 IP 소개
- 최신 동향 세미나 : SoC 및 차량용 반도체의 기술 동향과 비전
- 포럼 : SOC 인력양성을 위한 대학 교육(기업-정부-대학)
- 지원기관 참여 : 공정사와 EDA Vendor
- IDEC 수행 사업 및 관련 시상

> 세부진행일정

| 구분 | Session1(강당,1F) | Session2 (로비,1F) |
|-------------|--|---|
| 09:20~10:00 | Registration | |
| 10:00~10:30 | - Opening - 축사(강성모 총장, KAIST) | 10:00 ~ 16:00 [IDEC 성과] CDC참여팀 설계 우수팀 [관계기관 전시] 공정사 EDA Tool Vendor |
| 13:30~11:50 | [최신동향 세미나] SoC 산업의 기술동향과 비전 | |
| 11:50~13:00 | 점심식사(패컬티 클럽) | |
| 13:00~14:20 | [최신동향 세미나] 차량용 반도체의 기술 동향과 비전 (Kent, Chon 사장, IT코리아) | |
| 14:20~15:00 | Break Time_관람전시 | |
| 15:00~15:30 | [사업내용보고 및 시상] - IDEC 사업 수행 내용 및 성과 발표 - CDC 우수팀 및 우수 강사 시상 | |
| 15:30~17:30 | [포럼진행] - 참석: 대학-기업-정부 - 주제: SoC분야 대학 교육 방향, IDEC의 역할 | |
| 17:30~19:00 | 저녁식사(영빈관) | |

- 주 최 : 미래창조과학부, 산업통상자원부
- 주 관 : 반도체설계교육센터(IDEC), KAIST
- 문의처 : 042-350-4428, <http://idec.or.kr>, yslee@idec.or.kr

