

# IDEC newsletter

VOL. 225 MARCH 2016

## [기술동향1] 06~09p

더 얇게, 더 뚜렷하게 - AMOLED, 모든 디스플레이의 영역에 도전하라  
Active Matrix Organic Light Emitting Diode (AMOLED) Pixel 회로 구동 기술

## [기술동향2] 10~15p

정전기 방전 현상으로부터 IC를 보호하기 위해  
ESD 기술 및 연구 동향

## [기획칼럼] 16~17p

최고의 퍼포먼스와 정확도를 제공한다  
SILVACO사 SmartSpice (EDA Tool 소개)

## [신진연구자 소개] 18~19p

실용적인 연구자를 꿈꾸다  
세상이 원하는 기술을 위해 (김현식 교수, 단국대학교)



반도체설계교육센터  
IC DESIGN EDUCATION CENTER

## MPW (Multi-Project Wafer) 2016년 3월 MPW 모집안내 / 진행 일정 및 공정 지원 내역

### ■ 2016년 MPW 모집안내(3월)

- 모집일정 : 02.22(월)~03.07(월)
- 모집공정 및 회차 : MS180-1603회 매그나칩/SK하이닉스 0.18um 공정
- 참가대상 : IDEC 참여대학(Working Group)
- 신청방법 : IDEC 홈페이지(<http://idec.or.kr>)

### ■ 2016년 MPW 진행 일정 및 공정 지원 내역

- S65-1601회의 일정이 조정되어 진행될 예정입니다.
- 삼성 65nm 공정 1회차 이후 일정과 추가지원 내역은 4월 중 결정될 예정입니다.

공정	회차구분 (공정_년도순서)	우선모집 (마감일)	정규모집 (마감일)	제작 칩수	DB마감 (Tape-out)	Die-out	비고
매그나칩 /SK하이닉스 180nm	MS180-1601		2016.01.18	25	2016.03.21	2016.08.16	모집완료
	MS180-1602		2016.02.01	25	2016.05.16	2016.10.17	모집완료
	MS180-1603		2016.03.07	25	2016.07.18	2016.12.19	모집중
	MS180-1604	2016.02.01	2016.04.04	25	2016.09.19	2017.02.20	
	MS180-1605	2016.04.04	2016.06.07	25	2016.12.05	2017.05.08	
매그나칩 /SK하이닉스 350nm	MS350-1601		2016.02.01	20	2016.06.13	2016.10.04	
	MS350-1602	2016.05.02	2016.07.04	20	2016.01.16	2017.05.08	
삼성 65nm	S65-1601		2016.02.01	40	2016.06.27-> 8월로 연기 예정	2017.01.09-> 8월중 제작 예정	모집 완료

∞ 문의 : KAIST IDEC 이의숙 (042-350-4428, yslee@idec.or.kr)

- \* 일정은 사정에 따라 다소 변경될 수 있음
- \* 표기 : MS = 매그나칩/SK하이닉스, TJ = TowerJazz
- \* 회차 표기 방법 변경 : 공정 코드-년도 모집 순서 (예시) 삼성 65nm 2016년 1회차 : S65-1501)
- \* 모집기간 : 모집 마감일로부터 2주 전부터 접수
- \* Package 제작은 Die out 이후 1개월 소요됨
- \* 2016. 02. 25 (기준일)

## 2016년 03월 교육프로그램 안내

수강을 원하는 분은 IDEC 홈페이지(www.idec.or.kr)를 방문하여 신청하시기 바랍니다.

### 강좌 일정

강의일자	강의제목	분류
3월 2-3일	Xilinx ISE를 활용한 FPGA 설계 실습	설계강좌
본센터 3월 4일	아날로그 IC 설계 및 Layout 강좌	설계강좌
3월 28-31일	[IDEC 연구원 교육] IDEC MPW 설계를 위한 교육	설계강좌

- 강좌일 : 3월 2-3일
- 강좌 제목 : Xilinx ISE를 활용한 FPGA 설계 실습
- 강사 : 김민석 팀장(리버트론)

#### 강좌개요

- FPGA 및 ISE SW 이해
- FPGA 다운로드 이해 및 디버깅 이해

**수강대상** Xilinx FPGA를 사용해야 하는 담당자 및 엔지니어

**강의수준** 초급

**강의형태** 이론+실습

**사전지식/선수과목** HDL(VHDL, Verilog) 기본 지식

- 강좌일 : 3월 4일
- 강좌 제목 : 아날로그 IC 설계 및 Layout 강좌
- 강사 : 변영재 교수(UNIST)

#### 강좌개요

MOS 기본 physics 복습을 통한 single stage amplifier의 원리를 철저히 이해하고, 그를 바탕으로 current mirror, differential amplifier의 의미를 이해한다. Frequency Response/Feedback을 통한 stability 등 주파수 영역에서의 설계 대한 이해를 완성하고, bandgap reference, op amp, switch cap circuits, PLL 등을 배운 후, 몇 가지 실제적인 설계를 분석하며 그 이해를 탄탄히 해본다. 틸름이 layout 기본에 대한 설명과 여러 가지 상황에서의 레이아웃의 know-how를 소개한다.

**수강대상** 전공자 중 대학교 4학년, 석사 1-2년, 직장인 및 타전공자

**강의수준** 초급

**강의형태** 이론

**사전지식/선수과목** 전자회로 1, 2

- 강좌일 : 3월 28-31일
- 강좌 제목 : [IDEC 연구원 교육] IDEC MPW 설계를 위한 교육
- 강사 : 김연태 연구원, 선혜승 연구원(IDEC)

#### 강좌개요

디지털 설계자들을 위한 IDEC MPW 진행 방식을 소개하고 설계부터 레이아웃, 검증 과정까지 실제 설계과정과 동일한 FLOW 로 교육과 실습을 진행합니다.

**수강대상** 대학원, 회사원

**강의수준** 중급

**강의형태** 이론+실습

**사전지식/선수과목** 디지털 논리회로, Verilog Language

∞ 문의 : KAIST IDEC 이한나 (042-350-8536, lhn1224@idec.or.kr)



## Chip Design Contest (CDC)

### ■ 제23회 한국반도체학술대회 Chip Design Contest (CDC) 개최

**1. 일정 및 장소** : 2016년 02월 23일(화), 강원도 하이원리조트

#### 2. 진행 일정

구분	시간	내용
패널 우수팀 발표	09:00~10:15	CDC 발표 세션 (총 5편, 한 편당 15분 발표)
데모/패널 전시	09:00~17:00	데모 3팀, 패널 52팀 (총 55팀, 오전-오후로 나누어 전시)

#### 3. 시상 내용

- Best Design Award

소속	대표저자 (지도교수)	논문명
송실대학교	손민오 (박창근)	A 900-MHz linear mode CMOS Power Amplifier Using a Symmetrical Layout of Inter-stage Inductor

- Best Demo Award (SSCS 서울챕터상)

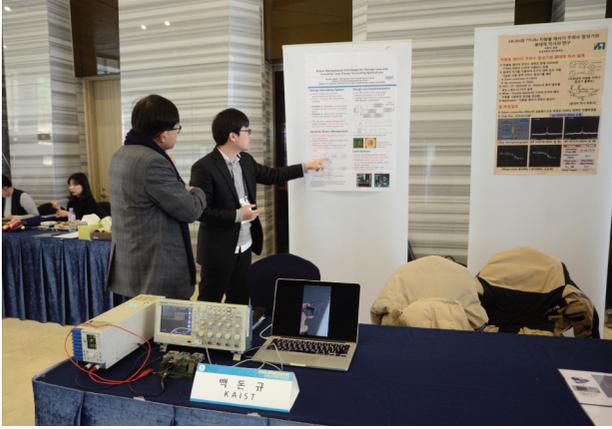
소속	대표저자 (지도교수)	논문명
고려대학교	여협구 (양지운)	A prototype 88x64 array capacitive fingerprint sensor

- Best Poster Award

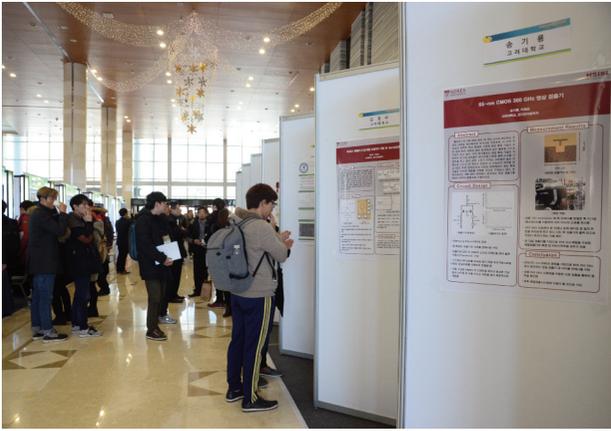
소속	대표저자 (지도교수)	논문명
경희대학교	박다숨 (이종욱)	A Low Power 10-bit Monotonic Switching SAR AD with Comparator Offset Calibration
서울대학교	최광석 (권영우)	A 60 GHz CMOS Low Noise Amplifier with Cascode stage for WPAN Applications

■ 제23회 한국반도체학술대회 Chip Design Contest 개최 소식

반도체설계교육센터(IDEC)는 지난 2월 23일 화요일 강원도 하이원리조트에서 열리는 제23회 한국반도체학술대회에서 Chip Design Contest를 개최했다. 이날 행사를 통해 총 55편의 논문이 발표되었다. 그 중 데모는 3팀이, 패널은 52팀이 참여하였다.



데모 전시에 대한 평가를 받는 모습



행사장 전경

Chip Design Contest에 제출된 논문은 평가를 통해 우수팀에게 Best Design Award, Best Demo Award(SSCS 서울챕터상), Best Poster Award를 수여한다. 가장 우수한 논문에게 주어지는 Best Design Award는 송실대학교 손민오(논문명 A 900-MHz linear mode CMOS Power Amplifier Using a Symmetrical Layout of Inter-stage Inductor)에게 돌아갔다. 가장 우수한 데모 참여팀에게 수여되는 Best Demo Award(SSCS 서울챕터상)은 고려대학교 여협구(논문명 A prototype 88x64 array capacitive fingerprint sensor)에게, 가장 우수한 포스터 참여 팀에게 수여되는 Best Poster Award는 경희대학교 박다솜(논문명 A Low Power 10-bit Monotonic Switching SAR ADC with Comparator Offset Calibration), 서울대학교 최광석(논문명 A 60 GHz CMOS Low Noise Amplifier with Cascode stage for WPAN Applications)에게 각각 돌아갔다.

이날 행사에서는 Best Demo Award(SSCS 서울챕터상)을 수상한 고려대학교 여협구 팀에 대한 시상만이 이루어졌다. 나머지 Best Design Award와 Best Poster Award에 대한 시상상은 오는 6월 말 KAIST 내에서 열릴 2016 IDEC SoC Congress에서 이루어질 예정이다.

한편, 지난 2월 반도체설계교육센터(IDEC)는 고체반도체회로협회(SSCS) 서울챕터와 "Chip Design Contest" 상금 지원 관련 업무 협약을 체결했다. 이 협약으로 제23회 한국반도체학술대회 Chip Design Contest부터 가장 우수한 데모 참여팀이 상금을 지원받을 수 있게 된 것이다. SSCS 서울챕터는 미국전기전자공학회(IEEE) 내 고체반도체회로협회의 한국 지부이다.

반도체설계교육센터(IDEC)가 주관하는 Chip Design Contest는 반도체 및 시스템 설계 분야의 기술 공유와 활발한 정보 교류의 장으로, 국내외 파운드리를 통해 제작된 칩과 프로그래머블로직디바이스(PLD)로 구현한 칩을 시연한다. 이를 통해 신기술 흐름에 관한 정보를 설계자들이 공유하고, 국내 반도체 설계 경쟁력 강화 및 설계 기술력 향상을 도모한다.

∞ 문의 : KAIST IDEC 김하늘 (042-350-8535, kimsky1230@idec.or.kr)



제23회 한국반도체학술대회 Chip Design Contest 시상식

IDEC WG 박사과정 졸업논문 소개

IDEC 워킹그룹 우수 실적 연구실에서 2016년 2월 졸업한 박사과정 학생들의 논문을 소개합니다.

- 이름(소속) : 박형구(성균관대학교)
- 지도교수 : 이강운 교수
- 졸업논문명 : 자기 유도 및 자기 공진용 고효율 무선 충전 수신기의 연구

논문소개

공유지연 보상 루프회로 및 적응형 영 전류감지 회로를 적용한 고효율 능동정류기는 각 모드 별 동작 주파수에서 두 가지 동작을 통해 고효율을 만족할 수 있도록 설계되었습니다. 자기유도 방식(WPC와 PMA 표준)의 경우, 능동정류기는 변화하는 주파수에 대해 정확한 동작을 위해 영 전류감지 회로에 의해 동작합니다. 자기유도 방식에서는 수백 kHz 이하의 낮은 주파수로 동작하기 때문에, 회로에서 발생하는 지연시간이 중요하지 않습니다. 영 전류감지 회로의 경우, 전류감지를 통해 각 MOSFET의 온/오프 시간을 조정해 역전류를 방지함으로써 능동정류기의 효율을 최대화할 수 있습니다. 자기공진 방식(A4WP 표준)의 경우, 동작주파수가 6.78MHz로 높아 회로에서 발생하는 지연에 의한 영향이 큽니다. 따라서, 제안하는 능동정류기는 지연보상 회로에 의해 지연을 보상합니다. 제안하는 정류기의 각 MOSFET은 교류 입력전압에 의해 온/오프 되는 동작이 발생합니다. 교류 입력 전압 및 전류 사이의 지연의 경우, 내부회로인 전압제한 회로, 레벨 쉬프터, 게이트 드라이버 및 비교기에 의해 발생하며, 이로 인한 역전류로 전력효율이 감소합니다. 따라서, 제안하는 능동정류기는 지연고정 루프를 통해 내부회로에 의한 지연을 보상함으로써 역전류를 제거하여 효율을 최대화합니다. 그 밖에도 Negative 임피던스 회로 및 게이트 분리기법을 적용하여 스위칭 손실을 최소화했습니다. 직류-직류 변환기의 경우, 위상보정 루프를 적용하여 스위칭 주파수를 공정, 전압 및 온도 변화에 대해 일정히 유지시켜 특히 열에 의한 효율감소 문제를 해결했으며, 급속충전을 위한 9W 모드, 넓은 출력파위에 대해 안정적인 효율을 가지기 위한 PWM/PFM 모드 및 통신 시 안정적인 동작을 위해 전류를 제한하는 적응형 전류제한 회로를 적용했습니다.

- 이름(소속) : 성시덕(KAIST)
- 지도교수 : 조규형 교수
- 졸업논문명 : High Efficiency Capacitor-less Parallel Combined Envelope Modulator with Dual Class D Amplifiers for LTE PA

### 논문소개

RF power amplifier의 높은 효율을 달성하기 위한 envelope modulator(EM)를 제안했습니다. 특히, 제안된 modulator는 battery 전압보다 높은 전압을 공급함과 동시에 저주파대역의 power를 공급할 수 있도록 single-inductor dual-output(SIDO) 구조로 설계되었습니다. 이러한 SIDO 구조 덕분에 제안하는 EM은 추가적인 boost converter가 필요 없게 되었습니다. 또한, 광대역 특성을 달성할 수 있도록 새로운 방식의 보상방법을 제안했습니다. 이러한 광대역 converter는 고주파 대역의 power를 공급할 수 있고, SIDO 구조와 coupling capacitor 없이 low-frequency current balancing(LFCB) technique을 이용하여 병렬연결 됨으로써 높은 효율을 달성할 수 있었습니다.

- 이름(소속) : 이희호(경북대학교)
- 지도교수 : 신장규 교수
- 졸업논문명 : Fabrication and Characterization of AlGaIn/GaN-Based HFET-Type Biosensors

### 논문소개

AlGaIn/GaN을 기반으로 HFET형 및 extended-gate형 바이오센서를 제작하고 전기적 특성을 확인했습니다. 감지대상 물질로는 스트렙타비딘-바이오틴 복합체와 C-reactive protein(CRP)을 사용했습니다. Au와 thiol이 반응하여 자기조립 단분자 층을 형성하는 것을 이용해 바이오 물질을 고정하는데 사용했습니다. 감지물질에 따른 각각의 센서출력 변화 및 감지물질에 따른 측정한계를 확인했습니다. 첫 번째로, FET형 센서의 게이트 전압을 출력으로 하는 영전위 회로를 적용한 AlGaIn/GaN HFET 기반의 바이오센서를 제작하여 전기적 특성을 확인했습니다. 11-MUA, CRP-antibody, CRP 고정에 따른 HFET 센서의 전류 변화 및 그에 따른 게이트 표면 전압변화를 확인했습니다. 또한, 제안된 센서는 넓은 범위의 CRP(10ng/mL~1000ng/mL)를 측정할 수 있음을 확인했습니다. 두 번째로, 차동 출력방식을 이용한 Bio-HFET/Ref-HFET/QRE 센서 시스템을 제작하고 출력특성을 확인했습니다. Au, Pt는 Bio-HFET, Ref-HFET의 게이트 물질로 사용되었으며, 이는 11-MUA 물질의 선택적 부착을 위해 사용되었다. 또한, Pt 유사전극은 기존의 상용 Ag/AgCl 전극을 대체하기 위해 칩에 집적되었습니다. 11-MUA, CRP-antibody, CRP 물질의 부착에 따른 게이트 표면전하의 변화를 Bio-HFET의 전류변화로 확인했으며, XPS 측정을 통해 각각의 물질이 고정화되는 것을 검증했습니다. 차동 출력 측정방식은 주변 환경 노이즈를 제거해 센서의 측정한계를 높일 수 있었습니다. 따라서, 기존 단일센서의 측정한계인 10ng/mL 보다 1000배 낮은 0.01ng/mL 농도의 CRP를 측정할 수 있었습니다. 마지막으로, AlGaIn/GaN 기반의 extended-gate HFET형 바이오센서를 제작하고 이를 이용하여 스트렙타비딘-바이오틴 복합체를 검출했습니다. 또한, 게이트 바이오층을 인가하기 위해 상용 Ag/AgCl 기준전극을 이용했습니다. SAM, 스트렙타비딘, 바이오틴이 extended-gate 영역에 부착됨에 따라 제작된 센서의 전류가 변화하는 것을 확인했습니다. 0.1ng/mL~1000ng/mL 농도의 바이오틴이 제작된 센서의 성능을 확인하기 위해 사용되었으며, 센서의 측정 한계는 0.1ng/mL로 확인되었습니다. 추가적으로 extended-gate 바이오센서와 normal-gate 바이오센서의 장기안정성을 확인했습니다.

- 이름(소속) : 채승원(KAIST)
- 지도교수 : 홍성철 교수
- 졸업논문명 : Terahertz wave CMOS Power Detector with in-chip antenna

### 논문소개

테라헤르츠 영역은 파장이 짧아 안테나의 사이즈를 작게 만들 수 있고, 광대역의 주파수 사용이 가능한 영역으로 칩 통신에 적극적으로 이용 가능합니다. 하지만, 기존의 CMOS동작으로는 테라헤르츠 대역에서의 사용에 대한 어려움 때문에 채널의 전자밀도를 이용한 plasma wave transistor(PWT)의 non-resonant 검출방법을 사용했습니다. 우선, 단일검출기의 반응성 향상을 위해 500GHz 대역에서 동작하는 Plasma wave transistor의 non-resonant 검출기 구조를 제안했습니다. PWT에 사용되는 NMOS 이외에 NMOS와 PMOS를 연결하여 stacked FET 구조를 제안했습니다. 제안한 stacked FET 구조와 기존의 cold FET를 패치안테나와 집적하여 칩을 제작했습니다. 각각의 검출기의 반응성 및 Noise Equivalent Power(NEP)의 비교를 통해, stacked FET가 cold FET보다 반응성이 높고 NEP가 낮음을 측정결과로 나타냈습니다. 두 번째 연구로는 안테나와 검출기 간의 임피던스 조건에 따라 달라지는 신호전달에 관해 연구했습니다. 검출기 및 안테나의 임피던스 변화에 따른 결과를 각각 알아보기 위해 다양한 임피던스 조건을 가지는 검출기를 500GHz 대역에서 설계했고, 이를 측정결과와 모델을 사용해 계산한 분석결과를 비교했습니다. 그 결과, 검출기를 측정된 결과와 모델을 이용하여 분석한 결과의 경향성이 일치함을 확인했습니다.

특히, 높은 검출기 임피던스를 가질수록 안테나로부터 더 큰 신호를 전달받아 반응성이 커짐을 확인했습니다. 세 번째로는 stacked FET 구조와 온 칩 패치 안테나를 이용하여 칩 간 통신에 이용될 수신기를 250GHz 에서 동작하도록 제작했습니다. 2kHz로 변조된 250GHz 신호원을 이용해 측정했으며, 복조된 2kHz 신호를 측정했습니다.

- 이름(소속) : 최준한(KAIST)
- 지도교수 : 조규형 교수
- 졸업논문명 : 6.78MHz 무선 전력 수신기와 3위상 3레벨 Class-K 구조를 이용한 Envelope Tracking용 전원 변조기를 위한 전력변환용 집적회로의 설계

### 논문소개

무선 전력 전송(WPT)과 envelope-tracking RF전력 증폭기(ETPA)를 위한 전력형 진폭 변조기(PAM)를 위해 두 가지 PMIC를 제안했습니다. 첫 번째 WPT를 위한 공진형 레굴레이팅 정류기(3R)는 스위칭 모드로 동작하며, 이로 인한 높은 전력효율을 가지도록 설계되었습니다. 3R은 6.78MHz 공진주파수에서 동작하며, 별도의 인덕터 사용 없이 공진코일만을 이용한 스위칭 동작을 통해 전압을 레굴레이션합니다. 3R은 최소 0W에서 6W의 출력까지 동작하며, 리시버 단을 통틀어 86%의 전력효율을 갖습니다. 두 번째, 3위상 3레벨 class-K PAM(3P3L-PAM)은 다중위상 class-D와 광대역 class-AB를 혼합하는 구조입니다. Class-D는 대부분의 전력을 감당하며 낮은 주파수 대역을 감당하고, class-AB는 전력은 작지만 높은 주파수 대역을 담당합니다. 제안된 PAM은 20MHz LTE 신호를 지원하고, 실회치 전력 3W를 출력할 수 있습니다.

- 이름(소속) : 홍희기(KAIST)
- 지도교수 : 류승탁 교수
- 졸업논문명 : 고속 저전력 디자인을 위한 Multi-bits per cycle SAR ADC 구조

### 논문소개

기존 SAR ADC의 경우 저전력의 특성에도 불구하고, 순환구조로 인해 고속에 적합하지 않습니다. 이를 해결하기 위해 2b/cycle SAR ADC 구조가 제안되었으나, 특유의 큰 샘플링 로드와 큰 스위칭 파워, 매칭 이슈 등의 이유로 설계가 어려웠습니다. 이를 해결하기 위해 기존의 단순한 3개의 SAR ADC 구조를 이용하여 2b/cycle 동작을 구현했던 것에 비해 SIG-DAC과 REF-DAC으로 역할을 나누고, Nonbinary 동작을 하는 구조를 제안하여 안정적인 고속, 저전력을 이루려 했습니다. 이러한 Multi-bits per cycle SAR ADC 구조의 면적과 파워를 추가적으로 줄이기 위해 MSB 부터 LSB까지 단계적으로 bits/cycle을 줄이며, 그에 맞게 추가적인 하드웨어들의 크기를 스케일링하는 Multi-step hardware retirement 기술을 제안하여 10b 1.7GS/s 15.4mW 30.4fJ/conv.step ADC를 포함한 state-of-the-art 수준의 칩들을 구현했습니다.



# Active Matrix Organic Light Emitting Diode (AMOLED) Pixel 회로 구동 기술

## 1. AMOLED 디스플레이

최근까지 cathode-ray-tube(CRT)에서 plasma-display-panel(PDP), 그리고 liquid-crystal-display(LCD)로 디스플레이는 많은 변화를 겪어 왔다. 이런 변화를 겪으면서 디스플레이는 두께가 얇아졌고, 크기는 점점 커졌으며, 해상도와 휘도가 함께 증가되었다. 또한, 프레임 주파수도 60Hz에서 현재 240Hz까지 적용된 제품이 시장에 나와 있으며, 3D라는 기능까지 추가되어 있다. 더욱이 해상도가 UHD(3840x2160)로 확대되면서 색 표현 범위(color gamut)와 gray scale 단계 수 등의 증가도 요구되고 있다. 그러나, 현재 여러 가지 불량과 LCD의 기술 정체로 인해 디스플레이 관련 시장과 학계는 침체를 면하지 못하고 있다. 이런 상황 속에서 새로운 디스플레이 시장의 기대주로 관심을 받고 있는 디스플레이 기술은 active matrix organic light emitting diode(AMOLED) 디스플레이이다. 2000년대 초반 대기업들을 중심으로 AMOLED에 대한 개발이 본격적으로 시작된 이후, 2007년부터는 일부 기업을 중심으로 mobile용 AMOLED의 양산이 시작되었다. 이는 이미 스마트폰 디스플레이로서 그 자리를 확고히 하고 있으며, 그 시장은 점점 더 확대되고 있다. 더욱이 2013년에 이르러 대형 OLED TV까지 그 영역이 확대되었고, 특히 LG디스플레이를 중심으로 대형 OLED 디스플레이 연구 및 양산 노력이 활발히 이루어지고 있다. AMOLED 디스플레이는 기존의 LCD와 비교하여 다음과 같은 장점을 가지고 있다.

- ① 일반 LCD보다 넓은 색 영역(color gamut)을 가지고 있으며, gray scale에 대한 변화가 거의 없다.
- ② LCD보다 응답속도가 빠르며, 온도에 대한 영향이 작다.
- ③ 시야각(viewing angle)에 따른 휘도 변화, 명암비(contrast ratio) 변화, 색 변화 등의 화질 열화가 LCD보다 훨씬 적다.
- ④ Backlight를 필요로 하지 않는 자발광 디스플레이이기 때문에 thin form factor를 가지며, LCD보다 더 낮은 가격의 디스플레이를 만들 수 있는 잠재력을 가지고 있다. 하지만, 공정의 복잡성, 낮은 수율, 많은 설비 투자로 인해 현재는 LCD보다 높은 가격으로 생산되고 있다. 현재 업계의 많은 노력으로 인해 시장에서 LCD의 2배 이하의 가격으로 OLED TV 제품을 구입할 수 있고, 더욱더 그 가격 차이가 줄어들 것으로 기대한다.

AMOLED 디스플레이가 LCD와 비교하여 많은 장점을 가지고 있는 반면, 많은 단점도 가지고 있다. Mobile용 디스플레이의 경우, 그 크기가 작기 때문에 많은 단점들이 드러나지 않지만, TV용 디스플레이에 적용하게 되면 이런 단점들이 큰 문제로 대두될 수 있기 때문에 실제 디스플레이에 적용하기 위해서는 다음과 같이 많은 어려움을 내재하고 있다.

- ① OLED는 current stress를 받으면 특성 열화가 발생한다. 즉, 효율의 저하가 발생하여 같은 전류를 흘려 주어도 출력 휘도가 떨어지는 문제가 발생하는 것이다. 모든 픽셀이 같은 stress를 받는다고 보장할 수 없기 때문에, 이는 화면에 얼룩 혹은 잔상으로 나타난다. 예를 들어, 스마트폰에서 키보드 이미지를 오랜 시간 사용하여 해당 부분의 OLED에 열화가 발생하였다고 하면, 키보드 이미지를 없앤 후에도 그 부분에 키보드 이미지의 형상이 계속 남아 있는 불량을 겪게 되는 것이다. 다행스럽게도 스마트폰은 2년도 안 되어 교체하기 때문에 큰 문제가 되지 않을 수 있지만, 이에 반해 TV의 경우는 7-9년의 사용 기간을 보장해야 하기 때문에 이런 OLED 열화 현상이 더 심각한 문제가 된다. 또한, 이런 열화 속도가 OLED의 color 별로 다르기 때문에 color shift의 문제도 발생할 수 있다.

- ② 텔레비전은 대면적이기 때문에 OLED와 thin-film transistor(TFT)의 위치에 따른 문턱 전압이나 mobility 등의 특성 유의차가 더 크게 발생할 수 있고, 이로 인해 화면 얼룩이 발생할 수 있다.

- ③ 이런 대면적 문제는 AMOLED 픽셀 회로 간의 전원 전압 차이 또한 발생시켜 위치별 휘도 차이를 발생시킬 수 있다. 이런 전원 전압 차이는 발광하는 동안 OLED에 계속 전류가 공급되어야 하고, 이를 공급하는 전원 배선에서의 전압 강하로 인해 발생하게 된다.

- ④ 텔레비전의 경우, 동영상 화질이 중요하고 AMOLED 디스플레이도 LCD 처럼 hold-type이기 때문에 영상이 뭉개지는 화면 끌림(motion blur) 현상을 줄이기 위해서 프레임 주파수를 높이는 기술이 적용되어야 한다. 또한, 고해상도와 대면적으로 가면서 계속해서 라인 주파수를 증가시키는 방향으로 제품 개발이 진행되고 있다. 라인 주파수는 결국 픽셀 구동 시간을 줄이게 되어 이를 해결할 수 있는 기술도 필요하다.

- ⑤ 마지막으로 LCD가 가지고 있는 디스플레이 시장을 AMOLED 디스플레이가 가져오기 위해서는 가격을 낮추는 노력이 핵심적이다. 이를 위해서는 공정 비용을 줄이는 기술이 필요하다. Oxide TFT의 경우, mobility가 low temperature poly-Silicon(LTPS) TFT보다는 낮지만, AMOLED 픽셀을 구동하기에는 충분한  $10\text{cm}^2/\text{Vs}$  정도의 값을 가지며, 기존 LCD에서 사용하고 있는 amorphous Silicon(a-Si) TFT 공정을 사용할 수 있기 때문에 대면적으로 가는 데 있어서 비용이 크게 증가하지 않는다. 이런 배경으로 많은 회사들이 AMOLED TV 개발에 oxide TFT backplane을 사용하고 많은 연구를 진행하고 있다.

## 2. Thin-Film Transistor Backplane 기술

현재 디스플레이에 적용 가능한 TFT 기술은 표-1과 같이 정리할 수 있다. 4가지 기준(대면적, 고해상도/고주파수, 저원가, 장기수명)에서 고려해 보면 다음과 같이 정리할 수 있다. 대면적의 경우, 위치에 대해 균일한 TFT 특성이 요구되며, 대형 glass가 지원이 가능해야 함으로 a-Si와 oxide TFT가 적합하다. 고해상도/고주파수에 대해서는 TFT의 mobility가 높아야 하기 때문에 LTPS TFT와 oxide TFT가 적합하며, 저원가의 경우 a-Si TFT 공정은 이미 LCD에서 set-up이 완료되어 있고, oxide TFT는 a-Si TFT 공정을 이용할 수 있기 때문에 적합하다. 마지막으로 장기수명은 stability 특성이 좋은 LTPS TFT가 적합하다. 이런 검토를 토대로 가능한 backplane은 LTPS TFT와 oxide TFT이며, 가격의 중요성이 강조되므로 oxide TFT가 AMOLED 디스플레이의 핵심 backplane 기술로 자리를 잡을 것으로 판단하고 있다.

Oxide TFT는 uniformity, mobility, 원가의 측면에서 타 TFT에 비해 장점을 갖지만, bias stress, 온도 등의 주변 환경에 의해 전기적 특성이 픽셀마다 달라지는 문제, 즉 화면 얼룩 혹은 잔상 문제가 생긴다. 따라서 OLED backplane 설계 시 bias stress에 따른 threshold voltage( $V_{th}$ )의 변화, OLED 특성 열화, mobility의 변화를 고려하여 보상할 수 있도록 구동회로를 설계해야 한다.

표-1. TFT Backplane 기술

Method		Merit	Technical Issues
Poly-Si (PMOS/CMOS)	Line-Beam Poly Si (ELA)	<ul style="list-style-type: none"> <li>Being Used in LCD</li> <li>High Mobility (50~200cm<sup>2</sup>/Vs)</li> <li>Good Stability</li> <li>Low Off-Current</li> </ul>	<ul style="list-style-type: none"> <li>Non-Uniformity</li> <li>Difficult for Large Size (Beam Width : 465mm)</li> <li>Low Throughput</li> </ul>
a-Si (NMOS)		<ul style="list-style-type: none"> <li>Uniform TFT</li> <li>Using LCD Infra</li> </ul>	<ul style="list-style-type: none"> <li>Low Mobility (&lt;1cm<sup>2</sup>/Vs)</li> <li>Vth Instability</li> </ul>
Oxide TFT (NMOS)		<ul style="list-style-type: none"> <li>High Mobility (10~80cm<sup>2</sup>/Vs)</li> <li>Good Uniformity</li> <li>Low Off-Current</li> </ul>	<ul style="list-style-type: none"> <li>Vth Instability</li> <li>Depletion mode</li> </ul>
OTFT (PMOS)		<ul style="list-style-type: none"> <li>Printing Base</li> <li>Low Cost</li> <li>Flexible Substrates</li> </ul>	<ul style="list-style-type: none"> <li>Low Mobility (&lt;1cm<sup>2</sup>/Vs)</li> <li>Low On/Off Ratio</li> <li>Immature Process</li> </ul>

### 3. AMOLED 픽셀 보상 회로

AMOLED 픽셀 보상 회로로 넘어가기 전에 우선 기본 픽셀 회로에 대해 설명하고자 한다. 기본 픽셀 회로는 그림-1과 같이 2개의 TFT와 1개의 capacitor, 그리고 OLED로 이루어져 있다.

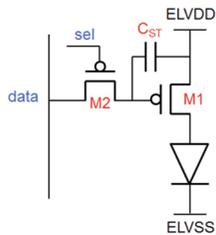


그림-1. 기본 AMOLED 픽셀 회로

M1은 driving TFT라 하는데, 전압 신호를 전류로 변환하고 M2는 scan TFT를 통해 data line으로 들어오는 픽셀 전압을 해당 타이밍에 해당 라인의 픽셀에 전달하도록 하는 스위치 역할을 한다. C<sub>ST</sub>는 TFT의 leakage로 인한 전압 변화를 줄이기 위한 프레임 동안 유지하는 역할을 해서 storage capacitor라고 한다. 그 결과, OLED에 흐르는 전류는 saturation 영역에서 동작하는 driving TFT에 전달되는 data 전압(V<sub>data</sub>)에 의해 식-1과 같이 되고, 이 전류가 OLED에 흘러 빛을 발생하게 되는 것이다. 따라서, 앞서 언급한 것과 같이 V<sub>TH1</sub>, mobility(μ), 그리고 전원 (ELVDD)에 유의차가 발생하면 전류의 유의차로 나타나게 되어 OLED 출력 빛의 세기에 유의차가 발생하며, OLED의 발광 효율이 변하여도 마찬가지로 문제가 발생하는 것이다.

$$I = \frac{1}{2} \times \mu \times \frac{W}{L} \times C_{GI} \times (ELVDD - V_{data} - |V_{TH1}|)^2 \quad (식-1)$$

AMOLED 픽셀 보상은 크게 내부 보상과 외부 보상으로 나뉘며, 여기서 내부 보상은 다시 voltage programming 방식과 current programming 방식, digital programming 방식으로 구분할 수 있다.

#### 1) 내부 보상

##### A. Voltage programming 방식

그림-2의 회로[1]는 voltage programming 방식을 이용하는 픽셀 회로 기술의 하나로, driving TFT를 diode connection 구조로 만든 후, gate와 source 사이의 V<sub>TH</sub>를 측정할 값으로 gate 전압을 보상하여 전류가 V<sub>TH</sub>의 영향을 받지 않고 결정되도록 하는 것이다. 좀더 자세히 설명하면, 초기에 MN4는 off, MN3, MN1은 on 시킨다. 이 때 MN2는 diode connection 상태가 되고 MN2의 gate 전압은 VDD-|V<sub>TH1</sub>|이 되는 것이다. 이 때, MN1

을 통해 VDD를 넣어 주면 C1에는 |V<sub>TH1</sub>| 전압이 저장되고, 이후 MN3를 off 시켜 MN1에 data 전압을 인가하면 gate 단에는 V<sub>data</sub>-|V<sub>TH1</sub>| 전압이 인가된다. 따라서, MN2의 흐르는 전류는 식-2와 같이 결정된다. 따라서 위치에 따라 다른 V<sub>TH</sub>값을 가지더라도 V<sub>TH</sub>와 무관하게 전류 값이 결정되기 때문에 화면의 얼룩은 사라지게 되는 것이다.

$$I_{OLED} = \frac{\beta}{2} \left( \frac{C_1}{C_1 + C_2} \right)^2 (VDD - V_{data})^2 \quad (식-2)$$

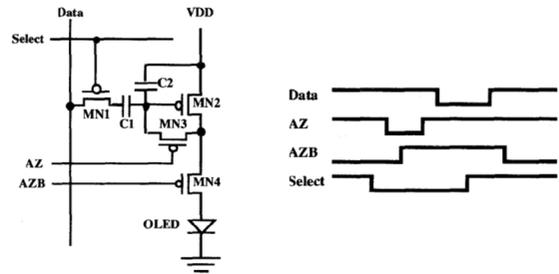


그림-2. Voltage programming 픽셀 보상 회로

일반적으로 디스플레이의 크기가 커질수록 배선저항에 의한 supply line의 IR drop이 커지기 때문에, 이 또한 화질을 저하시킬 수 있으므로 IR drop을 보상하는 것 역시 중요한 issue 중 하나이다. 앞의 회로에서는 V<sub>TH</sub>만을 보상하기 때문에 IR drop에 의해 VDD에 변화가 생기면 그 변화는 그대로 화면의 얼룩으로 나타나게 된다. 그림-3의 회로[2]는 V<sub>TH</sub>뿐만 아니라 IR drop 문제를 동시에 해결하는 voltage programming 픽셀 회로 기술을 보여준다. V<sub>TH</sub>는 그림-1의 회로와 마찬가지로 driving TFT의 diode connection으로 보상하며, IR drop 문제는 식-3과 같이 최종 전류가 전류 공급 전원이 아닌 다른 안정적인 전압에 의해 결정되도록 변경함으로써 해결한다.

$$I_{OLED} = \frac{\beta}{2} (V_{sus} - V_{data})^2 \quad (식-3)$$

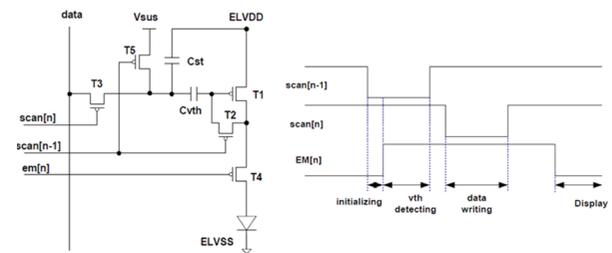


그림-3. IR drop 보상이 가능한 voltage programming 픽셀 보상 회로

스마트폰의 경우 LTPS TFT를 많이 사용하고 있기 때문에 enhancement mode TFT를 고려하여 회로를 설계하면 되는데, 대형 디스플레이에 적용하고자 하는 oxide TFT의 경우에는 depletion mode에서도 동작하는 경우가 있기 때문에, diode connection 상태에서 V<sub>TH</sub>를 얻어낼 수 없다. 이 경우에는 driving TFT의 gate단에 일정 전압을 계속 가해 주고, 이 때 source 단의 전압값을 이용하여 V<sub>TH</sub>값을 얻어낸다.

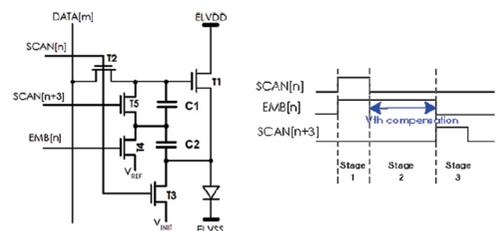


그림-4. Oxide TFT를 이용한 voltage programming 픽셀 보상 회로

# Active Matrix Organic Light Emitting Diode (AMOLED) Pixel

그림-4의 회로[3]에서는 이전 픽셀 회로에서 보이던 driving TFT의 gate와 drain을 연결시켜 주는 TFT가 존재하지 않는다. 추가로 VREF 전압을 이용하여 최종 전류값이 data 전압 ( $V_{data}$ )와 VREF에 의해서만 결정되도록 하였다.

$$I_{OLED} = \frac{\beta}{2} (V_{REF} - V_{data})^2 \quad (\text{식-4})$$

앞선 3개의 voltage programming 픽셀 회로들은 mobility의 유의차는 보상할 수 없다. 이런 문제점을 보완하기 위해 그림-5의 회로[4]가 제안되었다. 이 회로는 간단한 구조임에도 불구하고 mobility와  $V_{TH}$ , 전원의 유의차를 보상할 수 있는 방법을 제공하고 있다.

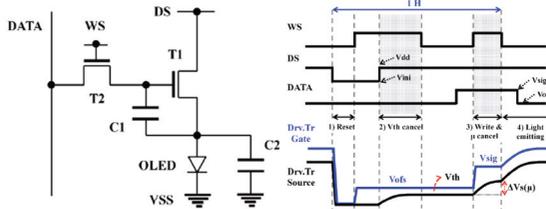


그림-5. Mobility 보상이 가능한 voltage programming 픽셀 보상 회로

$V_{TH}$ 는 먼저 driving TFT T1의 gate를 초기 전압으로 setting한 후 source를 charging하여  $V_{TH}$ 를 C1에 저장하는 방식으로 sensing이 이루어진다. Mobility는 3) Write &  $\mu$  cancel 구간에서 T1의 mobility에 따라 C2에 저장되는  $\Delta V_S(\mu)$ 의 값이 달라지는 것으로 sensing되며, OLED에 흐르는 current가 식-5와 같이 되어  $V_{TH}$ 와 mobility를 보상한다. T1의 mobility가 많이 증가한 경우 큰 값의  $\Delta V_S(\mu)$ 를 빼서 overdrive voltage를 많이 낮추고, mobility가 적게 증가한 경우 상대적으로 작은 값의  $\Delta V_S(\mu)$ 를 빼서 overdrive voltage를 적게 낮추어 변화된 mobility 값이 상쇄되도록 한다.

$$I_{OLED} = \frac{\beta}{2} (V_{sig} - V_{ofs} - \Delta V_s(\mu))^2 \quad (\text{식-5})$$

## B. Current programming 방식

그림-6의 회로[1]는 current programming 방식 내부 보상 기술의 하나로, 픽셀 데이터가 전압이 아닌 전류의 형태로 인가되고 데이터와 같은 양의 전류를 OLED에 흐르게 하는 방식으로 보상이 이루어진다. 픽셀에 데이터를 프로그램 할 때는 MN3가 on이 되고, MN4는 off가 된다. 이 때, MN3로 흘러 들어가는 전류 IData가 MN2를 통해 흘러야 하기 때문에 MN2의 gate-source 전압은 해당 전류를 흘릴 수 있는 값으로 프로그램 되는 것이다. 이후 프로그램 된 over-drive 전압으로 MN2를 구동하게 되어 전류는 식-6과 같이 입력 전류에 의해서만 결정되는 것이다. 따라서, driving TFT의  $V_{TH}$ , mobility, 전원에서의 IR drop과 상관없이 데이터 전류를 그대로 복사하여 사용하기 때문에 쉽게 보상이 이루어진다는 장점을 가진다. 하지만, 전압 출력 형태의 data driver에 비해 전류 출력 data driver는 출력 전류 레벨 간의 유의차를 조절하기가 어렵고, low gray level에서 전류를 픽셀 전압을 프로그램 하는데 소용되는 시간이 매우 길어지기 때문에 현재는 거의 사용되지 않는다.

$$I_{OLED} = \frac{\beta}{2} (V_{SG} + V_{TH})^2 = \frac{\beta}{2} \left( \sqrt{\frac{2I_{DATA}}{\beta}} + |V_{TH}| - |V_{TH}| \right)^2 = I_{data} \quad (\text{식-6})$$

## C. Digital programming 방식

이 방식은 기존의 회로들과 달리 OLED를 일정한 값의 전류로만 구동한다. 따라서 driving TFT도 역시 스위치 역할만 담당하게 된다. 그림-7의 회로[5]에서 보는 driving TFT는 switching TFT를 통해 들어오는 전압에 따라 OLED anode에 전원을 연결하거나 연결을 끊어주는 역할을 하게 되는 것이다.

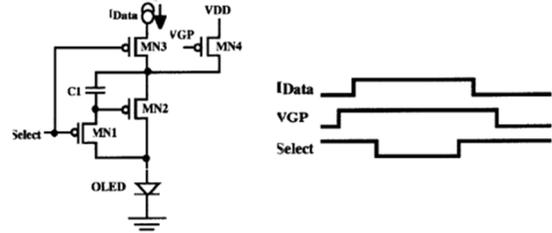


그림-6. Current programming 픽셀 보상 회로

가장 큰 장점은 전원이 OLED만 구동할 수 있는 레벨로 공급되면 충분하기 때문에 전력 소모 절감 효과를 얻을 수 있다. 즉, 기존의 회로는 OLED 뿐만 아니라 TFT의 drain-source 간에도 전압을 걸어 주어야 하기 때문에 상대적으로 높은 전압이 필요했지만, digital programming 방식은 OLED 전압만 필요하기 때문에 전력 소모를 낮출 수 있는 것이다.

하지만, 항상 동일한 전원 전압으로 구동하기 때문에 여러 단계의 휘도를 표현하기 위해서는 한 프레임에 여러 개의 서브 프레임으로 나누어 구동해야 한다. 그림-7의 경우, 6-bit 즉 64단계의 휘도를 표현하기 위한 방법을 나타내고 있다. 이는 기존의 plasma display panel(PDP) 디스플레이 구동과 비슷하다. 문제는 여러 단계의 휘도를 표현하기 위해서는 훨씬 빠른 서브 프레임 속도로 패널을 구동해야 한다는 것이다. 이런 구동의 경우, color breakup[6]과 같은 화질의 문제도 발생하게 된다. 게다가 전원의 IR drop 문제가 있는 경우에는 그대로 화면에 나타난다. 현재는 구동의 어려움, 화질의 문제 등으로 인해 적용된 제품이 없지만, 학계에서는 저전력 구동의 우수성 때문에 여전히 관심을 가지고 연구하고 있다.

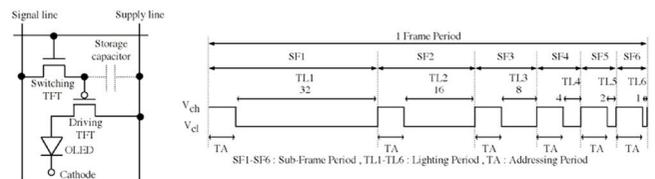


그림-7. Digital programming 픽셀 보상 회로

## 2)외부 보상

앞선 내부 보상 회로 기술들은 TFT의 특성 유의차를 보상하는 반면, OLED의 효율 열화 현상은 보상할 수 없었다. 따라서 장시간의 수명을 가져야 하는 TV와 같은 응용 분야에서는 내부 보상 기술만 적용해서는 제품을 시장에 내놓을 수 없다. 이런 문제점을 개선하기 위해 도입된 것이 외부 보상 기술이다. 이 기술의 개념은 간단하게, 필요한 특성 변화를 sensing해서 픽셀에 전달되는 데이터를 보상한다는 것이다. 따라서, data driver는 데이터 전압을 출력하는 기능뿐만 아니라 픽셀 회로의 TFT와 OLED의 특성값을 sensing하는 기능을 포함하고, 이 sensing한 값으로 출력 데이터 전압을 보상하는 알고리즘을 포함한다.

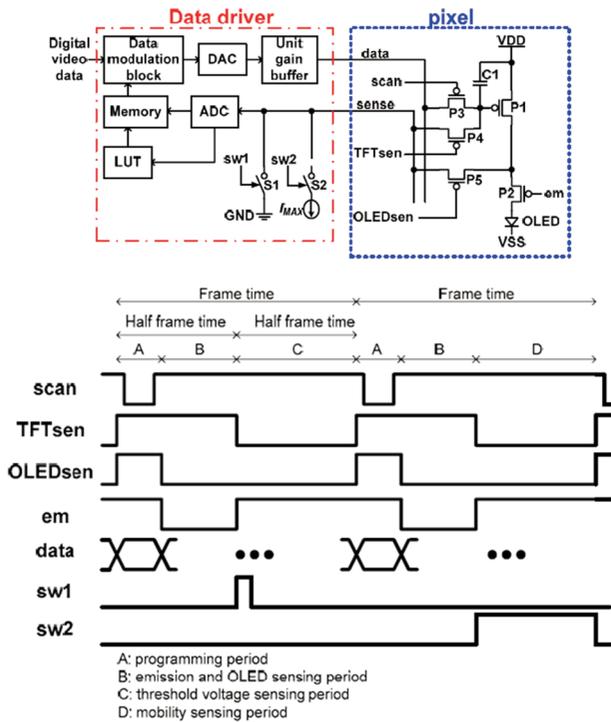


그림-8. 외부 보상 회로

그림-8의 회로[7]는 픽셀 보상 회로가 내부 보상 회로와 달리 픽셀과 data driver에 나뉘어 구현되어 있음을 보여 준다. 이 경우 픽셀 회로 자체는 간단하게 만들 수 있는 반면, data driver가 복잡해 지고 가격이 올라가는 단점을 가지게 된다. 픽셀 회로의 switching TFT를 통해 특성값을 추출하고, 이를 결과값을 ADC를 통해 디지털 데이터로 변환하여 memory에 저장한다. 그 후 data modulation block에서 픽셀 데이터를 보상하여  $V_{TH}$ , mobility, 그리고 전원의 IR drop 뿐만 아니라, OLED의 효율 열화까지 보상한다. 일반적으로 sensing이 픽셀 프로그래밍보다 훨씬 느리고 열화나 변화가 느리게 일어나기 때문에 매 프레임마다 모든 픽셀의 특성값을 sensing하지 않고, 일부 라인 픽셀의 특성값을 sensing하는 방법을 사용하여 여러 프레임에 걸쳐야 전체 패널의 특성값을 업데이트 하도록 한다. 그림-8에서 볼 수 있듯, 회로는 한 프레임을 둘로 나눠 앞의 반은 패널 구동을 하고 나머지 반의 프레임 시간 동안 sensing을 하도록 한다. 현재 시장에 나와 있는 AMOLED TV는 이와 비슷한 개념을 이용한 외부 보상 기술이 적용되어 있으며, 이 기술의 복잡도를 낮추면서도 동일한 혹은 그 이상의 성능을 내기 위한 기술들이 연구되고 있다.

#### 4. 맺음말

앞에서 설명한 것과 같이 고해상도 고품질의 AMOLED 디스플레이를 스마트폰에서 대형 TV에 이르기까지 모든 영역에 적용할 수 있도록 많은 연구를 해왔고, 이는 여전히 활발히 진행되고 있다. 향후에는 재료, 공정 기술 등의 발전으로 훨씬 더 좋은 성능과 신뢰성의 제품들을 시장에서 만날 수 있을 것으로 보며, 여기에 덧붙여 회로 기술의 발전으로 그 시간을 더욱더 줄이게 될 것이다. AMOLED 디스플레이를 비롯하여 향후 새로운 디스플레이 기술들이 개발되어 현재 침체기를 겪고 있는 디스플레이 분야의 활성화에 큰 기여를 해 주길 바란다.

#### 참고문헌

- [1] R. M. A. Dawson, et al., "Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display," Soc. Inf. Display (SID) Symp. Digest, pp. 11-14, 1998.
- [2] Y. W. Kim, et al., "40 Inch FHD AM-OLED Display with IR Drop Compensation Pixel Circuit," Soc. Inf. Display (SID) Symp. Digest, pp. 85-87, 2009.
- [3] Y. G. Mo, et al., "Amorphous-oxide TFT backplane for large-sized AMOLED TVs," Journal of the SID, 19(1), pp. 16-20, 2011.
- [4] Y. Onoyama, et al., "0.5-inch XGA Micro-OLED Display on a Silicon Backplane with High-Definition Technologies," Soc. Inf. Display (SID) Symp. Digest, pp. 950-953, 2012.
- [5] M. Mizukami, et al., "6-Bit Digital VGA OLED," Soc. Inf. Display (SID) Symp. Digest, pp. 912-915, 2000.
- [6] F.-C. Lin, et al., "Color Breakup Reduction by 180 Hz Stencil-FSC Method in Large-Sized Color Filter-Less LCDs," Journal of Display Technology, 6(3), pp. 107-112, 2010.
- [7] U.-G. Min, et al., "A Real Time Video Data Adjusting Method for Active Matrix Organic Light Emitting Diode Displays with High Image Quality," IEEE Transactions on Consumer Electronics, 55(4), pp. 2372-2376, 2009.

#### 저자 정보



남형식 교수

소속 경희대학교 정보디스플레이학과

연구분야 디스플레이 구동 회로 및 알고리즘, User Interface & User Experience

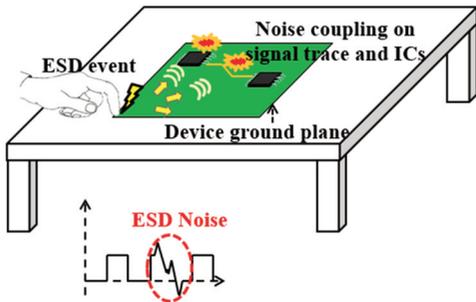
E-mail hyoungsiknam@khu.ac.kr

# ESD 기술 및 연구 동향 / 김진국 교수 (UNIST)

## I. 서론

정전기 방전(electrostatic discharge, ESD) 현상은 고대 시대부터 마찰 전기 현상과 관련되어 잘 알려진 물리 현상이었다. 현재 각종 접화 장치에서는 정전기 방전을 압전 효과로부터 의도적으로 발생시켜 매우 유용하게 이용하고 있지만, 원치 않는 정전기 방전은 종종 심각한 사고 및 비용을 발생시켜 왔다. 19세기 미국 Minnesota에서의 밀가루 공장 폭발 사고나 2차 세계 대전 중 독일 Hindenburg 호의 폭발 사고에 의한 많은 인명 피해가 원치 않는 ESD에 의한 대표적인 사고이다. 20세기에 들어서 집적회로(integrated circuit, IC) 산업이 시작되면서, 수많은 IC가 ESD 때문에 제조 공정 중에 물리적으로 손상 및 파괴되어 막대한 비용이 들고 있다 [1]. 이를 막기 위해 IC 제조 라인에는 ESD가 발생하지 않도록 ionizer 등 각종 보호 설비를 설치하고 있고, IC 내부에는 ESD 보호 회로를 기본적으로 장착하고 있다. 하지만 제조 공정의 미세화, 전자기기의 소형화, 집적화, 고성능화에 따라 IC의 ESD에 대한 저항성(immunity)이 지속적으로 감소하고 있어, ESD 발생을 보다 효율적으로 억제하고 IC를 보호하기 위한 연구가 지속적으로 필요한 상황이다.

IC 및 전자기기에 ESD가 미치는 영향은 크게 다음과 같이 두 가지로 분류될 수 있다. 즉, IC의 제작이나 assembly 중에 발생하여 IC에 물리적 손상(hard failure)을 일으키는 chip level ESD와, 완성된 시스템의 동작 중에 발생하여 오동작(soft failure)을 일으키는 system level ESD로 분류될 수 있다. Hard failure는 IC에 영구적 손상을 일으키므로 더 심각하게 여겨졌고, 그 동안 ESD 연구는 주로 칩 레벨 보호 회로나 제조 공정상의 이슈에 더 치중해 왔다. 하지만 최근에 들어 모바일 및 웨어러블 휴대기기의 증가에 따라 전자기기 시스템과 사람의 접촉이 점점 더 빈번해짐에 따라, 그림 1에 나타난 바와 같이 시스템 레벨 ESD에 의해 발생한 전자기적 노이즈가 내부 집적회로(IC)에 전달되어 오동작이 빈번히 발생하고 있어 시스템 레벨 ESD에 대한 연구의 필요성이 크게 대두되고 있다.



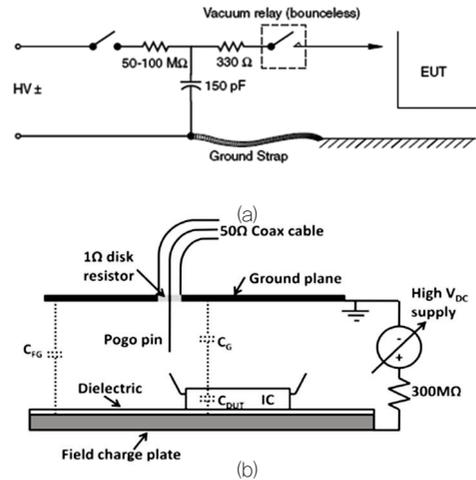
[그림 1] 시스템 레벨 ESD에 의한 IC 오동작

제조과정 중 ESD 발생에 의한 IC의 물리적 파괴를 막기 위한 IC 내의 ESD 보호 회로나 메커니즘에 대한 연구는 반도체 공정 및 회로분야 연구자들에 의해 오랜 기간 활발히 연구되어 왔다. 하지만 시스템 레벨 ESD 문제는 시스템의 전체 동작 중 IC가 오동작 하는 현상을 다루는 문제이기 때문에, 그 메커니즘이나 현상이 칩 레벨 ESD 연구와는 매우 다르며 전통적인 전자기파 간섭(EMI/EMC) 연구에 가깝다. 하지만 EMI/EMC가 작은 소신호 노이즈를 주로 주파수 영역에서 다루는 것이라면, 시스템 레벨 ESD는 시간축 영역의 transient 노이즈 현상에 대한 문제이며, 입사되는 신호의 크기도 짧은 시간 동안 매우 크기 때문에 통상적인 EMI/EMC 문제와도 상당히 다르다. 또한 물리적 현상이나 정확한 측정이 더 어렵고 복잡하다. 따라서 공정, 회로 분야 연구자나 전자기학분야 EMI/EMC 연구자 모두에게 이해하기 수월하지 않은 물리 현상으로서 연구가 많지 않았고, 축적된 노하우도 상대적으로 미흡한 상태이다. 본고에서는 칩 레벨 ESD와 시스템 레벨 ESD 분석 시에 사용되는 ESD 모델, 테스트 방법, 보호 회로와 기술 등을 먼저 소개하고, EMC 전자파 기술과 밀접한 관련이 있는 시스템 레벨 ESD 기술 및 연구 동향과 이슈를 소개하고자 한다.

## II. ESD 발생 모델 및 테스트 방법

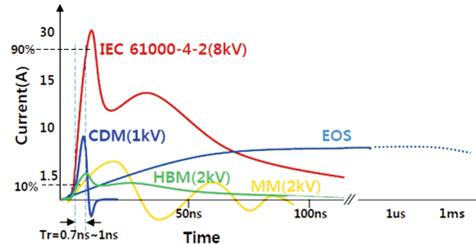
전통적으로 ESD 현상은 사람의 접촉에 의해 발생하였기 때문에 ESD 발생 모델로서 사람이 연관된 human-body model(HBM) 또는 human hand-metal model이 규격화 되었다. 칩 레벨에서는 HBM외에 Machine model(MM) 규격도 사용하는데, 이는 충전된 사람과의 접촉으로 인해 2차로 충전된 도체 장비나 구에 의해 발생하는 ESD 현상을 모델링한다. 시스템 레벨에서는 그림 2(a)에 보이는 바와 같이 IEC 61000-4-2의 human hand-metal model을 표준으로 사용하는데, 이는 사람이 금속을 통해서 접촉하는 경우에 발생하는 worst case 전류를 고려하기 위한 모델이고, 이 경우 동일전압 HBM보다 전류 최대치가 5배 이상이나 된다 [2].

최근에 들어서는 IC 제조나 조립과정이 대부분 자동화가 되어, 사람과의 접촉에 의한 ESD 보다는 IC가 이동이나 조립 중의 마찰로 인해 스스로 충전되었다가 접지면과의 갑작스런 접촉에 의해 발생하는 ESD 현상이 더욱 빈번해졌다. 따라서 이를 테스트하는 칩레벨 ESD 규격으로 그림 2(b)와 같은 charged device model(CDM)이 개발되었고 [3], 현대의 칩레벨 ESD 규격으로 HBM보다 더욱 중요하게 사용되고 있다. CDM에 의한 ESD 전류 파형은 그림 3에서 보이는 것처럼 HBM이나 MM보다 총 충전 전하량은 작지만, 방전 경로에 저항과 인덕턴스가 매우 작아 ESD전류 펄스의 rise time이 매우 빠르고 전류 최고값은 더욱 높게 되어 IC의 물리적 손상을 쉽게 일으킬 수 있어 이를 막기 위해 많은 주의가 필요하다. 그 외 최근에는 조립된 printed circuit board(PCB) 전체가 충전되었다가 방전되면서 보드 위 IC에 물리적 손상이 일어나는 charged board event(CBE) 현상도 대두되고 있는데, 대표적 예로는 LCD 보드 전체가 충전되었다가 driver IC를 통해 방전되어 해당 IC에 물리적 손상이 오는 경우이다 [4].



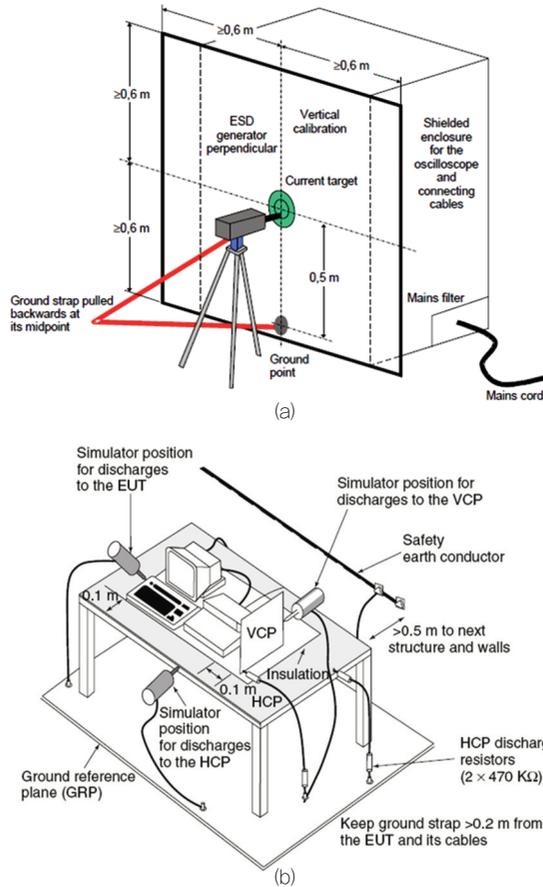
[그림 2] ESD 발생 모델의 예

- (a) IEC 61000-4-2 Human hand-metal model
- (b) JESD22-C101E charged device model



[그림 3] 시스템 레벨 ESD에 의한 IC 오동작

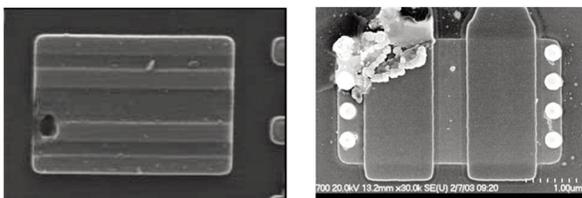
IEC 61000-4-2에는 그림 4에 보이는 바와 같이 ESD 모의 발생기(ESD gun simulator)의 특성을 테스트하기 위한 ESD current target 셋업과 시스템 레벨 ESD 테스트 셋업도 함께 규격화가 되어 있고, JESD22-C101E에는 field induced CDM 테스트 방법이 규격화 되어 있다.



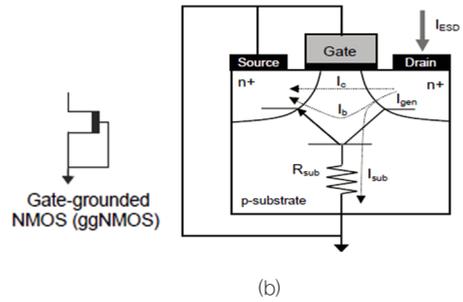
[그림 4] (a) ESD current target 셋업  
(b) 시스템 레벨 ESD 테스트 셋업

### III. ESD 보호 회로 및 방법

Chip level ESD에 의한 IC의 물리적 손상을 막기 위해 IC가 외부로 연결되는 I/O 핀에는 ESD 보호 회로를 필수적으로 장착하게 된다. 특히 MOSFET gate 입력에 두께가 얇은 gate oxide 층에는 전기장이 매우 크게 걸리게 되어 ESD에 매우 취약하다. 그림 5(a)에 ESD에 의해 발생한 gate breakdown의 예시 사진이 나타나 있는데, 이러한 물리적 손상의 여부는 IC 내부 보호 회로, 공정 프로세스, discharge point, chip 내부의 layout에 따라 달라진다. 대표적인 ESD 보호 회로로는 gate-grounded NMOS(GGNMOS), gate-VDD PMOS(GDPMOS), n/p-well diodes, silicon controlled rectifier(SCR) 등이 있고, 그림 5(b)에 CMOS회로에 널리 쓰이는 GGNMOS의 회로를 나타내었다 [5].



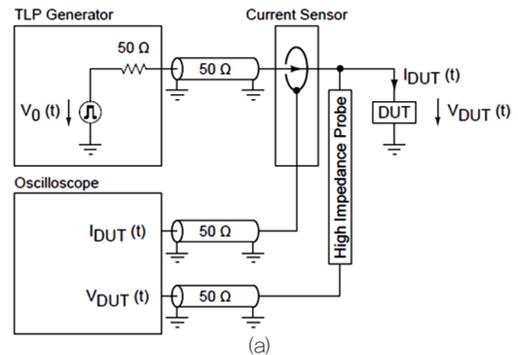
(a)



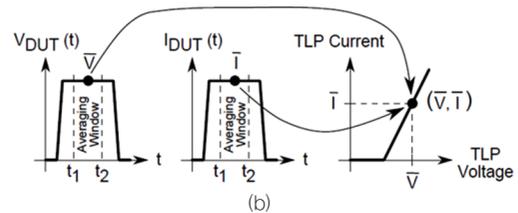
(b)

[그림 5] (a) ESD에 의해 발생한 gate breakdown  
(b) GGNMOS ESD 보호 회로

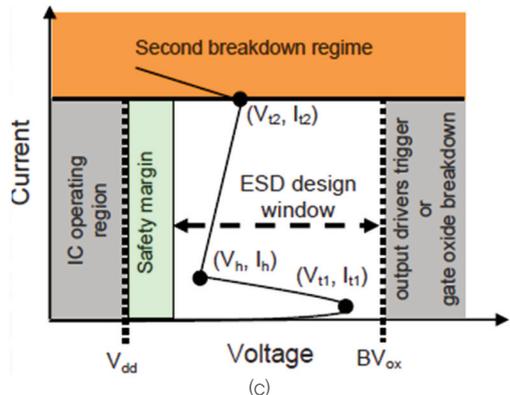
ESD 보호 회로의 성능이나 IC I/O pin의 ESD immunity를 효율적으로 테스트하기 위해서는 transmission line pulse(TLP)를 이용하여 dynamic I-V 커브를 측정한다. 그림 6(a)와 같은 셋업으로 TLP로 인가되는 전압펄스의 크기를 조절하면서 전압 전류를 측정하면, 그림 6(b)와 같은 과정을 반복하여 dynamic I-V 커브를 얻을 수 있다 [6]. 그림 6(c)에 대표적인 GGNMOS의 dynamic I-V특성을 나타내었고, 그에 따라 ESD 보호가 가능한 전압 전류 영역을 확인할 수 있다. TLP는 ESD 보호 회로의 I-V 커브 측정 이외에 시스템 레벨 ESD의 테스트를 위해서도 사용될 수 있다. 즉 시스템의 ESD immunity를 알아보기 위해 다양한 위치에 TLP를 인가하면서 system failure가 일어나는 TLP 전압 레벨을 확인한다.



(a)



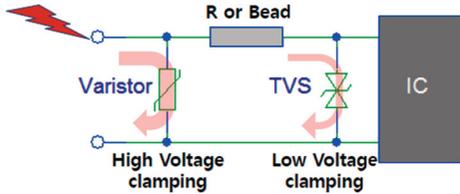
(b)



(c)

[그림 6] (a) TLP 테스트 셋업  
(b) dynamic I-V커브 추출과정 (c) GGNMOS의 I-V 커브

칩레벨 ESD 규격을 통과해도 시스템 레벨 IEC 61000-4-2 규격 테스트에서 문제가 발생하는 경우가 많기 때문에, IC I/O 포트 내부에 적용되는 ESD 보호 회로 외에 시스템 상에서 추가적으로 ESD 대책 소자를 배치하는 경우도 많다. 흔히 그림 7과 같이 transient voltage suppressor(TVS)나 metal oxide varistos(MOV)를 IC 핀 앞이나 시스템 상의 외부 커넥터 앞에 추가적으로 달아주게 된다. 둘다 전압 클램핑 특성을 가지는 소자이며, ESD 뿐만 아니라 surge나 burst-electrical fast transients(EFT) 보호의 기능도 한다.

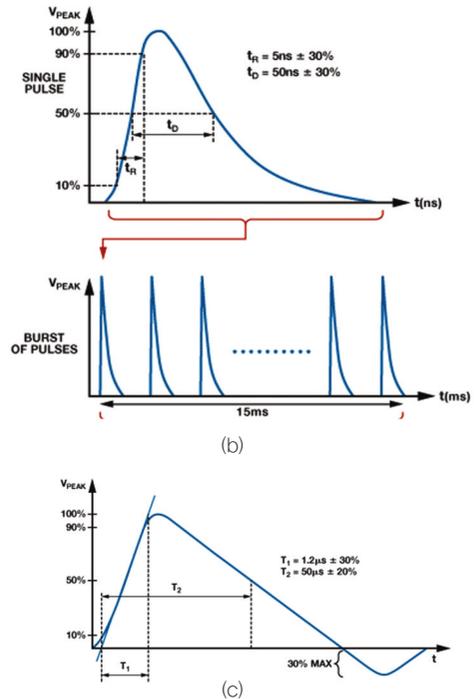
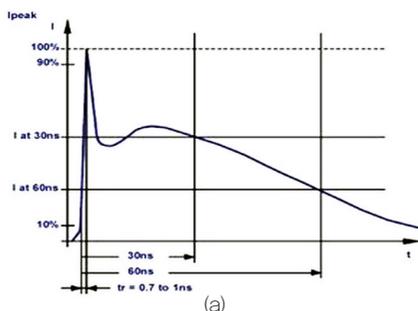


[그림 7] TVS 및 varistor 등 ESD 대책 소자 활용 예시

#### IV. 시스템 레벨 ESD 기술 동향

앞서 얘기한 바와 같이 IC의 물리적 손상을 다루는 칩레벨 ESD 문제 외에, 노트북이나 핸드폰 등의 시스템에 ESD가 발생할 때 내부 IC가 오동작하여 시스템이 꺼지거나 reboot 되는 soft error 현상이 발생할 수 있다. 시스템 제조사는 IEC61000-4-2 규격에 따라 시스템 ESD 테스트 시 안정적인 동작을 보장해야 판매가 가능한데, 만약 오동작을 하여 규격 테스트를 통과하지 못하면 해결 대책을 강구해야 한다. 가장 손쉬운 대책 방법으로는 오류가 있는 IC 근처에 TVS 다이오드 등을 배치할 수 있겠지만, 추가 부품과 비용이 필요하다. 보다 본질적 대책을 위해서는 시스템 설계 단계부터 전체적으로 ESD 내성이 좋게 설계를 해야 하는데, 이를 위해서는 충분한 설계 노하우와 시간이 필요하다. 따라서 시스템 제조사는 가장 간단한 방법으로 해당 IC를 문제가 없는 다른 제조사 IC 제품으로 바꾸어 문제를 해결하고자 하기 때문에, 시스템 ESD 문제는 결국 IC 제조사의 문제로도 이어지게 된다. 결국 IC 제조사도 타 경쟁사보다 시스템 ESD에 대한 내성이 강한 IC를 설계해야 하는데, 이를 위해서는 시스템 ESD 노이즈에 의해 IC 오동작이 어떻게 발생하는지를 파악해야 한다.

시스템 ESD 규격은 EMC immunity 규격에 속해 있으며, 이와 유사한 문제로 burst-electrical fast transients(EFT) 및 surge가 있다. 각각 IEC 61000-4-2, IEC 61000-4-4, IEC 61000-4-5에 규격화 되어 있고, 각 해당 전류 파형을 그림 8에 비교하여 나타내었다. Burst EFT는 유도성 부하나 스위치의 on-off 시 발생할 수 있고, surge는 번개나 대용량 파워 시스템의 on-off에서 발생할 수 있다. 둘다 가전보다는 산업 영역에서 중요하며, 통상 electric over stress(EOS)로 불리운다. ESD 전류는 burst, surge에 비해 빠르고 순간적이어서 EOS에 비해 열적 물리적 손상은 일으키지 않고, 주로 오동작만 일으키기 쉽다. 하지만 Burst나 surge는 전력선이나 신호선에만 테스트를 하는 반면에 ESD는 주 인가 대상이 접지 도체면이라 오동작에 미치는 영향은 상당히 크다.

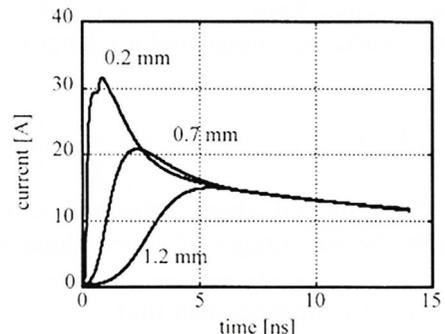


[그림 8] EMC (ESD/EOS) immunity 규격의 전류 파형  
(a) IEC 61000-4-2 ESD (b) IEC 61000-4-4 Burst-EFT  
(c) IEC 61000-4-5 surge

ESD 발생 시에는 매우 짧은 시간에 큰 에너지가 발생하며, 방전시 발생하는 아크(arc)는 비선형적인 전압-전류 특성을 가지므로 통상적인 전자기파 간섭 문제보다 해석이나 측정이 어렵고 복잡하다. ESD 아크 모델 및 simulator gun 모델, 각종 측정 방법 등에 대해서 미국 Missouri University of Science and Technology의 EMC Lab.에 David Pommerenke 교수가 많은 연구를 수행하였다 [7]-[10]. Arc의 저항값은 arc 발생 거리에 의해 비선형적으로 결정됨을 실험적으로 규명하였고, 아래와 같은 Rompe-Weizel formula로 가장 잘 표현됨을 보였다.

$$R(t) = \frac{d}{\sqrt{2a \int_0^t i(\xi)^2 d\xi}}$$

위에서 d는 아크 발생거리, a는  $0.5 \times 10^{-4} \text{ m}^2/\text{V}^2$ 의 실험적 상수값이다. 아크 발생 거리에 따른 5kV ESD에 의한 전류의 변화를 Rompe-Weizel formula로 얻으면 그림 9와 같다 [8].



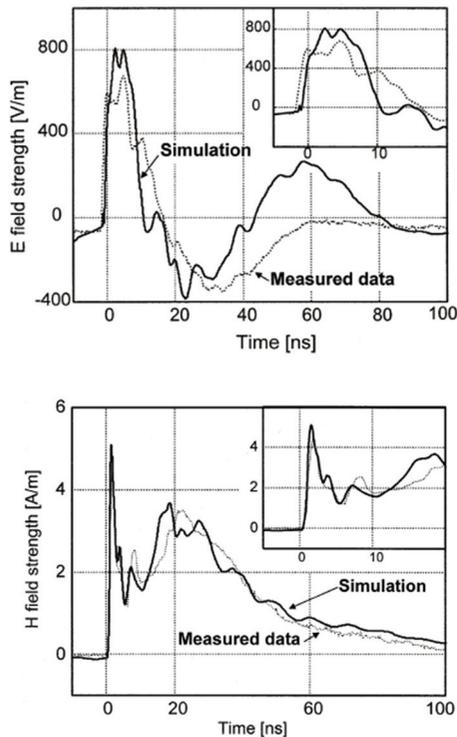
[그림 9] 아크 발생 거리에 따른 5kV ESD 전압에 의한 전류 변화 [8]

아크 발생 거리는 ESD 발생 지점의 이동 속도에 따라 달라지며 정지 상태에서 가장 긴데, 정지 상태에서 ESD breakdown 전압(U) 과 아크 발생거리(d) 에는 아래와 같은 관계가 성립한다.

$$U = 25.4d + 6.64\sqrt{d}$$

아크의 발생 거리는 외부 조건에 따라 정확히 정해져 있지 않고 확률적으로 발생하기 때문에, ESD 측정결과는 매번 정확히 재현되지 않는다. 아크 발생 거리가 매우 짧은 contact mode discharge 상황에서만 어느 정도 재현이 가능하고, 측정 셋업 자체에도 많은 노하우가 필요하다. 즉, 공통모드 필드가 계측 장비나 케이블에 직접 커플링이 되어 정확한 측정을 방해할 수 있으므로, 이를 차폐하기 위한 셋업을 필수적으로 해야 하고, 측정 프로브도 전기장, 자기장, 전도성 노이즈의 용도별로 따로 고안해서 측정해야 한다.

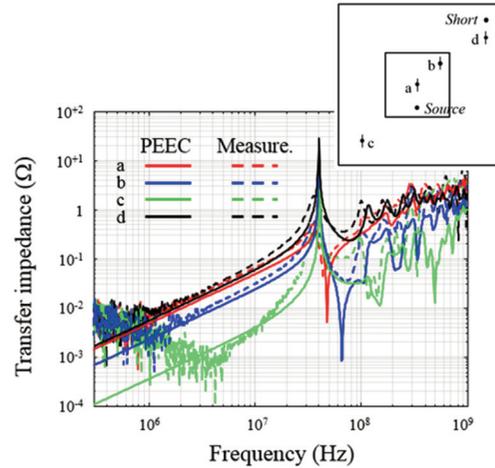
그림 10에 전기장, 자기장 용도별로 따로 고안된 프로브로 측정된 각 field 결과와 full-wave 수치해석법(finite difference time domain, FDTD)으로 해석된 결과의 예시를 나타내었다 [9].



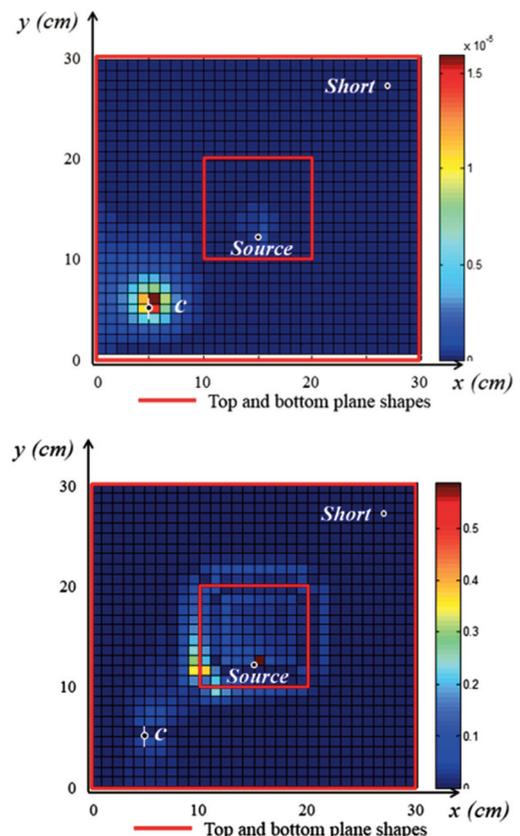
[그림 10] ESD에 의한 field의 측정과 시뮬레이션 [9]  
(a) 전기장 프로브 이용 (b) 자기장 프로브 이용

최근에는 본 필자 그룹에서 시스템 ESD에 의해 발생하는 노이즈를 partial element equivalent circuit(PEEC) 방법으로 효율적으로 계산하는 방법을 제안하였다 [11]-[12]. 즉, 이 방법을 이용하면 ESD 접지 도체나 gun strap 등 사이즈가 큰 aggressor 구조와 IC나 패키지의 작은 victim 구조를 효율적으로 나누어 해석할 수 있다. 그리고 시간 축 ESD 노이즈의 측정 검증 전에 먼저 EMC 분야의 연구자에게 익숙한 vector network analyzer(VNA) 장비를 이용하여 그림 11과 같이 주파수 영역의 임피던스 파라미터로 ESD 노이즈 커플링 현상을 예측하고 검증하였다. 또한, 이 해석방법으로 특정 victim 구조에 전달되는 노이즈의 원인을 aggressor 구조 상의 전하, 전류, 전압 흔들림의 3가지로 나누어 파악 가능하다. 그리하여 그림 12에서와 같이 ESD 접지면

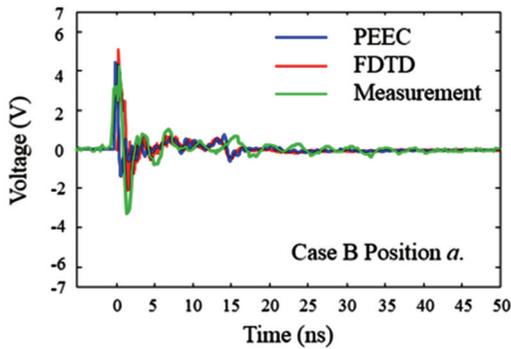
상 어느 지점의 전하나 전류에 의해 노이즈가 많이 발생하는지 위치별 기여도를 계산할 수 있다. 이렇게 주파수 영역에서 먼저 해석하고 검증한 Modified Nodal Analysis(MNA) 행렬식을 변형하여 일정한 전류 source 대신에 ESD 발생 초기 전압을 source 조건으로 인가하여 풀면, ESD로 인해 발생하는 노이즈 전압의 주파수 스펙트럼을 얻을 수 있다. 이를 시간 축으로 옮기면 ESD 발생에 의해 victim 구조에 발생하는 transient 노이즈를 얻을 수 있고, 이를 측정 및 상용 FDTD solver를 이용하여 얻은 파형과 그림 13에 각각 비교하였다. 계산 시간은 상용 툴에 비해 10배 이상 빠르다. 이 경우 2kV ESD에 의해 특정 victim 구조에서 5V정도까지 노이즈가 발생하는 것을 알 수 있다.



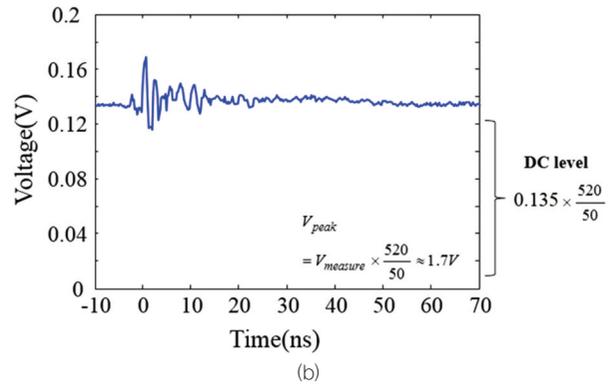
[그림 11] source 지점의 ESD 입력 전류로부터 victim 위치별 노이즈 커플링을 나타내는 임피던스 파라미터 [11]



[그림 12] c위치에 있는 victim에 전달되는 노이즈 기여도  
(a) 접지면 위치별 전류의 의해 (b) 접지면 위치별 전하에 의해



[그림 13] 2kV ESD에 의해 특정 victim 구조에 발생하는 노이즈 전압 (제한된 방법 vs. 측정 vs. 상용 FDTD solver)

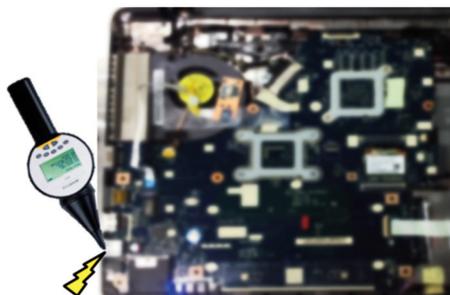


[그림 14] 동작 중 노트북 컴퓨터의 USB포트에 4kV ESD 인가 시 DRAM 전력/접지에 발생하는 노이즈 전압

시스템 ESD 의한 IC회로의 오동작 발생 경로로는 크게 3가지 원인을 추측할 수 있다. 첫째, ESD로 방출된 전하에 의한 전기장으로 IC 특정 신호핀의 전압을 크게 흔들여 잘못된 데이터가 들어갈 수 있다(E-field or capacitive coupling). 둘째, 근처에 흐르는 강한 ESD 전류에 의해 IC 패키지 및 모듈 내 loop 구조에 전압이 발생하여 데이터가 바뀔 수 있다(H-field or inductive coupling). 셋째, ESD 발생 시 접지전압이 크게 흔들리는데, 접지 전압을 기준으로 하는 전력선이나 신호선의 전압이 그와 동일하지 않게 흔들려서 데이터에 오류가 발생하는 경우이다(conduction coupling). 이 3가지 종류의 노이즈 크기는 IC패키지 및 모듈 구조에 따라 달라지므로 각 원인별로 그 크기를 파악하여야 IC 오동작을 일으키는 가장 주된 원인을 찾아낼 수 있고, IC제조사 입장에서 그를 막기 위한 효율적인 대처 방안을 찾아 낼 수 있다.

특정 IC 구조로 전달되는 노이즈 성분에서 전기장 커플링이 주된 경우에는 패키지 shielding이나 각종 실링 구조가 내성 개선에 큰 도움이 될 것이고, 자기장 커플링이 주된 경우에는 패키지나 모듈 내의 신호선 배치를 최대한 ESD 자기장의 자속이 통과하는 loop이 생기지 않도록 설계하면 도움이 될 것이다. 한편, 전도성 커플링이 주된 경우에는 전압이 흔들리지 않도록 전력/접지 decoupling capacitor를 보강하거나 배치를 개선하거나, 노이즈를 차단하는 ferrite bead 등의 노이즈 필터의 삽입 등을 생각해볼 수 있다. 시스템에 인가된 ESD 노이즈의 전달 경로를 체계적, 이론적으로 해석하게 되면, 이로부터 내성 개선책과 설계 가이드라인을 용이하게 찾아낼 수 있어 IC, 패키지, 모듈 및 시스템 설계 시에 시간과 비용을 크게 줄일 수 있을 것이다.

그림 14에는 실제 노트북 컴퓨터의 USB포트 접지 커넥터에 4kV ESD를 인가하는 경우 동작중인 DRAM 모듈 내의 전력/접지 전압 사이에서 측정되는 노이즈를 플랫폼하였다 [13]. 공통모드(common-mode, CM) 전기장이 계속 장비나 케이블에 직접 커플링이 되지 않도록 차폐를 하고, CM 초크를 충분히 달은 후 고주파수 대역 10:1 high-impedance 프로브로 측정하면, 1.35V Vdd 전압이 1.15V~1.7V 정도로 흔들리는 것을 볼 수 있고, 노이즈 위치 및 경우에 따라 전도성 노이즈에 의해 DRAM이 동작 오류를 일으킬 수 있음을 알 수 있다.



### V. 시스템 레벨 ESD 연구 전망 및 결론

시스템의 동작 중 ESD 발생에 의해 IC가 오동작 하는 현상을 다루는 시스템 레벨 ESD 연구는, IC 반도체 소자 및 보호 회로와 노이즈 커플링에 대한 전자공학 지식의 모든 필요하여 그동안 다소 다루기 쉽지 않은 물리 현상으로 여겨져 왔다. 그에 따라 국내 연구자도 많지 않고 축적된 노하우도 상대적으로 미흡한데, 최근에 들어 모바일 및 웨어러블 휴대기기의 증가에 따라 시스템 레벨 ESD에 의한 IC 오동작이 빈번히 발생하고 있어 그 중요성이 부각되고 있다.

시스템 ESD 문제 해결을 위해서는 ESD 보호회로 및 소자 연구와 burst-EFT, surge 등의 EMC immunity 문제를 함께 아울러 전체적인 이해가 필요할 것으로 보이며, 아직까지 복잡한 실제 시스템에서 시스템 ESD 노이즈가 어떤 경로로 커플링 되는지에 대해서는 명확하게 파악은 되어 있지 못하고 있어, 반도체 회로 및 EMC 분야 연구자들에 의해 지속적으로 연구가 필요할 것으로 예상된다.

### 참고문헌

- [1] Michel Mardiguian, Electrostatic discharge: understand, simulate, and fix ESD problems, IEEE Wiley, 2009.
- [2] Electromagnetic Compatibility (EMC)-Part 4-2: Testing and Measurement Techniques-Electrostatic Discharge Immunity Test, IEC 61000-4-2, 2008.
- [3] JEDEC Standard JESD22-C101F, "Field-induced charged-device model test method for electrostatic discharge-Withstand thresholds of microelectronic components", 2013.
- [4] M-D. Ker, Y. Hsiao, "Investigation on board-level CDM ESD issue in IC products", IEEE Transactions on Device and Materials Reliability, vol. 8, no. 4, pp. 694-704, Dec 2008.
- [5] Jung-Hoon Chun, "ESD Protection Circuits for Advanced CMOS Technologies," PhD. Dissertation, Stanford Univ.

[6] Application Note AN210, "Effective ESD Protection Design at System Level Using VF-TLP Characterization Methodology", Infineon Technologies

[7] D. Pommerenke, "ESD: Transient fields, arc simulation, and rise time limit," J. Electrostatics, vol. 36, no. 1, pp. 31-54, Nov. 1995.

[8] D. Pommerenke and M. Aidam, "ESD:Waveform calculation, field and current of human and simulator ESD," J. Electrostatics, vol. 38, no. 1-2, pp. 33-51, Oct. 1996.

[9] K. Wang, D. Pommerenke, and R. Chundru, "Numerical modeling of electrostatic discharge generators," IEEE Trans. Electromagn. Compat., vol. 45, pp. 258-271, May 2003.

[10] Jayong Koo, Qing Cai, G. Muchaidze, Kai Wang, D. Pommerenke, "Frequency-domain measurement method for the analysis of ESD generators and coupling", IEEE Trans. on EMC, vol. 49, no. 3, pp. 504-511, Aug 2007.

[11] Junsik Park, Jongsung Lee, Byongsu Seol, and Jingook Kim, "Efficient Calculation of Inductive and Capacitive Coupling due to Electrostatic Discharge (ESD) Using PEEC Method", IEEE Trans. on EMC, vol. 57, no. 4, pp. 743-753, Aug. 2015.

[12] Junsik Park, Jongsung Lee, Seongmoo Kim, Byongsu Seol, and Jingook Kim, "Fast Calculation of System-Level ESD Noise Coupling to a Microstrip Line Using PEEC Method", 2015 IEEE EDAPS Symposium, Seoul, Korea, Dec. 2015.

[13] Myungjoon Park, Junsik Park, Manho Seung, Joungcheul Choi, Changyeol Lee, Jingook Kim, "Measurement and Modeling of System-level ESD Noise Voltages in Real Mobile Products", 2016 APEMC Symposium, Shenzhen, China, May 2016.

---

## 저자 정보



김진국 교수

**소속** UNIST 전기전자컴퓨터공학부

**연구분야** EMC, ESD, Signal integrity

**E-mail** jingook@unist.ac.kr

**Homepage** <http://icemclab.unist.ac.kr>

# Silvaco와 SmartSpice

## SILVACO

회사명 Silvaco  
웹주소 <http://www.silvaco.co.kr/>  
주소 서울시 강동구 천호동 469-1  
전화 02-447-5421  
이메일 [krsales@silvaco.com](mailto:krsales@silvaco.com)

### A. 목적

Analog Circuit Simulator

### B. 개요

SmartSpice는 고정밀 아날로그 회로 및 믹스드 시그널 회로의 설계, 주요 회로망의 분석, 셀 라이브러리의 추출 등에 최고의 퍼포먼스와 정확도를 제공하며, 타사의 아날로그 디자인 플로우 및 파운더리의 소자 모델과 호환이 가능

### C. 지원 플랫폼

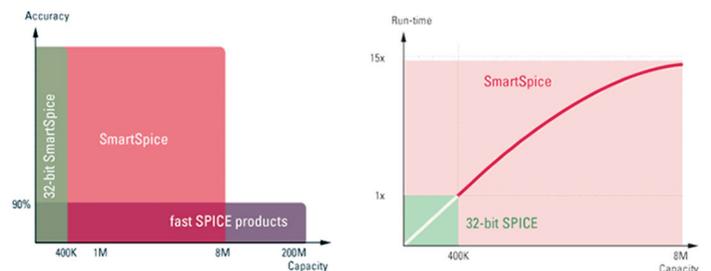
- Red Hat Enterprise (32/64bit) Linux 5, 6
- Windows XP, Windows 7 Professional (32/64bit)

### D. 특징

- 넷리스트, 모델, 분석 특징 및 결과에 대해 HSPICE™ 및 SPECTRE™ 와 100% 호환
- 주요 아날로그 디자인에 가장 정확한 회로 시뮬레이션 결과를 제공
- SPICE 회로 시뮬레이션 중 최고 수준의 런타임 시뮬레이션 속도
- 강력한 수렴을 위한 멀티 솔버 및 스테핑 알고리즘을 제공
- Bipolar, CMOS 및 TFT, SOI, HBT, FRAM, FinNET 등에 보정된 SPICE 모델을 최대한 제공
- Verilog-A로 개방형 모델 개발 환경과 폭넓은 아날로그 행동 성능을 제공
- 나노 크기의 설계에 대해 SEE(Single Event Effects) 신뢰도를 분석
- 강력한 암호화에 의해 고객 및 서드-파티의 소중한 지적 재산권 보호 가능

### [속도]

- 다른 SPICE 제품의 고유 속도(raw speed)보다 2~4배 빠르게 시뮬레이션 가능
- 로그에 가까운 멀티 스레드의 처리를 위해 다중 병렬 64 비트 CPU를 지원
- 네트워크 분산 처리 및 원격 .ALTER
- 몬테 카를로 분석을 네트워크 분산 처리
- 스레드 풀을 이용한 효율적인 병렬 처리



SmartSpice는 진정한 SPICE급 정확도로 full-chip의 정적/동적 시뮬레이션 및 누설 전력 시뮬레이션을 하여, 추출된 기생 성분 및 victim/aggressor 회로망을 갖춘 클럭 트리의 신호 무결성을 나타냄



[정확성]

- 유효 행렬에서 가우스 소거법을 사용(초기 Berkeley 3C1 솔버에 기초)
- 직접 솔버 및 반복 솔버의 라이브러리
- 연속성, 선형성 및 유효 파라미터 범위를 위해 실행 시 Berkeley 물리 기반 모델 파라미터를 검증 및 확인
- 불충분하게 추출된 파운드리 모델의 불일치를 검출하여 최종 단계에서의 퍼포먼스 및 정확성의 저하를 방지
- 시뮬레이션의 속도 대비 정확성을 제어하기 위해 풍부한 옵션을 제공

- 다음 파라미터 단계에서 직접 행렬 접근으로 빠르게 셀을 추출
- 부회로 레벨에서 정교한 최적화
- 파운드리 공급 콤팩트 모델에 영향을 주는 .RAD 구문을 사용하여, SEE를 분석
- 45 나노 이하 설계를 지원하기 위한 .MODEL 파라미터용 방정식 에디터

[수렴]

- 초기 조건을 찾고, 일련의 메소드 및 알고리즘을 통한 반복적인 시퀀스를 탐색하여 최적의 수렴을 달성
- 멀티 솔버는 주어진 회로 토폴로지 및 이용 가능한 다중 고정밀 솔버에 대해 최상의 솔버를 제공

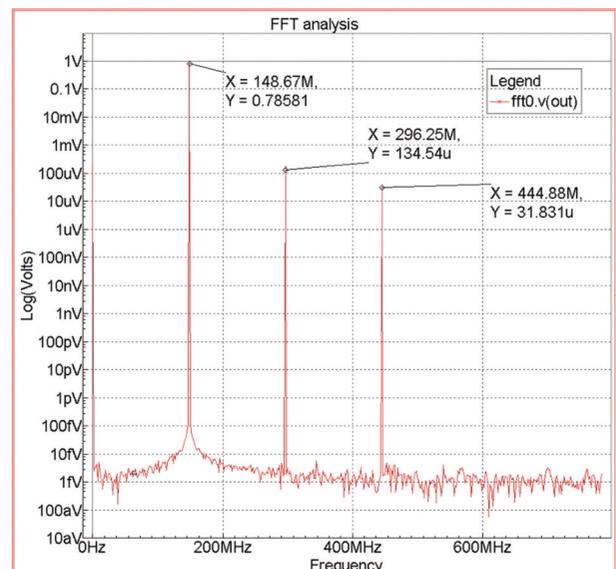
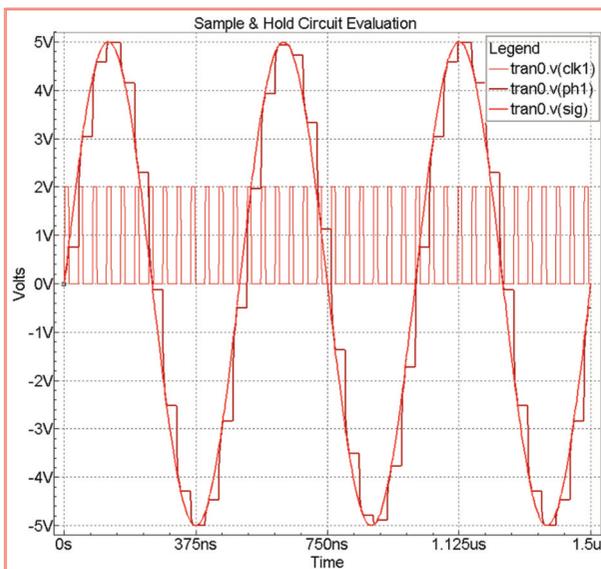
[기존 디자인 플로우 채택의 편의성]

- HSPICE 및 Spectre로 구현한 기존 디자인 플로우에서 SmartSpice 사용 가능
- 파운드리에서 공급한 SmartSpice, HSPICE 및 SPECTRE 모델을 지원
- HSPICE, PSPICE™ 및 Berkeley SPICE로 이루어진 기존 넷리스트를 지원
- Spectre 호환 모드에서 SmartSpice 실행으로 ADE를 통해 Cadence 아날로그 환경과 유연하게 통합
- 작업 처리 소프트웨어(LSF, Sun Grid 등)를 유연하게 실행
- Silvaco PDK 기반 아날로그/믹스드 시그널/RF 툴 플로우와 유연하게 통합

[분석]

- 과도 해석을 위한 중단/계속 알고리즘
- 파라미터 해석 내장
- 넷리스트에서 사용한 명칭을 탐지

SILVACO



SmartView: SmartSpice 및 HSPICE 시뮬레이션 결과로부터 상승 기간, 기울기, 벡터 계산기에 필요한 시간/전압/전류/전력의 측정 그래프 및 주석화된 플롯과 아이 다이어그램을 생성





## 세상이 원하는 기술을 위해

김 현 식 교수  
 단국대학교 융합기술대학 디스플레이공학과  
 hs.kim@dankook.ac.kr

우리는 소통하며 살아간다. 이러한 우리는 과거에 누군가와 멀리 떨어져 있어도 항상 그의 음성을 주고 받으며 소통하고 싶어했다. 온 세상이 원하는 결과, 우리는 현재 언제 어디서나 전화를 통해 원하는 이의 음성을 들으며 안부를 전할 수 있게 되었고, 더 나아가 그의 얼굴을 볼 수도 있게 되었다. 이처럼 우리 인간의 마음을 읽고 이를 현실로 구현하는 것은 언제나 연구자의 몫이다. 이와 같이 연구 활동이 만들어 내는 많은 가치 중에서도 세상에 응답하며 모두가 원하는 기술을 실현하기 위해 날마다 고군분투 하고 있는 김현식 교수를 만나 보았다.

### 연구 인생의 지표가 되어준 두 인물

김현식 교수는 2015년 9월자로 단국대학교 융합기술대학 디스플레이공학과에 임용되었다. 그는 현재 아날로그 회로설계를 중심으로 다양한 연구를 진행 중에 있다. 그는 이러한 연구 생활을 시작하게 해준 두 명의 특별한 인물이 있다고 말했다.

“현재 전공 분야를 선택하게 되기까지 큰 영향을 준 두 인물이 있습니다. 바로 저의 아버지와 지도교수님이십니다. 댐, 교량 등 대형 유체 설계와 관련된 일을 하셨던 아버지의 영향으로 저는 어린 시절부터 물(유체)의 흐름에 많은 흥미를 가지고 있었습니다. 이에 학부에서 전자공학을 전공하면서 유체의 흐름과 매우 유사한 전자회로의 매력에 자연스럽게 깊이 빠져 들었습니다. 특히, 아버지 곁에서 늘 흔하게 접하던 설계 도면과 콤팩스 등이 제가 회로설계를 전공하게 된 주요 계기가 되었습니다. 반도체 회로설계를 전공해야겠다고 마음 먹은 뒤 회로설계 분야의 세계적인 권위자이신 지도교수님을 만나 아날로그 집적회로와 관련한 연구를 진행하게 되었고, 그 분의 훌륭한 지도 덕분에 이 분야에 더욱 큰 흥미를 느껴 평생을 연구해야겠다고 생각하게 되었습니다.”

### 석·박사 과정 중 느낀 연구의 보람

이렇게 연구 활동을 시작하게 된 그에게 석·박사 과정을 진행함에 있어 많은 보람찬 일이 있었다고 한다. 특히, 회로설계와 관련된 다양한 분야를 섭렵하셨던 지도교수님의 학문적인 가르침 덕분에 좋은 결과를 많이 얻을 수 있었다고 한다.

“지도교수님은 한 가지 주제를 집중적으로 파헤치기 보다는 여러 분야의 연구를 경험하는 것을 중요히 여기셨습니다. 이에 저는 LCD/OLED 디스플레이 구동시스템을 연구하며 아날로그 구동회로 및 데이터 변환기를 포함한 혼성신호 회로들을 공부하였고, 다양한 산학협력 프로젝트를 통해 실제 산업 현장에 필요한 다양한 기술들을 개발하였습니다. 특히, 저가격 고효율 모바일 LCD 구동회로 칩과 발광 소자의 열화보상이 가능한 대면적 OLED 구동회로 칩의 핵심 기술과 관련된 국내·외 특허를 40건 이상 발명하였습니다.”

그는 삼성휴먼테크논문대상 역사상 금상을 2번 수상한 유일한 수상자로서, 석·박사 과정 중에 있던 많은 보람찬 일 중에서도 이 권위 있는 학술논문대회에서 본선 발표를 했던 것이 가장 기억에 남는다고 말했다.

“본선 발표는 삼성그룹 내 회로전문가 10명과 국내 저명 교수님들 10명으로 구성된 심사위원들 앞에서 학술논문의 내용을 설명하고 평가받는 자리입니다. 그 당시 저는 모바일 LCD 구동 칩의 생산 단가를 획기적으로 낮추는 기술을 발표했습니다. 발표 후 심사위원단으로부터 ‘당장 시장에서 팔 수 있는 칩’이라는 평가를 받았던 것이 가장 기억에 남습니다. 학계 및 산업계의 전문가들로부터 제 연구의 높은 실용성을 인정받으며, 그 기술은 실제로 대형 팹리스 업체에 성공적으로 기술이전 되었습니다. 석·박사 과정 동안 언제나 세상이 원하는 기술, 사회에 기여할 수 있는 기술을 연구할 것을 당부하셨던 지도교수님의 말씀을 지키게 된 것 같아 매우 기쁩니다.”

그는 이 외에도 환자에게 조사되는 방사선 노출량을 극도로 낮추면서도 고해상도의 X-ray 영상을 얻을 수 있는 광자-카운팅 방식의 의료영상기기용 X-ray/CT 이미징센서 칩을 개발하여 2011년 KAIST를 빛낸 대표 연구 10선에 선정되기도 했다.



**앞으로의 연구 방향**

대학에 오기 전 그는 산업체에서 근무를 했었다고 한다. 그가 개발 및 기여한 기술이 눈 앞에서 거대한 수익으로 창출되는 과정을 지켜보는 과정이 매우 기쁘지만, 한편으로는 연구 활동의 폭이 매우 한정적이고 당장을 바라보고 일해야 한다는 점에서 아쉬움을 느꼈다고 한다. “대학에 온 후 상상하고 생각할 수 있는 폭의 제한이 없다는 점이 행복합니다. 특히, 젊은 학생들과 신선한 생각들을 나누며 토론하고, 완전히 생소한 분야의 다양한 전문가들과 소통하며 생각의 넓이를 넓려 가는 것이 매우 만족스럽습니다.”

이러한 그는 현재 기존 터치센서에 감압기능이 추가된 3D 터치센서를 연구하고 있다. “Flexible 및 bendable 디스플레이 패널에 적용 가능한 3D 터치센서를 구현하기 위해 piezo 필름을 활용한 연구를 진행 중입니다. 이 외에도 터치스크린 패널(TSP) 상에서 사용자 지문 인식 등 보안 관련 응용 분야도 연구 중입니다. 또한, 이전에 진행했던 연구의 연장선에서 디스플레이 화질을 개선시키는 구동 및 전력관리 칩 개발과 의료영상기기의 생산 단가를 낮추는 실용화 기술도 함께 개발하고 있습니다.”

앞으로 도전하고자 하는 연구가 무엇이나는 물음에 대해 그는 자동차용 반도체를 언급했다. “최근 전기 자동차와 다양한 전자 사업들이 각광을 받으면서 저 또한 자동차용 반도체에 매우 큰 관심을 가지고 있습니다. 다양한 디스플레이 기술

을 응용하여 자동차용 스마트 투명 글래스 디스플레이 및 각종 자동차용 센서 칩을 개발하고 싶습니다. 특히, 전기 자동차의 경우 작은 전력 크기의 제어 및 모니터링용 반도체 칩 기술부터 모터드라이브, 배터리, 에너지 재생 등의 대용량 전기 회로까지 넓은 범위의 기술을 아울러야 하는 분야이므로 꼭 도전하고 싶은 연구 분야입니다. 인간의 생명과 직결되는 분야인 만큼 회로설계 기술을 통해 높은 신뢰성을 구현하고 싶습니다.”

이와 같이 연구 실패에 대한 위험을 피해 안정적인 결과가 보장되는 연구만 하기 보다는, 많은 시행착오의 과정을 거쳐 창의적인 연구 활동에 도전하고 싶다는 김현식 교수. 앞으로 다가오는 비메모리 반도체 산업에 있어 반도체 설계 종사자들에게 가장 필요한 덕목은 혼을 담은 장인정신이라며, 제품이 아닌 작품을 만드는 마음으로 연구에 임한다면 우리나라가 비메모리 반도체 최고 선도국이 될 것이라는 믿음을 잃지 않는 그에게 세상이 원하는 기술을 연구하는 실용적인 연구자가 되어 주기를 기대해 본다.



**VOL. 225**  
**March 2016**

IDEC Newsletter | 통권 제225호

- ◎ 발행일 2016년 2월 29일 ◎ 발행인 박인철 ◎ 편집인 남병규 ◎ 제작 푸울디자인
- ◎ 기획 김하늘 ◎ 전화 042) 350-8535 ◎ 팩스 042) 350-8540 ◎ 홈페이지 <http://www.idec.or.kr>
- ◎ E-mail [kimsky1230@idec.or.kr](mailto:kimsky1230@idec.or.kr) ◎ 발행처 반도체설계교육센터(IDEC)

반도체설계교육센터 사업은 미래창조과학부(산업통상자원부), 한국반도체산업협회, 반도체회사(삼성전자, SK하이닉스, 매그나칩반도체, 앰코테크놀로지코리아, KEC, 에이티세미콘)의 지원으로 수행되고 있습니다.

